

# NVM IP용 저전압 기준전압 회로 설계

김명석\* · 정우영\* · 박현\* · 하관봉\* · 김영희\*

\*창원대학교

## Design of Low-Voltage Reference Voltage Generator for NVM IPs

Meong-Seok Kim\* · Woo-Young Jeong\* · Heon Park\* · Pan-Bong Ha\* · Young-Hee Kim\*

e-mail: youngkim@changwon.ac.kr

### 요 약

본 논문에서는 EEPROM이나 MTP 등의 NVM 메모리 IP 설계에 필요로 하는 PVT(Process-Voltage-Temperature) 변동에 둔감한 기준전압(Reference Voltage) 회로를 설계하였다. 매그나칩반도체 0.18 $\mu$ m EEPROM 공정을 이용하여 설계된 BGR(Bandgap Reference Voltage) 회로는 wide swing을 갖는 캐스코드 전류거울(cascode current-mirror) 형태의 저전압 밴드갭 기준전압발생기 회로를 사용하였으며, PVT 변동에 둔감한 기준전압 특성을 보이고 있다. 최소 동작 전압은 1.43V이고 VDD 변동에 대한 VREF 민감도(sensitivity)는 0.064mV/V이다. 그리고 온도 변동에 대한 VREF 민감도는 20.5ppm/ $^{\circ}$ C이다. 측정된 VREF 전압은 평균 전압이 1.181V이고 3 $\sigma$ 는 71.7mV이다.

### ABSTRACT

A reference voltage generator which is insensitive to PVT (process-voltage-temperature) variation necessary for NVM memory IPs such as EEPROM and MTP memories is designed in this paper. The designed BGR (bandgap reference voltage) circuit based on MagnaChip's 0.18 $\mu$ m EEPROM process uses a low-voltage bandgap reference voltage generator of cascode current-mirror type with a wide swing and shows a reference voltage characteristic insensitive to PVT variation. The minimum operating voltage is 1.43V and the VREF sensitivity against VDD variation is 0.064mV/V. Also, the VREF sensitivity against temperature variation is 20.5ppm/ $^{\circ}$ C. The VREF voltage has a mean of 1.181V and its three sigma (3 $\sigma$ ) value is 71.7mV.

### Key words

NVM, reference voltage, PVT, cascode current-mirror, low-voltage

## I. 서 론

NVM (Non-Volatile Memory) 메모리 IP는 MCU (Micro-Controller Unit), PMIC (Power Management IC) 등의 SoC (System on Chip) 분야에 사용되고 있다[1][2]. 실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU용 내장형 비휘발성 메모리로 명령 코드 저장용인 OTP (One-Time Programmable) 메모리와, 사용자 데이터 저장을 위한 내장형 EEPROM 메모리가 사용되고 있다[3]. 수 Kb에서 1Mb 이하의 비휘발성 메모리로는 저면적 셀 사이즈의 EEPROM이 주로 사용되고 있다[4]. 그리고 PMIC는 휴대폰, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적이고 효율적인 전원으로

변환하여 공급하는 칩이다[2][5]. PMIC 칩에 사용되는 NVM 셀은 한 개 또는 두 개의 mask layer가 추가되는 single-poly EEPROM인 MTP (Multi-Time Programmable) cell이 사용되고 있다[6].

EEPROM과 MTP 등의 NVM IP는 erase와 program같은 write 동작을 수행하기 위해서는 positive pumping voltage와 negative pumping voltage가 사용된다. 이들 charge pumping voltage는 목표 전압에 도달했는지 비교하기 위해서는 기준전압이 필요하며, PVT (Process-Voltage-Temperature) 변동에 둔감한 BGR (Bandgap Reference Voltage) 회로설계가 요구된다.

본 논문에서는 매그나칩반도체 0.18 $\mu$ m

EEPROM 공정을 이용하여 NVM 메모리 IP용 BGR 회로를 설계하였다. 설계된 BGR 회로는 wide swing을 갖는 캐스코드 전류거울 (Cascode current-mirror) 형태의 밴드갭 기준전압발생기를 사용하였으며, PVT 변동에 둔감한 기준전압 특성을 보이고 있다. 최소 동작 전압은 1.43V이고 VDD 변동에 대한 VREF 민감도 (sensitivity)는 0.064mV/V이다. 그리고 온도 변동에 대한 VREF 민감도는 20.5ppm/°C이다.

## II. 회로 설계

표 1은 최근에 발표된 EEPROM IP의 용량 및 IP size를 비교한 것이다. 대표적인 EEPROM 셀은 그림 1의 double poly EEPROM 셀과 그림 2의 single poly EEPROM 셀이 있다. Double poly EEPROM 셀은 셀 size가 작은 반면, generic 공정에 비해 추가 마스크가 요구된다. 한편 single poly EEPROM은 추가 마스크가 필요 없고, 공정 TAT (turn-around time)가 짧고 제조비용이 낮다.

표 1. EEPROM의 용량 및 IP size 비교.  
Table 1. Comparison of EEPROM densities and IP sizes.

Ref. No.	Memory Process	Cell Size	Memory Density	Memory IP Size
[7]	0.18 $\mu\text{m}$ EEPROM	0.99 $\mu\text{m}^2$	512b	0.132mm <sup>2</sup>
[8]	0.18 $\mu\text{m}$ Generic	41.26 $\mu\text{m}^2$	512b	0.112mm <sup>2</sup>
[9]	0.18 $\mu\text{m}$ EEPROM	-	640b	-

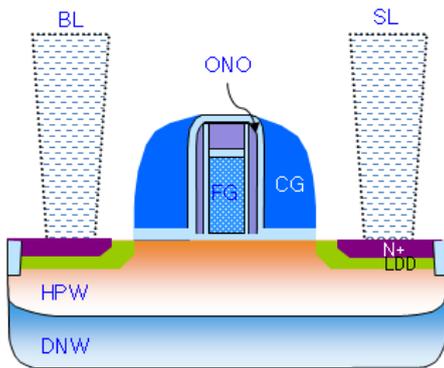


그림 1. Double poly EEPROM 셀의 단면도[7].  
Fig. 1. Cross-sectional view of a double poly EEPROM cell.

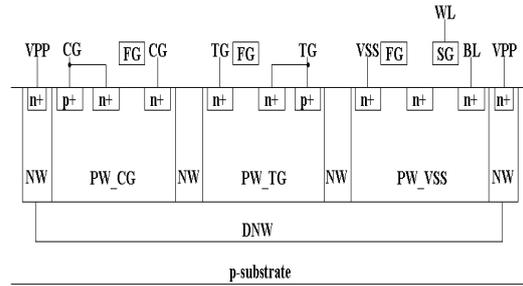


그림 2. Single poly EEPROM 셀의 단면도.  
Fig. 2. Cross-sectional view of a single poly EEPROM cell.

그림 1은 SSTC 구조의 double poly EEPROM 셀로 FG (Floating Gate)를 중심으로 CG (Control Gate)가 양 측면을 둘러싸고 있는 구조이다. CG와 FG 사이의 절연물질인 ONO (Oxide-Nitride-Oxide)는 커플링 비율 (coupling ratio)를 높이기 위해 사용하고 있다. SSTC 셀의 산화막 (oxide)은 92Å의 얇은 산화막인 tunnel oxide, 300Å의 두꺼운 산화막 (thick oxide)로 구분된다. SSTC 셀 사이즈는 0.88 $\mu\text{m}$  × 1.135 $\mu\text{m}$  (=0.99 $\mu\text{m}^2$ )이다. 그리고 HPW를 둘러싸고 있는 DNW (Deep N-Well)은 지우기 모드에서 HPW에 14V의 고전압이 인가되므로 SSTC 셀의 격리 (isolation)를 위해 필요하다. Thick gate oxide transistor는 HV select transistor이다. FG에 전자 (electron)를 제거 (ejection)시키는 동작은 지우기 모드이고, FG에서 전자를 주입 (injection)시키는 동작은 프로그램 모드이다. EEPROM 셀의 지우기와 프로그램은 FG 아래의 tunnel oxide를 통해서 FN (Fowler-Nordheim) 터널링에 의해 이루어진다. 프로그램 모드에서는 VPP와 VPPL 전압은 각각 16V, 10V (=VPP-6V)이며, 지우기 모드에서는 VPP와 VPPL 전압은 각각 14V, 11V(=VPP-3V)의 전압이다.

그림 2의 single poly EEPROM cell의 회로도 는 3.3V의 CG MOS capacitor, TG MOS capacitor, sense transistor, 그리고 over-erase 되었을 때 BL (Bit-Line)에서의 off-leakage current를 줄이기 위해 select transistor로 구성되어 있다. Erase mode에서는 선택된 cell의 CG와 TG에 각각 -4.75V, +4.75V를 인가하여 FN tunneling 방식으로 floating gate의 electron을 ejection 시킨다. 그리고 프로그램 모드에서는 선택된 cell의 CG와 TG에 각각 +4.75V, -4.75V를 인가하여 erase와 동일한 FN tunneling 방식으로 floating gate에 electron을 injection 시킨다.

EEPROM은 erase 동작과 program 동작을 위해서는 double poly EEPROM인 경우 그림 3(a)에서 보이는 것처럼 16V의 high voltage인 VPP가 요구되며, single poly EEPROM은 그림 3(b)에서 보이는 것처럼 ±4.75V의 positive pumping

voltage인 VPP와 negative pumping voltage인 VNN 전압이 요구된다. 그림 3의 DC-DC converter는 목표전압 (target voltage)을 비교하기 위해서는 PVT 변동에 둔감한 특성을 갖는 BGR (Bandgap reference voltage) 발생회로가 필요하다.

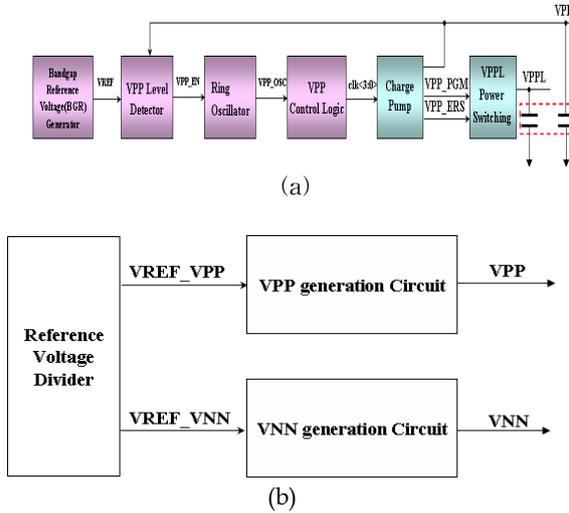


그림 3. DC-DC converter 블록도: (a) double poly EEPROM (b) single poly EEPROM.  
Fig. 3. Block diagram of DC-DC converter: (a) double poly EEPROM and (b) single poly EEPROM.

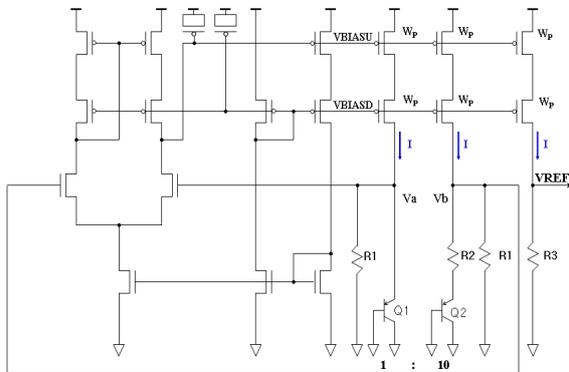


그림 4. 설계된 BGR 회로도.  
Fig. 4. Designed BGR circuit.

PVT 변동에 둔감하고 저전압 동작에 유리한 BGR 회로는 그림 4에서 보는 바와 같이 온도 변화에 대해 일정한 정전류 I를 만들고, 이 정전류 I가 VREF에 연결된 저항 R3로 흐름으로써 PVT 변동에 둔감한 정전압인 VREF를 만들어준다. 그림 4의 설계된 BGR 회로는 wide swing을 갖는 cascode current mirror를 사용하여 VDD에 대한 민감도를 줄였다.

$$I = \frac{V_{EB}}{R1} + \frac{V_T \ln 10}{R2} \quad (1)$$

$$VREF = R3 \cdot \left( \frac{V_{EB}}{R1} + \frac{V_T \ln 10}{R2} \right) \quad (2)$$

그림 5는 매그나칩반도체 0.18 $\mu$ m EEPROM 공정으로 설계된 BGR 회로의 레이아웃 이미지를 보여주고 있다. BGR의 레이아웃 (layout) 면적은 319.955 $\mu$ m $\times$ 70.915 $\mu$ m이다.



그림 5. 설계된 BGR 회로의 레이아웃 이미지.  
Fig. 5. Layout image of the designed BGR circuit.

### III. 모의실험 결과

그림 6은 매그나칩반도체 0.18 $\mu$ m EEPROM 공정으로 설계된 BGR 회로의 VDD에 대한 VREF 모의실험 그래프를 보여주고 있다. 설계된 BGR의 최소 동작 전압은 1.43V이고 VDD 변동에 대한 VREF 민감도 (sensitivity)는 0.064mV/V이다. 그리고 온도 변동에 대한 VREF 민감도는 그림 7에서 보는바와 같이 20.5ppm/ $^{\circ}$ C이다.

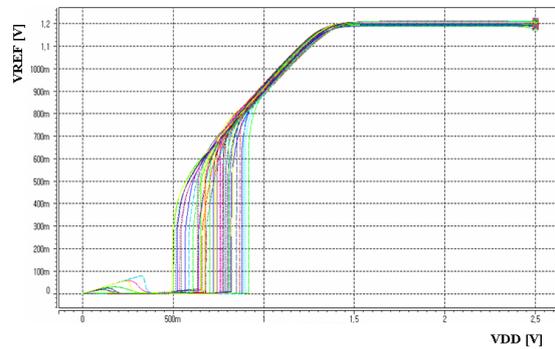


그림 6. VDD에 대한 VREF 모의실험 그래프.  
Fig. 6. Simulation result of VREF against VDD variation.

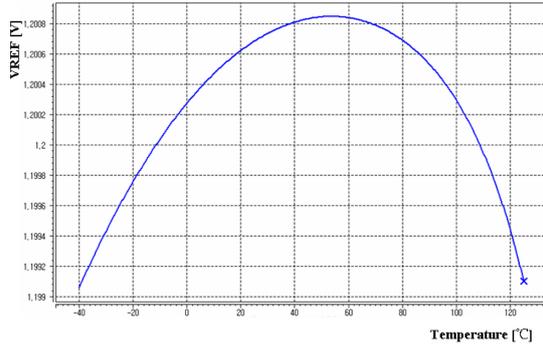


그림 7. 온도에 대한 VREF 모의실험 그래프.  
Fig. 7 Simulation result of VREF against temperature variation.

또한 그림 8은 30개의 테스트 칩을 측정하여 VREF의 빈도 (Frequency)를 나타낸 그래프를 보여준다. 모든 테스트 칩은 정상적으로 동작하였으며, VREF의 평균 전압은 1.181V이고, 3σ는 71.7mV이다.

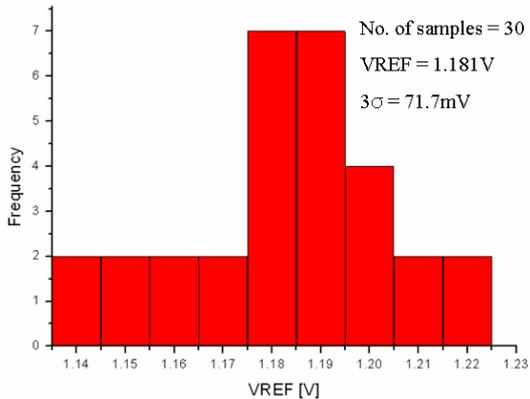


그림 8. 30개 테스트 칩에 대한 VREF 측정결과에 대한 분포.  
Fig. 8. Distribution of measured VREF voltages based on 30 test chips.

#### IV. 결론

EEPROM과 MTP 등의 NVM IP는 erase와 program같은 write 동작을 수행하기 위해서는 기준전압이 필요하며, PVT 변동에 둔감한 BGR 회로설계가 요구된다.

본 논문에서는 매그나칩반도체 0.18μm EEPROM 공정을 이용하여 NVM 메모리 IP용 BGR 회로를 설계하였다. 설계된 BGR 회로는 wide swing을 갖는 cascode current-mirror 형태의 밴드갭 기준전압발생기를 사용하였으며, PVT 변동에 둔감한 기준전압 특성을 보이고 있다. 최소 동작 전압은 1.43V이고 VDD 변동에 대한 VREF 민감도는 0.064mV/V이다. 그리고 온도 변

동에 대한 VREF 민감도는 20.5ppm/°C이다. 30개의 테스트 칩을 측정하고 VREF의 평균 전압은 1.181V이고, 3σ는 71.7mV이다.

#### 감사의 글

본 논문은 미래창조과학부 지원으로 ETRI SW-SoC융합 R&D센터의 연구결과입니다.

#### 참고문헌

[1] F. Xu *et al.*, "Key design techniques of a 0ns 16Kbits embedded EEPROM memory," *Communication, Circuits and System*, vol. 2, pp. 1516-1520, June 2004.  
 [2] 전력용 반도체 현황분석, 전자정보센터, July 2010.  
 [3] M. Hatanaka *et al.*, "Value creation in SOC/MCU applications by embedded non-volatile memory evolutions," *Asian Solid State Circuits Conference*, pp. 38-42, Nov. 2007.  
 [4] G. S. Cho *et al.*, "Design of a Small-area low-power, and high-speed 128-Kbit EEPROM IP for touch screen controllers," *Journal of KIMIC*, vol. 13, no. 12, pp. 2633-2640, Dec. 2009.  
 [5] 전황수 "전력반도체 시장 전망 및 국내외 개발 동향," 정보통신연구진흥원 주간기술동향, June 2009.  
 [6] I. Park *et al.*, "BCD (Bipolar-CMOS-DMOS) technology trend for power management IC," *International Conference on Power Electronics and ECCE Asia*, pp. 318-325, 2011.  
 [7] D. H. Lee *et al.*, "Design of small-area and high-reliability 512-bit EEPROM IP for UHF RFID tag chips", *Journal of Korea Institute of Maritime Information and Communication Sciences*, vol. 16, no. 2, pp. 302-312, 2012.  
 [8] Liyan Jin *et al.*, "Design of 512-bit logic process-based single-poly EEPROM IP", *Journal of Central South University of Technology*, pp. 2036-2044, Dec. 2011.  
 [9] J. T. Xi, N. Yan, W. Y. Che, C. H. Xu, X. Wang, Y. Q. Yang, H. Y. Jian, and H. Min, "Low-cost low-power UHF RFID tag with on-chip antenna," *Journal of Semiconductors*, vol. 30, no. 7, pp. 1-6, 2009.