

---

# 비대칭 이중게이트 MOSFET의 전위분포 분석

정학기, 이종인

## Analysis for Potential Distribution of Asymmetric Double Gate MOSFET

Hakkee Jung, Jongin Lee

### 요 약

비대칭 이중게이트 MOSFET의 전위분포에 대하여 고찰하였으며 이를 위하여 포아송방정식의 해석학적 해를 구하였다. 대칭 DG MOSFET는 3단자 소자로서 상하단의 게이트단자가 상호 연결되어 있어 상하단 동일한 제어능력을 가지고 있으나 비대칭 DG MOSFET 소자는 4단자 소자로서 상하단 게이트단자의 전류제어능력을 각각 설정할 수 있다는 장점이 있다. 전위분포를 구할 때 포아송방정식을 이용하였으며 전하분포함수에 가우시안 함수를 적용함으로써 보다 실험값에 근사하게 해석하였다. 비대칭 이중게이트 MOSFET의 게이트 단자전압 및 게이트 산화막 두께 그리고 채널도핑의 변화에 따라 전위분포의 변화를 관찰하였다. 비대칭 DG MOSFET의 전위분포를 관찰한 결과, 게이트단자 전압 및 게이트 산화막 두께 등에 따라 전위분포는 크게 변화하는 것을 알 수 있었다. 특히 게이트 산화막 두께가 증가하는 단자에서 전위분포의 변화가 더욱 크게 나타나고 있었으며 채널도핑이 증가하면 드레인 측보다 소스 측 전위분포가 크게 변화하는 것을 알 수 있었다.

### Abstract

This paper has presented the potential distribution for asymmetric double gate(DG) MOSFET, and solved Poisson equation to obtain the analytical solution of potential distribution. The symmetric DG MOSFET where both the front and the back gates are tied together is three terminal device and has the same current controllability for front and back gates. Meanwhile the asymmetric DG MOSFET is four terminal device and can separately determine current controllability for front and back gates. To approximate with experimental values, we have used the Gaussian function as charge distribution in Poisson equation. The potential distribution has been observed for gate bias voltage and gate oxide thickness and channel doping concentration of the asymmetric DG MOSFET. As a results, we know potential distribution is greatly changed for gate bias voltage and gate oxide thickness, especially for gate to increase gate oxide thickness. Also the potential distribution for source is changed greater than one of drain with increasing of channel doping concentration.

### 키워드

비대칭 DG MOSFET, 가우스함수, 포아송방정식, 게이트단자전압, 게이트산화막두께

### Keyword

asymmetric DG MOSFET, Gaussian function, Poisson equation, gate bias voltage, gate oxide thickness

### 1. 비대칭 DG MOSFET의 전위분포

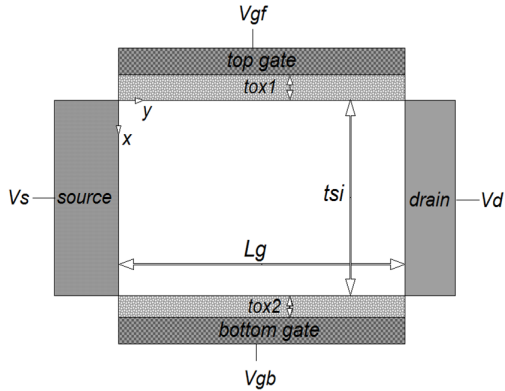


그림 1. DG MOSFET의 개략도.  
Fig. 1 Schematic view of DG MOSFET.

그림 1은 비대칭 DG MOSFET의 개략도이다. 도시한 바와 같이 채널 폭 방향으로의 전위분포 변화는 대칭 DG MOSFET와 동일하게 무시할 수 있으므로  $x, y$  방향에 대해서만 전위분포를 구한다[1]. 그림에서 알 수 있듯이 비대칭 DG MOSFET는 4T 트랜지스터이며  $x, y$  방향의 2차원 전위분포만을 다음과 같은 포아송방정식을 이용하여 구한다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

여기서  $\epsilon_{si}$ 는 실리콘의 유전율이며  $n(x)$ 는 채널 내 도핑분포함수로서 식(2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서  $N_p$ 는 이온주입 시 도즈 량에 의하여 결정되는 최대 도핑 분포 값이며  $R_p$ 와  $\sigma_p$ 는 각각 이온주입범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 다음과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s, \quad \phi(x, y=L_g) = V_s + V_d \quad (3) \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_{si}, y) &= V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}} \end{aligned}$$

여기서  $V_s$ 는 기준전압인 소스 전압,  $V_d$ 는 드레인 전압,  $V_{gf}$ 는 평탄전압을 고려한 상단 게이트 전압,  $V_{gb}$ 는 평탄전압을 고려한 하단 게이트 전압, 그리고  $C_{ox1}$ 과  $C_{ox2}$ 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건을 처음 두 개의 식을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[2]

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (4)$$

여기서  $n$ 은 정수이며  $A_n(x)$ 는 다음 식에 의하여 구할 수 있다.

$$\begin{aligned} \frac{d^2 A_n(x)}{dx^2} - k_n^2 A_n(x) &= G_n n(x) \quad (5) \\ G_n &= \frac{2q[1 - (-1)^n]}{n\pi\epsilon_s} \end{aligned}$$

여기서  $k_n = n\pi/L_g$ 이다. 식 (5)를 풀면

$$\begin{aligned} A_n(x) &= C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) \\ &\quad + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (6) \end{aligned}$$

$$\begin{aligned} B_1 &= \frac{N_p G_n \sigma_p \sqrt{\pi} e^{k_n(x - R_p) + b_1/4}}{2\sqrt{2} k_n} \\ B_2 &= -\frac{N_p G_n \sigma_p \sqrt{\pi} e^{-k_n(x - R_p) + b_2/4}}{2\sqrt{2} k_n} \end{aligned}$$

$$\begin{aligned} b_1 &= \sqrt{2} k_n \sigma_p = -b_2 \\ \tau &= (x - R_p) / \sqrt{2} \sigma_p \end{aligned}$$

이다.  $A$ 는 적분 상수로서  $n$ 이 30이상에선 거의 0으로 수렴하는 조건[2]을 이용하여 구할 수 있다. 식 (6)에서  $C_n$ 과  $D_n$ 은 식 (3)의 마지막 두 개의 조건을 이용하면 구할 수 있다.

$$\begin{aligned} C_n &= \frac{a_2(B_8 + E_n) - a_4(B_7 + F_n)}{a_1 a_4 - a_2 a_3} \\ D_n &= \frac{a_1(B_8 + E_n) - a_3(B_7 + F_n)}{a_2 a_3 - a_1 a_4} \\ E_n &= (2/n\pi)[(V_s - V_{gb})(1 - (-1)^n) - (-1)^n V_d] \\ F_n &= (2/n\pi)[(V_s - V_{gf})(1 - (-1)^n) - (-1)^n V_d] \end{aligned}$$

여기서 계수는

$$\begin{aligned}
 a_1 &= 1 - k_n \epsilon_S / C_{ox1} \\
 a_2 &= 1 + k_n \epsilon_S / C_{ox1} \\
 a_3 &= e^{k_n t_{Si}} + \epsilon_S k_n e^{k_n t_{Si}} / C_{ox2} \\
 a_4 &= e^{-k_n t_{Si}} - \epsilon_S k_n e^{-k_n t_{Si}} / C_{ox2} \\
 B_8 &= B_5 + B_6 \epsilon_S / C_{ox2} \\
 B_7 &= B_3 - \epsilon_S B_4 / C_{ox1} \\
 B_{64} &= B_1 \sqrt{2/\pi} (e^{-(\tau+b_1/2)^2} - 1) / \sigma_p + \\
 &\quad B_2 \sqrt{2/\pi} (e^{-(\tau+b_2/2)^2} - 1) / \sigma_p + \\
 &\quad e^{k_n t_{Si}} G_n B_1 \text{erf}(\tau + b_1/2) / 2 + \\
 &\quad e^{-k_n t_{Si}} G_n B_2 \text{erf}(\tau + b_2/2) / 2 \\
 B_{53} &= B_1 \text{erf}(\tau + b_1/2) + B_2 \text{erf}(\tau + b_2/2) + A \\
 B_6 &= B_{64}(x = t_{Si}), \quad B_5 = B_{53}(x = t_{Si}) \\
 B_4 &= B_{64}(x = 0), \quad B_3 = B_{53}(x = 0)
 \end{aligned}$$

이다. 본 연구에서는 전위분포를 식 (4)에 의하여 게이트 산화막 두께 및 상·하단 게이트전압 그리고 채널도핑농도 등에 따라 구한 후 변화를 고찰하였다.

## II. 비대칭 DG MOSFET의 전위분포 분석

비대칭 DG MOSFET의 상·하단 게이트 전압에 따른 전위분포의 변화를 그림 2에 도시하였다. 상하단의 게이트전압이 동일할 경우 채널 두께 방향으로 대칭적인 분포를 보이고 있다. 그러나 하단의 게이트를 접지 했을 경우, 하단 게이트의 전위분포가 상대적으로 낮아지는 것을 알 수 있다. 낮아지는 효과는 표면 즉, 하단 게이트와 하단 게이트 산화막의 계면에서 가장 크며 채널 내부로 갈수록 그 효과는 줄어든다. 또한 내부 전위까지 감소시키는 효과에 의하여 소스 및 드레인 영역의 전위분포변화가 급격히 발생하고 있다는 것을 알 수 있다. 즉, 하단 게이트의 전압을 감소시킴으로써 소스에서 드레인에 이르는 채널내부의 전위분포 전체를 감소시킬 수 있는 것이다. 전하분포함수의 변화에 대한 전위분포의 변화를 관찰하기 위하여 이온 주입범위가 10 nm일 때 분포편차가 10nm와 5 nm에서 전위분포를 비교하였다. 결과적으로 전하분포함수의 형태를 변화시킴으로써 전위분포에는 큰 영향을 미치지 않았다. 그러나 소스 측에서 약간의 전위분포에 변화를 나타내고 있다.

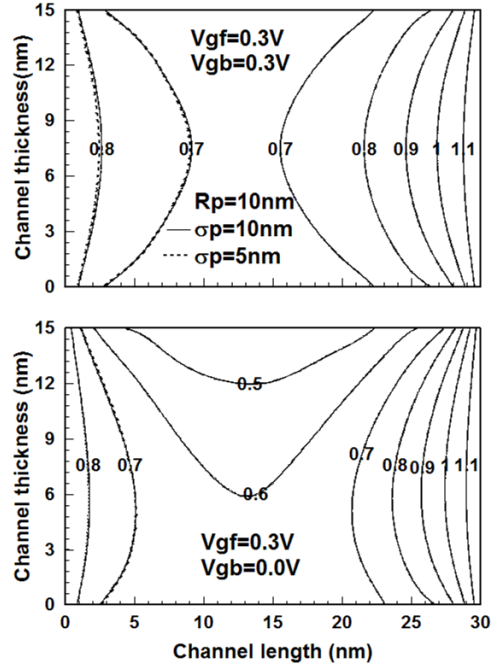


그림 2.  $R_p = 10 \text{ nm}$ 와  $\sigma_p = 10 \text{ nm}$ ,  $5 \text{ nm}$ 일 때 상·하단 게이트전압변화에 따른 전위분포  
Fig. 2. The potential distribution for front and back gate voltage with  $R_p = 10 \text{ nm}$ , and  $\sigma_p = 10 \text{ nm}$  and  $5 \text{ nm}$

상·하단 게이트 단자의 전압을 동일하게 인가하였을 경우, 게이트 산화막 두께에 따른 전위분포를 그림 3에 도시하였다. 먼저 상단의 게이트 산화막 두께를 1.5 nm와 3 nm로 변화시켰을 경우, 산화막 두께가 증가하면 채널내부의 전위분포가 전체적으로 증가하며 특히 두꺼운 산화막 층을 사용한 게이트 부분의 전위분포가 증가하는 것을 관찰할 수 있다. 상단의 게이트 산화막 두께를 1.5 nm로 고정하고 다시 하단의 게이트 산화막 두께를 1.5 nm와 3 nm로 변화시켰을 경우, 전술한 경우와 정확히 반대로 분포가 얻어지는 것을 관찰할 수 있다. 또한 게이트 산화막 두께 변화는 소스보다 드레인 측의 전위분포에 더 큰 영향을 미치고 있다는 것을 관측할 수 있다. 이와 같이 게이트 상·하단의 산화막 두께를 조절함으로써 채널 전체의 전위분포를 조절할 수 있다는 것을 알 수 있다.

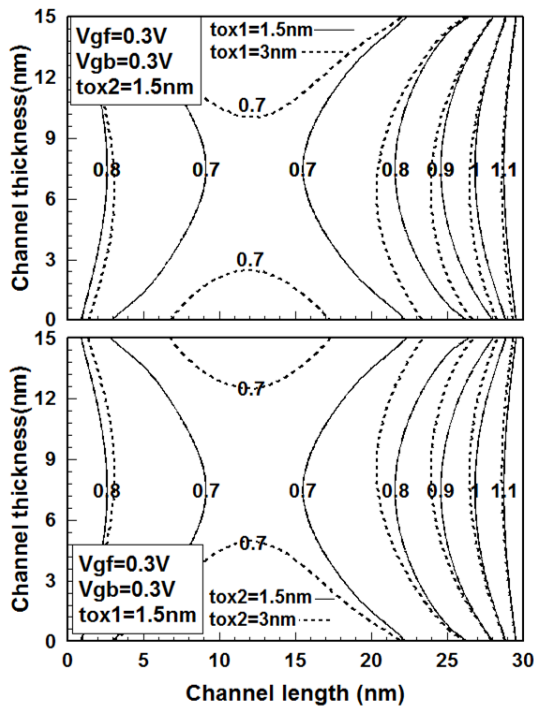


그림 3. 상·하단 게이트 산화막 두께 변화에 따른 전위분포

Fig. 3. The potential distribution for the change of oxide thickness for front and back gate

### III. 결론

본 연구에서는 포아송방정식의 해석학적 해를 이용하여 비대칭 이중게이트 MOSFET의 전위분포에 대하여 고찰하였다. 대칭적 DG MOSFET와 달리 비대칭 DG MOSFET는 4 단자소자로서 상·하단 게이트 전압을 달리 인가할 수 있으며 이 때 게이트 산화막의 두께 또한 다르게 제작할 수 있다. 그러므로 비대칭 이중게이트 MOSFET의 게이트 단자전압 및 게이트 산화막 두께 그리고 채널도핑의 변화에 따라 전위분포의 변화를 관찰하였다. 비대칭 DG MOSFET의 전위분포를 관찰한 결과, 전하 분포함수, 게이트단자 전압 및 게이트 산화막 두께 그리고 채널농도 등에 따라 전위분포는 크게 변화하는 것을 알 수 있었다. 특히 게이트 산화막 두께 증가는 산화막 두께가 큰 게이트 단자 그리고 드레인 측의 전위분포에 큰 영향을 미치는 반면 채널도핑농도의 증가는 소스 측의 전위분포에 큰 영향을 미치는 것을 관찰

할 수 있었다. 이와 같이 비대칭 DG MOSFET는 전술한 파라미터에 따라 전위분포가 변화하므로 향후 비대칭 DG MOSFET를 이용한 집적 회로 설계 시 유의하여야 할 것이다.

### 참고 문헌

[1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.

[2] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," Microelectronics J., vol.42, pp.515-519, 2011.