
비대칭 DGMOSFET의 산화막 두께와 문턱전압이하 스윙의 관계 분석

정학기, 정동수

Analysis for Relation of Oxide Thickness and Subthreshold Swing of Asymmetric Double Gate MOSFET

Hakkee Jung, Dongsoo Cheong

요 약

비대칭 이중게이트(double gate; DG) MOSFET의 문턱전압이하 스윙의 게이트 산화막 두께에 대한 변화를 고찰하였으며 이를 위하여 포아송방정식의 해석학적 전위분포를 구하였다. 비대칭 DGMOSFET 소자는 대칭적 구조를 갖는 DGMOSFET와 달리 4단자 소자로서 상단과 하단의 게이트 산화막 두께 및 인가전압을 달리 설정할 수 있다. 포아송방정식을 풀 때 전하분포함수에 가우시안 함수를 적용함으로써 보다 실험값에 가깝게 해석하였다. 비대칭 DGMOSFET의 문턱전압이하 스윙을 상·하단 게이트 산화막 두께 변화에 따라 관찰한 결과, 게이트 산화막 두께에 따라 문턱전압이하 스윙은 크게 변화하는 것을 알 수 있었다. 특히 상·하단 게이트 산화막 두께가 증가할 때 문턱전압이하 스윙 값도 증가하였으며 상단 게이트 산화막 두께의 변화가 문턱전압이하 스윙 값에 더욱 큰 영향을 미치고 있다는 것을 알 수 있었다.

Abstract

This paper has presented the change of subthreshold swings for gate oxide thickness of asymmetric double gate(DG) MOSFET, and solved Poisson equation to obtain the analytical solution of potential distribution. The symmetric DGMOSFET is three terminal device. Meanwhile the asymmetric DGMOSFET is four terminal device and can separately determine the bias voltage and oxide thickness for top and bottom gates. As a result to observe the subthreshold swings for the change of top and bottom gate oxide thickness, we know the subthreshold swings are greatly changed for gate oxide thickness. Especially we know the subthreshold swings are increasing with the increase of top and bottom gate oxide thickness, and top gate oxide thickness greatly influences subthreshold swings.

키워드

비대칭 DGMOSFET, 문턱전압이하 스윙, 가우시안함수, 포아송방정식, 게이트 산화막 두께

Keyword

asymmetric DGMOSFET, subthreshold swing, Gaussian function, Poisson equation, gate oxide thickness

1. 비대칭 DG MOSFET의 전위분포 및 문턱전압이하 스윙 모델

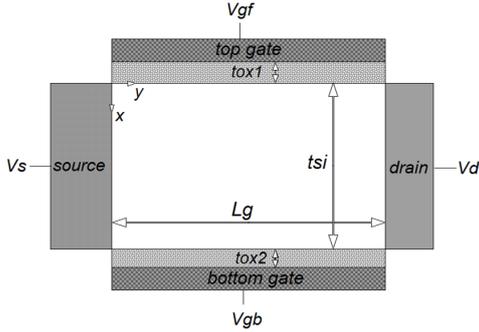


그림 1. 비대칭 DG MOSFET의 개략도.
Fig. 1 Schematic view of asymmetric DG MOSFET.

그림 1은 비대칭 DG MOSFET의 개략도이다. 도시한 바와 같이 채널 폭 방향으로의 전위분포 변화는 대칭 DG MOSFET와 동일하게 무시할 수 있으므로 x, y 방향에 대해서만 전위분포를 구한다[1].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (1)$$

여기서 n 은 정수이며 V_s 는 기준전압인 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \text{erf}(\tau + b_1/2) + B_2 \text{erf}(\tau + b_2/2) + A \quad (2)$$

이다[2]. $k_n = n\pi/L_g$ 이며 $B_1, B_2, b_1, b_2, C_n, D_n$ 은 참고문헌[2]에 표기하였다. 또한 A 는 적분 상수이다. 이때 상단의 게이트 전압 V_{gf} 에 대한 문턱전압이하 스윙은 식 (1)을 이용하면 다음과 같이 표현할 수 있다.

$$S = \frac{\partial V_{gf}}{\partial (\log_{10} I_d)} = 2.3 V_t \left[\frac{\partial \phi(x,y)}{\partial V_{gf}} \right]^{-1} = 2.3 V_t \left[\sum_{n=1}^{\infty} \left(\frac{\partial C_n(x)}{\partial V_{gf}} e^{k_n x} + \frac{\partial D_n(x)}{\partial V_{gf}} e^{-k_n x} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1}$$

이며 참고문헌[2]의 C_n 과 D_n 을 이용하여 구하면

$$S = 2.3 V_t \left[\sum_{n=1}^{\infty} \frac{2}{n\pi} (1 - (-1)^n) \left(\frac{a_4 e^{k_n x} - a_3 e^{-k_n x}}{a_1 a_4 - a_2 a_3} \right) \cdot \sin \frac{n\pi y}{L_g} \right]^{-1} \quad (3)$$

이다. 여기서 계수는

$$\begin{aligned} a_1 &= 1 - k_n \epsilon_{Si} / C_{ox1} \\ a_2 &= 1 + k_n \epsilon_{Si} / C_{ox1} \\ a_3 &= e^{k_n t_{si}} + \epsilon_{Si} k_n e^{k_n t_{si}} / C_{ox2} \\ a_4 &= e^{-k_n t_{si}} - \epsilon_{Si} k_n e^{-k_n t_{si}} / C_{ox2} \end{aligned}$$

이다[2]. 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다.

문턱전압이하 스윙을 구하기 위하여 식(3)의 y 에 상단게이트의 표면전위 중 최소값을 갖는 y_{min} 값을 구하여 대입하며 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 문턱전압이하 스윙 값을 구한다.

$$x_{eff} = \frac{\int_0^{t_{si}} x e^{\phi(x,y_{min})/V_t} dx}{\int_0^{t_{si}} e^{\phi(x,y_{min})/V_t} dx} \quad (4)$$

식 (3)에 a_1, a_2, a_3, a_4 를 대입하여 정리하면 Ding 등의 논문[3]에서 유도한 문턱전압이하 스윙값과 정확히 일치하는 것을 알 수 있다. 그러나 식 (4)에서 x_{eff} 값은 $\phi(x, y_{min})$ 값에 의존하며 이 값은 이온주입범위 및 분포편차에 따라 변화하기 때문에 Ding 등의 결과에선 유도할 수 없는 도핑형태에 따른 문턱전압이하 스윙 값을 분석할 수 있을 것이다. 또한 a_1, a_2, a_3, a_4 은 t_{ox1} 과 t_{ox2} 에 따라 변화하므로 본 연구에서는 산화막 두께에 따른 문턱전압이하 스윙 값을 분석하고자 한다.

II. 비대칭 DG MOSFET의 문턱전압이하 스윙 분석

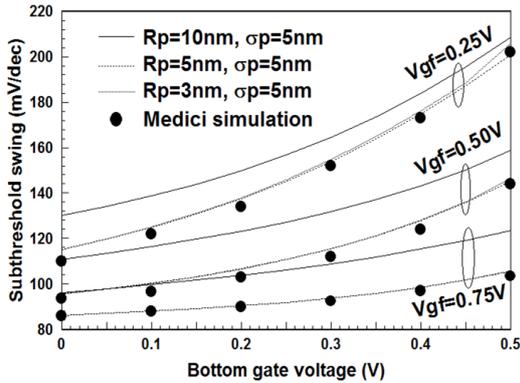


그림 2. 채널 내 도핑형태 및 게이트 전압의 변화에 따른 문턱전압이하 스윙값
Fig. 2. Subthreshold swings for doping profiles in channel and gate voltages

본 연구에서 제시한 문턱전압이하 스윙 모델의 타당성을 입증하기 위하여 그림 2에 Medici 시뮬레이션 결과[3]와 비교하였다. 시뮬레이션 조건은 $L_g = 25 \text{ nm}$, $t_{si} = 10 \text{ nm}$ 이며 상·하단 산화막 두께는 $t_{ox1} = t_{ox2} = 1 \text{ nm}$, 그리고 최대 도핑농도 $N_p = 10^{16} / \text{cm}^3$ 이다. 그림에서 알 수 있듯이 이온주입범위가 5 nm 이하이고 분포편차가 5 nm일 때 두 결과가 잘 일치하고 있다는 것을 관찰할 수 있다. 그러므로 식 (2)는 타당하다고 사료된다. 그림에서 알 수 있듯이 상단 게이트전압이 증가할수록 문턱전압이하 스윙은 감소하며 하단 게이트전압이 증가할수록 문턱전압이하 스윙은 증가한다. 또한 상단 게이트전압이 클 경우보다 상단 게이트전압이 작을 경우, 하단 게이트전압에 의한 문턱전압이하 스윙의 변화는 더욱 증가하고 있다는 것을 알 수 있다. 이온주입범위가 5 nm 이상으로 증가하면 Medici 시뮬레이션 결과와 오차가 심해지며 이온주입범위가 감소할수록 Medici 시뮬레이션결과와 잘 일치하고 있다. 즉, 이온주입범위와 분포편차는 매우 중요한 파라미터라는 것을 알 수 있다.

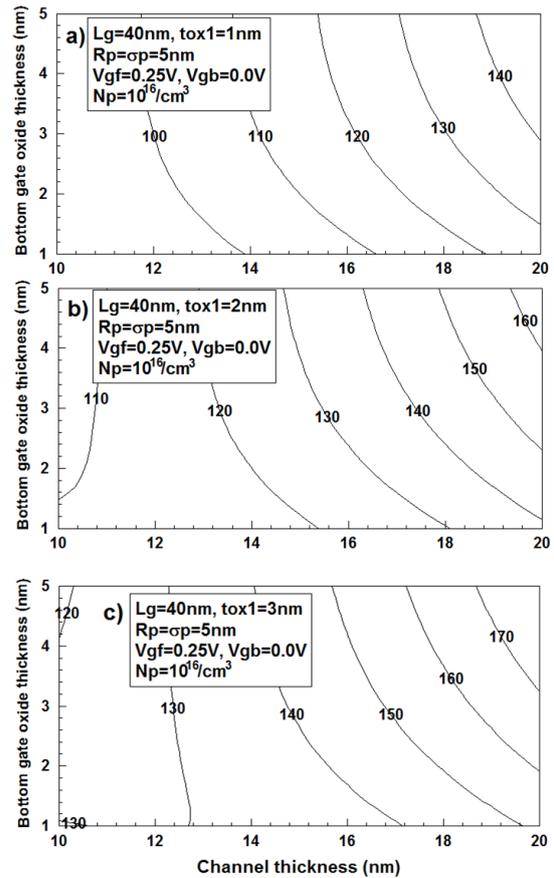


그림 3. 하단 게이트 산화막 두께와 채널두께의 변화에 따른 문턱전압이하 스윙값의 등고선그래프 a) $t_{ox1} = 1 \text{ nm}$ 일 때 b) $t_{ox1} = 2 \text{ nm}$ 일 때 c) $t_{ox1} = 3 \text{ nm}$ 일 때
Fig. 3. Contours of subthreshold swings for doping profiles and top gate voltages in the case of a) $t_{ox1} = 1 \text{ nm}$, b) $t_{ox1} = 2 \text{ nm}$, and c) $t_{ox1} = 3 \text{ nm}$

상·하단 게이트 산화막 두께 변화에 대한 문턱전압이하 스윙의 변화를 관찰하기 위하여 상단 게이트 산화막 두께를 1 nm에서 3 nm로 변화시키면서 채널두께와 하단 게이트 산화막 두께변화에 대한 문턱전압이하 스윙 값에 대한 등고선 그래프를 그림 3에 도시하였다. 그림에서 알 수 있듯이 채널두께가 두꺼워짐에 따라 문턱전압이하 스윙은 증가하는 것을 알 수 있다. 또한 상단 게이트 산화막 두께가 두꺼워짐에 따라 문턱전압이하 스윙은 증가하며 하단 게이트 산화막 두께 역시 증가할수록 문턱전압이하 스윙은 증가하나 하단 게이트 전압을 0.0 V로 고정하였으므로 그 변화정도는 상단 게이트 산화막에 의한 영향보다 덜 받고 있다는 것

을 관찰할 수 있다. 특히 그림 3(a)(b)(c)에서 공히 관찰할 수 있는 현상은 하단 게이트 산화막 두께가 클 경우 문턱전압이하 스윙 값은 포화되는 현상이다. 즉, 하단 게이트 산화막 두께가 클 경우 채널두께에 따라 문턱전압이하 스윙 값은 거의 일정하게 나타나고 있다. 그림 3(b)와 3(c)에서 채널두께가 12 nm이하로 매우 작을 경우 등고선 그래프의 형태가 변화되고 있다는 것을 알 수 있다. 즉 채널두께가 12 nm이하 영역에서는 동일한 문턱전압이하 스윙 값을 유지하기 위하여 하단 게이트 산화막 두께가 증가하면 채널두께도 증가하여야만 한다. 반면에 12 nm이상의 채널두께 영역에선 동일한 문턱전압이하 스윙 값을 유지하기 위하여 하단 게이트 산화막 두께가 증가하면 채널두께는 감소하여야만 한다는 것을 관찰할 수 있다.

III. 결론

본 연구에서는 포아송방정식의 해석학적 전위분포를 이용하여 상·하단 게이트 산화막 두께 변화에 대한 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙에 대하여 고찰하였다. 비대칭 이중게이트 MOSFET는 4단자소자로서 상·하단 게이트 전압 및 각각의 게이트 산화막의 두께 또한 다르게 제작할 수 있다는 장점이 있다. 비대칭 이중게이트 MOSFET의 문턱전압이하 스윙을 관찰한 결과, 게이트 산화막 두께에 따라 문턱전압이하 스윙은 크게 변화하는 것을 알 수 있었다. 상·하단 게이트 산화막 두께가 증가할수록 문턱전압이하 스윙도 함께 증가하였으며 채널두께가 증가할 경우도 마찬가지로 문턱전압이하 스윙은 증가하였다. 특히 제시한 인가전압 조건하에서 상단 게이트 산화막 두께의 변화는 하단 게이트 산화막 두께의 변화보다 문턱전압이하 스윙에 더욱 커다란 영향을 미치고 있다는 것을 관찰할 수 있었다. 그러므로 향후 비대칭 이중게이트 MOSFET를 이용한 집적회로 설계 시 상단 게이트 산화막 두께 결정에 유의하여야 할 것이다.

참고 문헌

- [1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.
- [2] H.K.Jung, Jongin Lee, " Analysis for Potential Distribution of Asymmetric Double Gate MOSFET," KIICE Fall Conference 2013, vol.17, no.2, 2013.
- [3] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," Microelectronics J., vol.42, pp.515-519, 2011.
- [1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical