

---

# 세션화 알고리즘의 FPGA 구현

정승민\*, 여협구\*

\*한신대학교

## An Implementation of a Thinning Algorithm using FPGA

Seung-Min Jung\*, Hyeop-Goo Yeo\*

\* Hanshin University

E-mail : jasmin@hs.ac.kr, hgyeo@hs.ac.kr

### 요 약

지문인식센서로부터 획득한 이미지를 처리하기 위한 알고리즘에서 세션화 단계가 차지하는 비율이 전체 마이크로프로세서 동작 사이클의 39%에 이른다. 세션화 단계는 가보필터와 달리 초월함수 등 복잡한 함수를 사용하는 동작이 아니므로 하드웨어로 구현하는 것이 전체 시스템의 소형화와 저전력에 도움이 된다. 본 논문에서는 반복적인 단순동작을 수행하는 세션화를 위한 64x64 픽셀이미지 처리기를 RTL 수준에서 설계하고 FPGA 환경에서 논리합성을 통하여 그 동작을 검증하고자 한다. 이를 통하여 향후 저성능 마이크로컨트롤러와 세션화 프로세서 내장형 지문인식 SoC의 가능성을 보여준다.

### ABSTRACT

A thinning stage of fingerprint algorithm occupies 39% cycle of microprocessor system for identification processing of image from fingerprint sensor. Hardware block processing is more effective than software one in speed and power consumption, because a thinning algorithm is iteration of simple instructions without a transcendental function. This paper describes an effective hardware scheme for thinning stage processing using Verilog-HDL in 64x64 Pixel Array. The hardware scheme is designed and simulated in RTL. The logic is also synthesized by XST in FPGA environment and tested. Experimental results show the performance of the proposed scheme and possibility of application for a soft microprocessor and thinning processor embedded fingerprint SoC.

### 키워드

세션화알고리즘, 지문인식, FPGA, RTL설계

### 1. 서 론

지문은 다른 생체정보와 비교하였을 때 고유성, 불변성, 생체정보채취의 용이성과 인식성능 등에서 우수한 특성을 가지고 있다. 이로 인해 지문인식은 다양한 보안 분야에서 다른 생체정보를 이용하는 방식보다 널리 이용되고 있으며, 생체인

식 시장에서 차지하는 비중 역시 높다.

지문인식 시스템은 고성능 마이크로프로세서를 내장 혹은 외장 탑재하여 알고리즘을 처리하도록 구현되어 있다[1]. 일반적으로 적용되는 알고리즘은 그림 1과 같이 특징점(minutiae) 추출방식으로서 전형적 가보필터 기반의 가우스 저역 통과 필터를 사용하여 지문 이미지

의 잡음을 줄인 후에 용선의 방향과 주파수를 정확히 추출하는 방법이 적용된다[1-2]. 세선화(Thinning) 단계에서는 그림 1의 용선 추출 영상과 같이 두꺼운 영상을 한 픽셀 두께를 갖도록 용선을 세선화 한다.



알고리즘의 각 단계별 마이크로프로세서 점유율 분석을 위하여 ARM 에뮬레이터의 내장 ARM7TDMI 코어를 적용하여 얻은 각 단계별 프로그램의 통과 여부 및 특징점 수 등에 대한 결과를 비교해 나가면서 분석한 결과, 지문인식센서로부터 획득한 이미지를 처리하기 위한 알고리즘에서 세선화 단계가 차지하는 비율이 전체 마이크로프로세서 동작 사이클의 39%에 이른다[2]. 세선화 단계는 가보필터와 달리 초월함수 등 복잡한 함수를 사용하는 동작이 아니므로 하드웨어로 구현하는 것이 전체 시스템의 소형화와 저전력에 도움이 된다. 본 논문에서는 반복적인 단순동작을 수행하는 세선화를 위한 처리기를 RTL 수준에서 설계하고 FPGA 환경에서 논리합성을 통하여 그 동작을 검증하고자 한다.

## II. 세선화 프로세서 FPGA구현

본 논문에서 적용된 세선화 알고리즘은 2차 순차 세선화 방법을 이용한 Zhang Suen 세선화 알고리즘이다[2]. 순차적 처리 방법은 현재의 처리 결과가 과거의 처리값에 영향을 받고, 미래의 처리 결과에도 영향을 미치는 것으로 이 방법에서는 대상 화상만 있으면 처리가 가능하다.

Zhang Suen 알고리즘은 두 단계를 통하여 픽셀을 제거하는 과정을 거친다. 1단계에서 그림3과 같은 3x3 픽셀 윈도우를 만들고 가운데 픽셀 이미지  $P_i$ 가 흑색(1)의 값을 가질 때 주변  $P_1$ 에서  $P_8$ 까지의 이미지 값이 흑색인 1의 수를  $N(P_i)$ 로 정의 한다.  $N(P_i)$ 의 값이 2~6일때 그 다음조건인  $S(P_i)$ 를 계산한다.  $S(P_i)$ 는  $P_1$ 에서 반시계 방향으로 1(흑색)->0(백색) 으로 이미지가 변화하는 횟수를 더하여 이 값이 1을 만족하는 경우에만 다음 단계를 수행한다. 픽셀 미미지 값의 곱인  $P_2 \cdot P_6 \cdot P_8 = 0$ ,  $P_4 \cdot P_6 \cdot P_8 = 0$  를 동시에 만족하는 경우 가운데 픽셀  $P_i$ 는 0으로 제거(백색)가 된다.

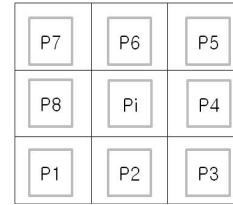


그림 2. 3x3 픽셀의 배치

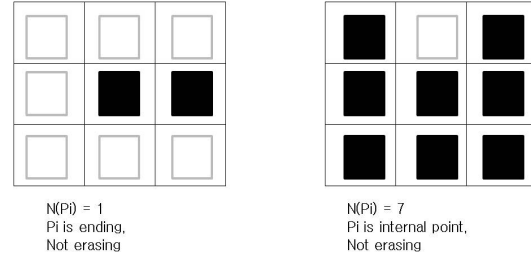


그림 3.  $N(P_i)$  수

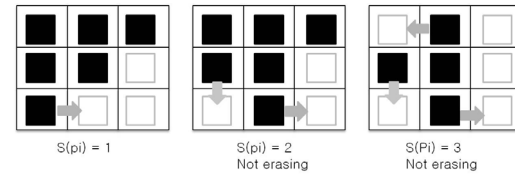


그림 4.  $S(P_i)$ 의 경우의 수 계산

1단계는 전체 픽셀에 대하여 스캔을 통하여 수행되며 2 단계에서는 1단계 이미지 결과를 바탕으로  $N(P_i)$ ,  $S(P_i)$  조건 만족을 동일하게 체크하고  $P_2 \cdot P_4 \cdot P_8 = 0$ ,  $P_2 \cdot P_4 \cdot P_6 = 0$  를 동시에 만족하는 경우 역시, 가운데 픽셀  $P_i$ 는 0으로 제거가 된다. 가운데 픽셀 값이 0인 경우는 세선화 과정은 수행하지 않는다.

그림 5는 세선화처리블록도 및 테스트모듈을 나타낸다. 점선 블록도가 세선화 처리기를 나타낸다. 64x64 샘플 이미지를 스캔처리하기 위한 카운터, 원 이미지와 세선화 이미지를 저장하기 위한 레지스터(B), 3x3 이미지 윈도우 추출기, Zhang Suen 알고리즘을 구현한 세선화 처리기로 구성되어 있다. 본 논문에서는 직렬통신을 통하여 이미지를 주고 받지 않고 FPGA에 부가적인 하드웨어 블록을 추가하여 자체적으로 결과를 테스트할 수 있도록 self test module을 구성하였다. 레지스터(A)는 로직시뮬레이션 결과 이미지(기대값)을 저장하고 self test 모드에서 비교기는 레지스터의 동일 번지 값을 비트별 비교하여 일치여부를 보드상의 7 세그먼트에 불일치되는 픽셀 수를 표시하게 된다. 모든 픽셀이 일치 할 경우 0의 값이 카운트가 된다.

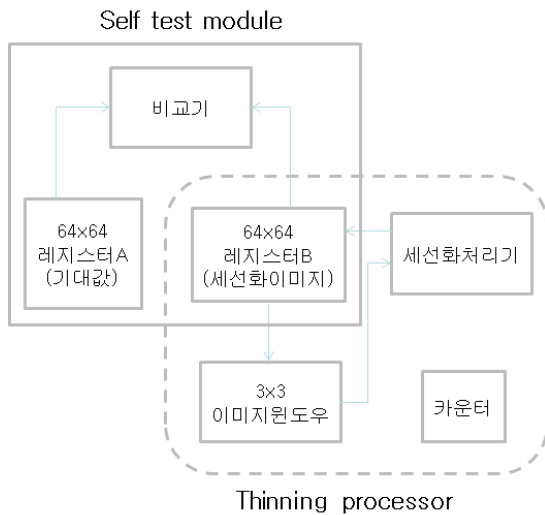


그림 5. 세션화처리블록도 및 테스트모듈

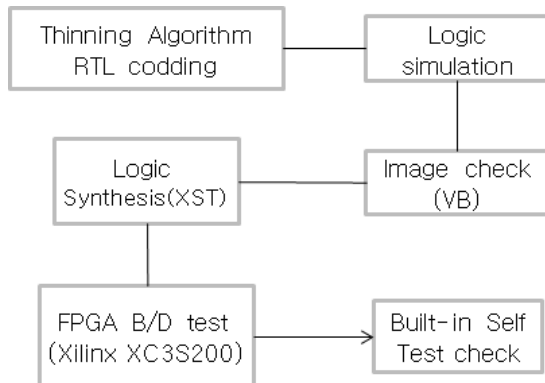


그림 6. 개발플로우



그림 7. 세션화 처리기 시뮬레이션 결과 (64x64 픽셀 샘플 지문이미지 적용)

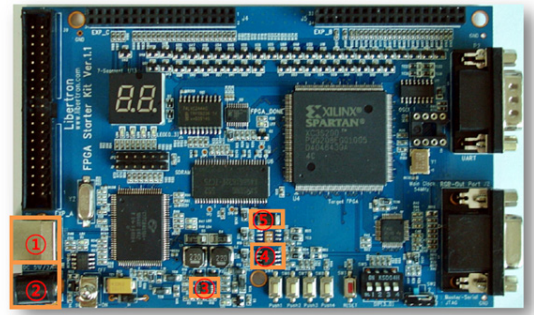


그림 8. 개발 보드

그림 6은 개발플로우를 나타낸다. Verilog-HDL로 구현된 RTL코드는 로직 시뮬레이션을 통하여 추출된 세션화결과 이미지를 보기위하여 비주얼 베이직을 이용하여 자체 개발한 UI 환경을 통하여 확인하였다. 그림 7은 64x64 샘플 지문이미지에 대한 시뮬레이션 결과를 나타낸다. RTL코드는 사이링스 합성 툴을 이용하여 로직 합성을 실시하고 XC3S200 FPGA 칩에 구현되어 보드 검증을 실시하였다. 그림 8은 개발보드를 나타낸다. 세션화 프로세서 블록에 대한 합성결과 하드웨어 크기는 597 slices, 1052 LUTs를 나타내어 부담이 크지 않음을 알 수 있다. Built-in self test 검증을 위하여 54MHz 메인 클럭 주파수에서 레지스터A와 B의 값이 정확히 일치하고 있음을 확인 하였으며 이는 구현된 세션화 프로세서가 정상 동작하고 있음을 나타낸다.

### III. 결 론

본 논문에서는 지문인식 알고리즘의 세션화 단계를 위한 하드웨어 블록을 구현하고 동작을 FPGA 보드를 이용하여 검증하였다. 세션화 알고리즘은 Zhang Suen 이며 RTL 코드로 구현하고 논리합성을 통하여 XC3S200 FPGA 칩에 회로를 구성하고 자체 테스트 모듈을 통하여 원 이미지로부터 세션화 이미지를 얻을 수 있음을 확인하였다. 본 결과를 통하여 지문인식 시스템에서 전력소모가 큰 고성능프로세서 대신 저전력의 저성능 프로세서로 교체 가능하며 처리속도의 획기적 향상을 기대할 수 있다.

### 참고문헌

[1]Seung-Min Jung, Jin-Moon Nam, Dong-Hoon Yang and M. K. Lee, "A CMOS Integrated Capacitive Fingerprint Sensor with 32-bit RISC Microcontroller," *IEEE Journal of Solid-state Circuit*, Vol. 40, No. 8, pp. 1745-1750, 2005.

[2]Seung-Min Jung, "An ASIC Implementation of Fingerprint Thinning Algorithm," *International Journal of KIMICS*, Vol. 8, No. 6, Dec. 2010.