

MOS 커패시터를 이용한 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기

성명우* · 김철환* · 최성규* · 최근호* · 김신곤* · 한기정* · Habib Rastegar* · 류지열* ·
노석호**

*부경대학교 · **안동대학교

A 12-bit 1MSps SAR ADC using MOS Capacitor

Myeong-U Seong* · Cheol-Hwan Kim* · Seong-Kyu Choi* · Geun-Ho Choi* · Shin-Gon Kim* ·
Gi-Jung Han* · Habib Rastegar* · Jee-Youl Ryu* · Seok-Ho Noh*

*Pukyong National University · **Andong National University

E-mail : db6611@gmail.com

요 약

본 논문에서는 MOS 커패시터를 이용하여 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기(Successive Approximation Register Analog-to-Digital Converter, SAR ADC)를 설계하였다. 설계된 아날로그-디지털 변환기는 매그나칩/SK하이닉스 0.18 μm 공정을 이용하였으며, Cadence Tool 을 이용하여 시뮬레이션 및 레이아웃을 하였다. 시뮬레이션 결과 1.8V의 공급전압에서 전력 소모는 3.22mW였고, 유효 비트수는 11.5bit의 결과를 보였다.

키워드

SAR, ADC, 1MSps, 12-bit, MOS 커패시터

I. 서 론

집적회로 기술의 발전으로 많은 종류의 신호처리는 디지털 영역으로 이동하였지만, 자연 신호의 처리에 있어서 아날로그 신호처리에 대한 필요성은 여전히 존재한다. 이러한 이유로 아날로그 신호를 디지털 신호로 변환시키기 위한 아날로그-디지털 변환기(Analog-to-Digital Converter, ADC)의 중요성은 점차 커지고 있다. 그러나 ADC를 이용한 신호 변환 과정에서 저전압 공급으로 인한 신호 대 잡음비가 감소하는 문제점이 있으며, ADC를 구성하는 소자 중 하나인 커패시터가 차지하는 면적으로 인해 전체 회로의 면적이 커지는 단점이 있다[1]-[3].

본 논문에서는 이러한 문제점을 해결하기 위해 MOS 커패시터를 이용한 12비트 1MSps 연속 근사화 레지스터 아날로그-디지털 변환기를 제안한다. SAR ADC는 내부 블록을 재사용하기 때문에 저면적 설계에 유리하고, MOS 커패시터는 기존의 커패시터와 비교하여 같은 정전용량을 가지면서, 더 작은 면적으로 구현 할 수 있어 전체 회로

의 면적을 줄이는데 효과가 있다.

II. 본 론

그림 1은 SAR ADC의 블록도를 나타낸 것이다. SAR ADC는 샘플-앤-홀드단, 커패시터 어레이 단, 비교기단, SAR 제어 로직단, 디지털-아날로그 변환기(Digital-to-Analog Converter, DAC)단 및 DAC 제어 로직단으로 구성하였다.

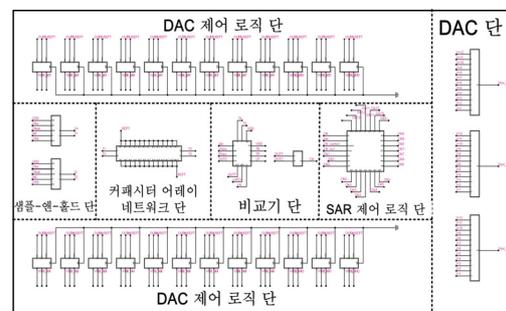


그림 1. SAR ADC 블록도

그림 2는 DAC 제어 로직단을 나타낸 것이다. DAC 제어 로직단은 D-플립플롭, 딜레이 버퍼, 논리 게이트 및 인버터로 이루어진다. DAC 제어 로직단의 구성 요소 중 하나인 딜레이 버퍼는 인버터와 커패시터로 구성되는데 딜레이 버퍼를 구성하는 커패시터를 MOS 커패시터로 대체함으로써 딜레이 버퍼의 면적을 약 75% 줄였고, 이로 인해 전체 회로의 면적이 줄어드는 효과가 있다.

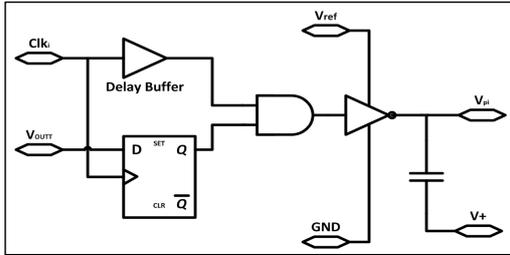


그림 2. DAC 제어 로직단

III. 시뮬레이션 결과 및 레이아웃

그림 3은 DAC 제어 로직단의 시뮬레이션 결과를 나타낸 것이다. D-플립플롭은 클럭 신호의 상승에지에서 비교기 출력을 샘플링을 수행하는데, 비교기 출력이 'High'가 되면 접지로 스위칭되고 비교기 출력이 'Low'가 되면 기준전에 연결된 상태를 유지한다. Clk_i의 하강 에지에서는 항상 기준전압에 연결된 상태를 유지한다.

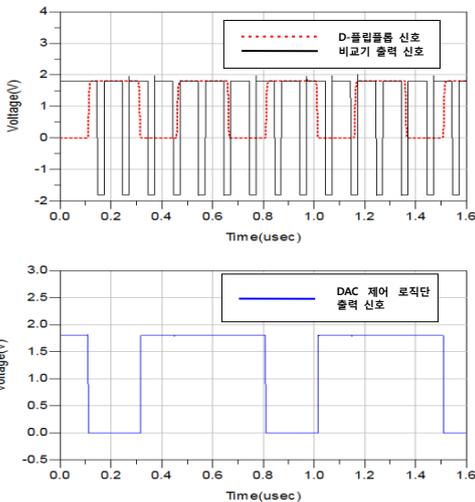


그림 3. DAC 제어 로직단 시뮬레이션 결과

그림 4는 100kHz의 입력신호를 인가하였을 때 SAR ADC의 FFT 결과를 나타낸 것이다. FFT 결과 71.01dB의 SNDR를 보였고 ENOB는 11.5비트를 보였다.

그림 5는 연속 근사화 아날로그-디지털 변환기의 레이아웃 결과이다. 레이아웃은 매그나칩/SK 하이닉스 0.18 μ m 공정을 이용하여 수행하였다.

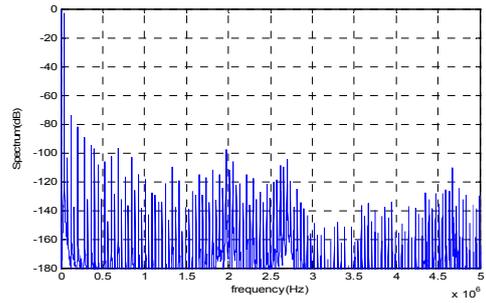


그림 4. FFT 결과

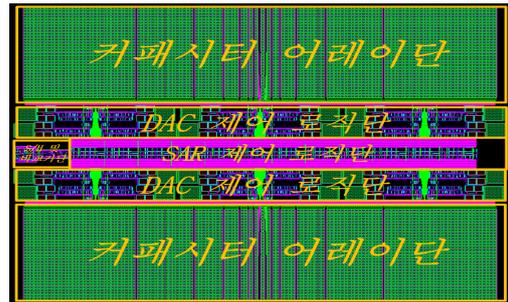


그림 5. 연속 근사화 아날로그-디지털 변환기 레이아웃 결과

IV. 결론

본 논문에서 설계한 연속 근사화 레지스터 아날로그-디지털 변환기는 저면적, 저전력을 요구하는 기기에 적합하도록 설계하였다. 설계된 아날로그-디지털 변환기는 1.8V의 공급 전압에서 전력 소모는 3.22mW였고, SNDR는 71.01dB, ENOB는 11.5비트의 시뮬레이션 특성을 보였다.

Acknowledgement

본 논문은 반도체설계교육센터(IDEC)의 지원을 받았다.

참고문헌

- [1] C. C. Liu *et. al.*, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure" IEEE Journal of Solid-State Circuits, Vol. 45, pp. 731-740, 2010.
- [2] J. McCreary *et. al.*, "All-MOS charge redistribution analog-to-digital conversion techniques-Part I" IEEE Journal of Solid-State Circuits, Vol. SC-10, pp. 371-379, 1975.
- [3] 최성규 외, "저전력 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계", 한국정보통신학회 종합학술대회 논문집, 제18권, 제1호, pp. 156-157, 2014년 5월.