MEMS 용량형 센서를 위한 CMOS 스위치드-커패시터 인터페이스 회로

주민식 · 정백룡 · 최세영 · 양민재 · 윤은정 · 유종근

인천대학교

A CMOS Switched-Capacitor Interface Circuit for MEMS Capacitive Sensors

Min-sik Ju · Baek-ryong Jeong · Se-young Choi · Min-Jae Yang · Eun-jung Yoon · Chong-gun Yu

Incheon National University

E-mail : incheonuniversity@gmail.com

요 약

본 논문에서는 MEMS 용량형 센서를 위한 CMOS 스위치드-커패시터 인터페이스 회로를 설계하였다. 설계된 회로는 커패시턴스-전압 변환기(CVC), 2차 스위치드 커패시터 ΣΔ 변조기 및 비교기로 구성되어있다. 또한 일정한 바이어스를 공급해주는 바이어스 회로를 추가하였다. 전체적인 회로의 저주파 잡음과 오프셋을 감소시키기 위하여 Correlated-Double-Sampling(CDS) 기법과 Chopper-Stabilization(CHS) 기법을 적용하였다. 설계 결과 CVC는 20.53mV/fF의 민감도와 0.036%의 비선형성 특성을 보였으며, ΣΔ 변조기는 입력전압 진폭이 100mV가 증가할 때, 출력의 듀티 싸이클은 약 5% 씩 증가하였다. 전체회로의 선형성 에러는 0.23% 이하이며, 전류소모는 0.73mA이다. 제안된 회로는 0.35um CMOS 공정을 이용하여 설계되었으며, 입력전압은 3.3V이다. 설계된 칩의 크기는 패드를 포함하여 1117um×983um 이다.

ABSTRACT

This paper presents a CMOS switched-capacitor interface circuit for MEMS capacitive sensors. It consist of a capacitance to voltage converter(CVC), a second-order ΣΔ modulator, and a comparator. A bias circuit is also designed to supply constant bias voltages and currents. This circuit employes the correlated-double-sampling(CDS) and chopper-stabilization(CHS) techniques to reduce low-frequency noise and offset. The designed CVC has a sensitivity of 20.53mV/fF and linearity errors less than 0.036%. The duty cycle of the designed ΣΔ modulator output increases about 5% as the input voltage amplitude increases by 100mV. The designed interface circuit shows linearity errors less than 0.13%, and the current consumption is 0.73mA. The proposed circuit is designed in a 0.35um CMOS process with a supply voltage of 3.3V. The size of the designed chip including PADs is 1117um×983um.

키워드

MEMS Capacitive Sensor, Switched-Capacitor Circuit, Capacitance to Voltage Converter, Sigma-Delta Modulator

Ⅰ. 서 론

MEMS(Micro Electro Mechanical System)는 마이크로미터 크기의 미세 기술로서 실리콘이나 수정, 유리 등을 가공하여 초고밀도의 집적회로, 초소형 기어 등 여러 용도의 초미세 기계구조물을 만드는 기술이다. 반도체 제작 공정을 이용하고 일괄 공정에 의한 대량생산이 가능하기 때문에 소자의 크기와 단가 및 소비 전력을 낮출 수 있고 기계부품, 센서, 전자회로를 한 칩에 집적하여 높은 신뢰도를 얻을 수 있다는 장점이 있다. MEMS 기술의 응용분야로는 자동차 분야에서 가속도·자이로·압력·온도 센서로 쓰이며 정보통신 분야, 컴퓨터 사무자동화 기기분야, 의료 및 환경 분야 등 여러 분야에서 활용되고 있다. MEMS를 이용한 가속도 센서는 가장 먼저 실용화되어 널리 사용되고 있는 부분이며 최근 시스템의 소형화·집적화로 인해 보다 높은 측정 해상도를 갖는 가속도 센서의 개발을 위한 연구가

이 논문은 2014년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2014046387). IDEC 지원에 의해서도 일부 수행되었음.

진행 중이다[1-4].

기존 MEMS 가속도 센서는 가속도 변화에 따른 Capacitance의 변화에 의해 동작하는 반면에, 본 설계는 CVC의 민감도(sensitivity)를 증가시키고, 전체 전력소모를 낮춰 저전력 환경에서도 동작할 수 있도록 함으로써, 더 작은 Capacitance의 변화에도 동작하는 용량형 센서(Capacitive Sensor)를 위한 CMOS 인터페이스 회로를 설계하여 가속도뿐 아니라 폭 넓은 분야에서 활용할 수 있게 하고자 한다.

II. 회로설계

1. 전체 회로 구성

그림 1은 설계된 MEMS 용량형 센서를 위한 인터페이스 회로의 전체 블록 다이어그램이다. 설계된 회로는 크게 CVC(Capacitance to Voltage Converter), SC-Integrator, Comparator로 구성되며, CVC와 SC-Integrator에 필요한 전류 및 전압을 생성하는 Bias회로 및 Clock Generator로 구성되어 있다.

CVC는 변화된 커패시턴스를 감지하고[6] 이를 증폭하여 전압으로 출력하고, 이렇게 출력된 전압은 SC-Integrator에서 2차 적분을 통한 노이즈 쉐이핑을 거쳐 최종적으로 비교기에 의하여 디지털 신호로 출력되게 된다.

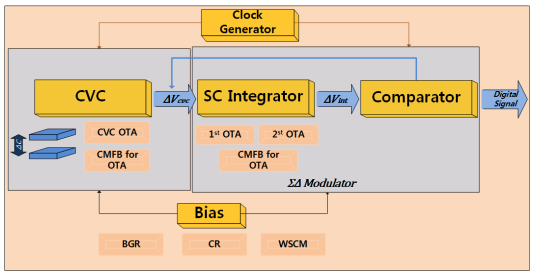

그림 1. 제안된 회로의 블록 다이어그램

2. Bias Circuit

Bias Circuit은 외부전원 전압, 온도 변화에 최대한 영향을 받지 않는 회로로써 BGR(Band Gap Reference), CR(Current Reference) 두 부분으로 나뉘어져 있다. BGR의 출력인 Vref는 CR, CVC, SC-Integrator에 사용되며, CR은 OTA 및 Comparator에 필요한 bias 전류를 공급해 준다. BGR은 온도특성과 offset 감소를 위해 BJT를 사용하였고 설계된 회로는 그림 2와 같다. 그림 3은 모의실험 결과로써 19.9ppm/℃(-50℃~25℃)와 - 23.7ppm/℃(25℃ ~ 100℃)의 온도특성을 나타냈고 공급전압 2.3~4.05V의 범위에서 VDD 민감도는 0.152%를 나타냈다.

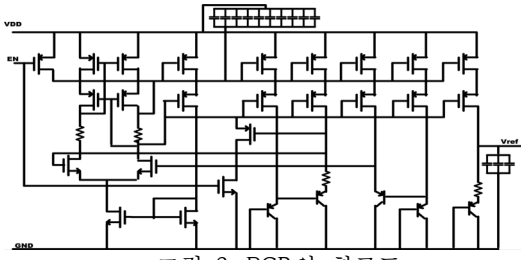

그림 2. BGR의 회로도

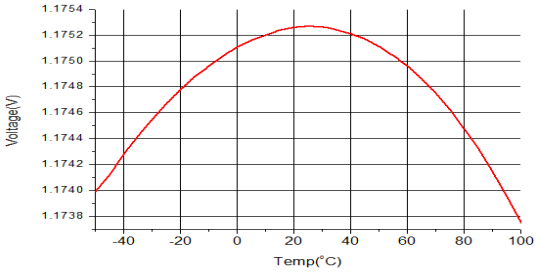

그림 3. BGR 온도특성 결과

3. CVC

CVC는 MEMS Sensor에서 Capacitance의 변화량을 전압으로 바꿔주는 역할을 한다. 설계된 회로는 그림 4와 같이 SC Amplifier로 구성되어 있고, OTA의 구조는 그림 5에서 확인할 수 있으며, 성능은 표 1과 같다.

Correlated double sampling[2]을 통해 저주파 잡음을 줄이고, initial Cap과 CDS Cap사이에 switch를 추가함으로써 스위칭 시 발생하는 노이즈를 줄였으며, 완전 차동회로로 설계하여 Common mode 잡음을 최소화 할 수 있도록 하였다[2].

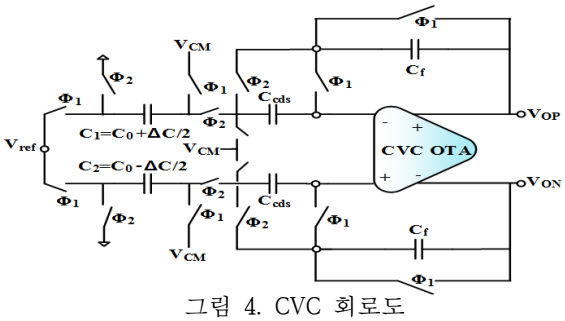

그림 4. CVC 회로도

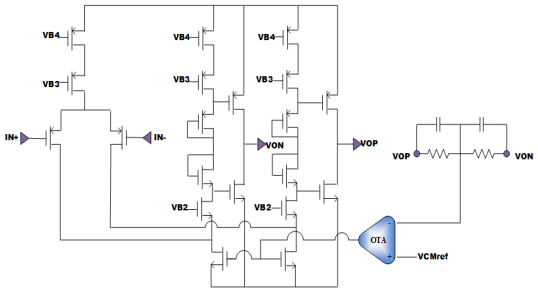

그림 5. CVC OTA

표 1. CVC OTA 성능

Parameter	OTA
Current Consumption (uA)	440
Gain (dB)	70
PM (°)	80.3
BW (Hz)	26.3K

4. SC-Integrator

CVC에서 Capacitance의 변화가 전압으로 변환되고 이 전압이 ΣΔ Modulator에 의해서 디지털 신호로 출력된다. ΣΔ Modulator는 SC-integrator와 Comparator로 구성되어 있으며 그림 6은 SC-integrator 회로이다[1].

SC-integrator는 노이즈 쉐이핑을 위해 적분기 두 개를 사용하여 2차로 설계되었고, CHS(Chopper Stabilization)기법을 사용해 플리커 노이즈를 줄였다[5]. 변조기는 스위치가 ϕ1 때 샘플링 동작을 수행하고 ϕ2 동안 적분동작을 수행한다.

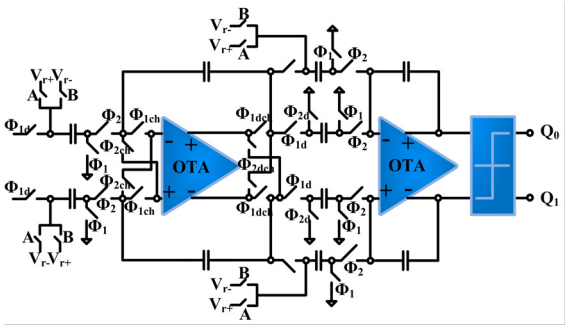

그림 6. SC-integrator 회로도

SC-integrator에 사용된 OTA의 성능은 표 2와 같다. 기존회로에 비해 전류소모가 훨씬 작다.

표 2. ΣΔ Modulator OTA 성능

Parameter	[1]	OTA
Gain(dB)	67	68.4
Phase Margin(°)	78.5	68
Band Width(MHz)	24	25
Current(uA)	1600	24.39

5. Comparator

Comparator는 Analog 입력 값을 Digital 출력 값으로 바꾸는 역할을 하는 회로[1]로써 그림 7과 같이 Regenerative latch 및 SR latch로 구성하였다. 표 3에 설계된 비교기의 성능을 요약하였다.

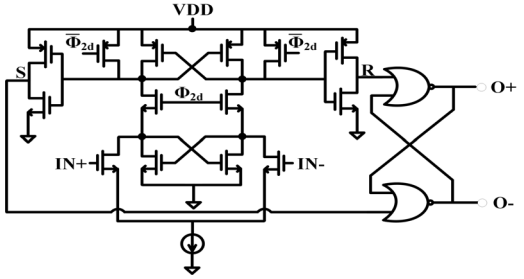

그림 7. Comparator

표 3. 비교기의 성능

Parameter	[1]	This work
Resolution(mV)	≤30	0.2
Power(uW)	480	127
Delay time(ps)	-	934.25

Ⅲ. 모의실험 결과

설계된 회로의 검증을 위해 0.35um CMOS 공정변수를 사용하여 모의실험을 하였다. 그림 8과 그림 9는 각각 △C에 따른 CVC의 차동출력 파형과 비선형성을 나타내고, 표 4에 출력전압을 정리하였다. Initial Cap Cs의 값을 0.5pF, △C의 범위를 -40fF~40fF으로 설정하여 모의실험한 결과 설계된 CVC의 최대출력 전압은 40fF 변화 시, 821.35mV이고 민감도는 20.53mV/fF이며, 0.036% 이하의 비선형성을 갖는다.

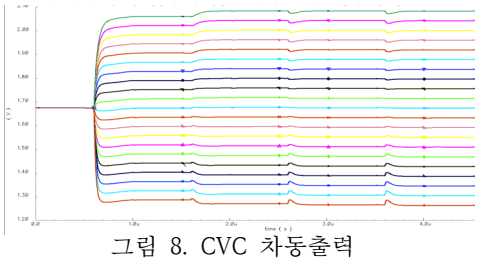

그림 8. CVC 차동출력

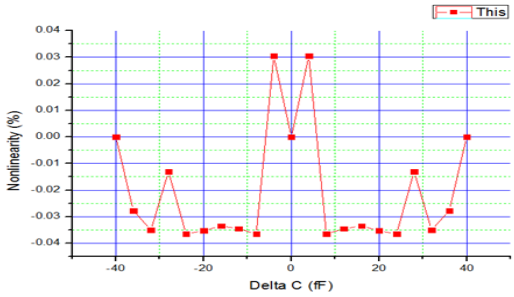

그림 9. CVC nonlinearity

표 4. CVC 출력결과 (Vout peak to peak)

△C(fF)	0	8	16	24	32	40
Vout (mV)	0	164.33	328.65	492.99	657.31	821.35

표 5는 입력 진폭이 -800mV에서 +800mV로 변할 때, ΣΔModulator의 출력을 duty cycle의 비율로 정리한 것이다. 입력 진폭이 100mV가 변할 때, 약 5%의 비율로 변하는 것을 확인할 수 있다. 각 구간별 오차가 발생하지만, 그 오차는 0.3%이하로 작은 값을 가진다.

표 5. ΣΔ Modulator의 입력크기에 따른 Duty cycle 변화

Parameter	Value						
Vin(mV)	-800	-400	-100	0	+100	+400	+800
Vout Duty cycle (%)	10.03	29.93	44.98	50.01	55.13	70.13	89.88
Linearity Error(%)	0.3	0.1	0.04	0.02	0.2	0.014	0.06

그림 10은 ∑△Modulator의 출력 파형을 나타낸 것이다. 출력의 Duty cycle은 +100mV 일 때는 약 55%이며 +200mV, +300mV일 때는 55%보다 각각 5% 와 10%증가한 60%, 65%임을 확인할 수 있다. 표 6은 기존 논문과 결과 값을 비교한 것이며, 그림 11은 전체회로의 △C에 따른 Duty Cycle 변화를 나타낸 것이며, 비선형성은 0.23%이하이다.

설계된 회로의 성능을 표 6에 기존회로와 비교하였다. 동작 속도는 느리지만, 총 전류 소모량이 약 7.4배나 작게 설계된 장점이 있다.

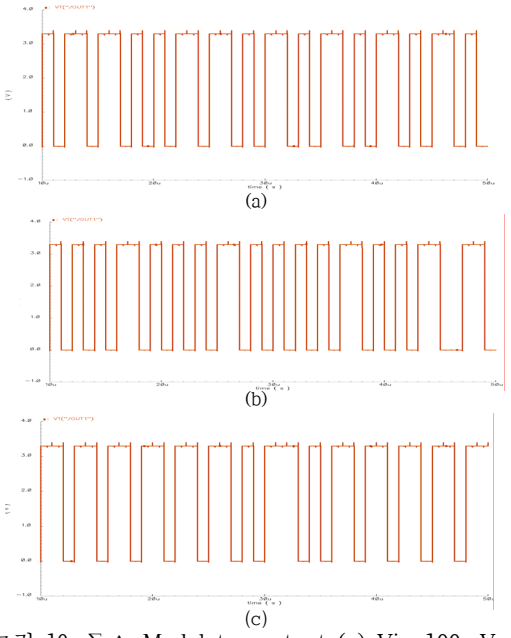

그림 10. ∑△ Modulator output (a) Vin=100mV (b) Vin=200mV (c) Vin=300mV

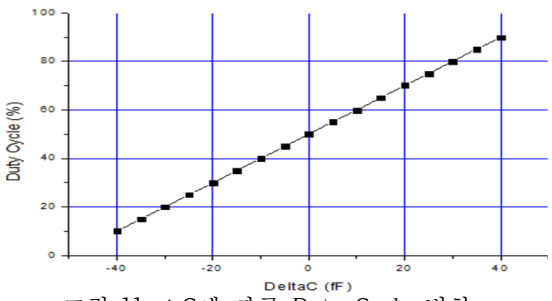

그림 11. △C에 따른 Duty Cycle 변화

표 6. 성능 비교

	[1]	This work
Current (mA)	5.4	0.73
Clock Freq.(MHz)	5.12	2
Process	0.35um CMOS	0.35um CMOS

설계된 회로의 레이아웃 도면은 그림 12에 보였다. 칩의 크기는 1117um × 983um이며, PAD를 제외한 크기는 918um × 788um이다.

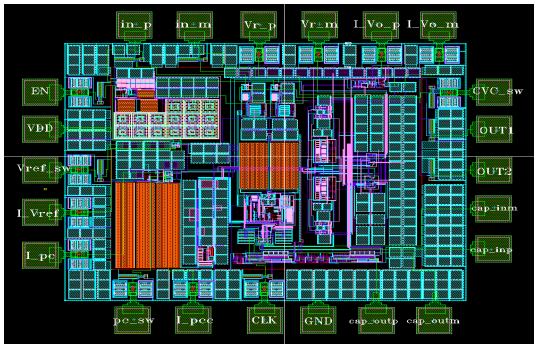

그림 12. 전체 레이아웃

Ⅳ. 결 론

본 논문에서는 잡음을 최소하기 위하여 CDS 기법을 이용한 CVC와 Chopper-stabilization 기법을 사용한 ∑△ modulator를 적용하여 MEMS Capacitive Sensor를 위한 CMOS 인터페이스 회로를 설계하였다. 모의실험 결과 CVC는 입력 커패시턴스다 40fF 변화할 때 민감도는 20.53mV/fF이고 비선형성은 최대 0.036%를 나타내었다. ∑△ modulator는 입력전압의 차이가 0일 때 Duty cycle이 50%, 300mV일 때 65%, -300mV일 때 35%를 나타내었다. 전압의 차이가 100mV 증가할 때 Duty cycle이 5% 증가하는 것을 알 수 있었으며, 비선형성은 0.3%이하임을 확인하였다. 전체 회로의 비선형성은 0.23%이며, 전류소모는 0.73mA이다. 설계된 회로는 Capacitive Sensor를 사용하는 다양한 저전력 소모 응용분야에 적용이 가능할 것으로 기대된다.

참고문헌

[1] K. Xiaofei, "A fully-differential Chopper-Stabilized Sigma-Delta Interface for Micro Accelerometer," *Beijing Micro electronics Technology Institute*, pp 726 - 729, Sep. 2010

[2] S. Reddy, "Design of Interface Circuit for Differential Capacitance Measurement," *Master of Science (by Research) in VLSI & Embedded Systems*, pp 55-57, Sep. 2011

[3] 윤은정, 박종태, 유종근, "MEMS 가속도센서를 위한 CMOS Readout회로," *Journal of IKEEE*, vol. 18, no.1, pp 119-127, Mar. 2014

[4] 조남규, "MEMS 가속도센서의 원리 및 기술동향," 전자부품연구원, 2006.

[5] I. Zeimpekis, I. Sari, M. Kraft, "Characterization of a Mechaical Motion Amplifier Applied to a MEMS Accelerometer," *Journal of Micro electro mechanical Systems*, vol. 21, no. 5, pp 1032-1042, 2012.

[6] Chang Han Je et al., "Z-axis capacitive MEMS accelerometer with moving ground masses," *IEEE*, pp 635-638, 1-4 Nov. 2010.