
HEVC 부호기를 위한 효율적인 디블록킹 하드웨어 설계

박재하 · 박승용 · 류광기
한밭대학교 정보통신공학과

The Hardware Design of Effective Deblocking Filter for HEVC Encoder

Jae-Ha Park · Seung-yong Park · Kwang-ki Ryoo

Dept. of Information Communication Eng., Hanbat National University

E-mail : parkjeaha@hanmail.net

요 약

본 논문에서는 고해상도를 위한 고성능 HEVC(High Efficiency Video Coding) 디블록킹 필터 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 필터링 수행시간 단축과 게이트 수 감소를 위한 효율적인 필터링 순서 및 메모리 구조를 가진다. 제안하는 필터링 순서는 전처리 단계에서 단일 포트 SRAM에 데이터를 저장할 때 발생하는 지연시간을 감소시켰고, 고해상도 영상의 실시간 처리를 위해 4단 파이프라인 구조와 10개의 메모리 구조로 설계하였다. 제안하는 메모리 구조는 단일 포트 SRAM을 접근하면서 발생하는 해저드 문제를 해결하였다. 또한 필터링 수행시간을 단축하기 위해 두 개의 필터를 사용하여 병렬처리 구조로 구현하였으며, 저전력 하드웨어 구조를 위해 클록 게이팅 구조로 설계하였다. 본 논문에서 제안하는 디블록킹 필터 부호화기 하드웨어는 Verilog HDL로 설계하였으며, TSMC 0.18um CMOS 표준 셀 라이브러리를 이용하여 합성한 결과 100k개의 로직 게이트로 구현되었다. 또한, 동작 주파수는 150MHz에서 4K 해상도인 4096×2160@30 처리가 가능하다.

ABSTRACT

In this paper, we propose effective Deblocking Filter hardware architecture for High Efficiency Video Coding encoder. we propose Deblocking Filter hardware architecture with less processing time, filter ordering for low area design, effective memory architecture and four-pipeline for a high performance HEVC(High Efficiency Video Coding) encoder. Proposed filter ordering can be used to reduce delay according to preprocessing. It can be used for realtime single-port SRAM read and write. it can be used in parallel processing by using two filters. Using 10 memory is effective for solving the hazard caused by a single-port SRAM. Also the proposed filter can be used in low-voltage design by using clock gating architecture in 4-pipeline. The proposed Deblocking Filter encoder architecture is designed by Verilog HDL, and implemented by 100k logic gates in TSMC 0.18 μ m process. At 150MHz, the proposed Deblocking Filter encoder can support 4K Ultra HD video encoding at 30fps, and can be operated at a maximum speed of 200MHz.

키워드

HEVC, In-loop filter, Deblocking Filter, Deblocking Filter architecture, Hardware Design

I. 서 론

최근 광대역 전송의 발전과 함께 차세대 영상 기기에 대한 관심이 증가하면서 영상의 공급과 수요가 폭발적으로 증가하고, 동시에 UHD(Ultra High Definition)급 이상의 고화질 영상에 대한 수요 역시 꾸준히 증가하고 있다. 이러한 개발 방향에 맞추어 최근 비디오 압축 기술 표준을 주도하

는 ISO/IEC MPEG(Moving Picture Experts Group)과 ITU-T VCEG(Video Coding Experts Group)은 초고해상도, 초고화질의 영상에 대한 압축 기술의 필요성을 공감하여 공동으로 차세대 비디오 코덱 기술인 HEVC를 개발하여 표준화를 완료하였다. HEVC는 초고해상도, 초고화질 영상을 지원하기 위해 기존 비디오 코덱 기술인 H.264/AVC 기술 표준에 비해 2배 이상의 압축 효율을 목표로 하

고 있으며, 넓은 범위의 해상도와 무손실 코덱 등을 고려하고 있다[1].

HEVC는 기존의 H.264/AVC 표준과 같은 움직임 보상 변환 부호화 압축 기술에 기반을 하며, 효율적인 영상 압축을 위해 CU(Coding Unit), PU(Prediction Unit), TU(Transform Unit)와 같은 연산 단위를 사용한다. 각 CU는 그 내부에서 다시 PU단위로 나누어져 예측을 수행하게 되고, TU 단위로 변환 및 양자화가 이루어진다. 따라서 CU 내에서 PU 및 TU단위로 이루어지기 때문에 각 유닛 블록들의 경계에서 픽셀 값들의 불연속이 발생하게 된다. 이 불연속은 곧 블록 단위 왜곡으로 이어져 영상 품질을 저하시키게 된다. 더블록킹 필터링은 이러한 블록 단위 왜곡으로 열화된 화질을 개선하고 참조 프레임의 질을 향상시켜 압축 효율을 높여주는 역할을 한다[2].

본 논문에서는 고해상도를 위한 고성능 HEVC 더블록킹 필터 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 필터링 수행시간 단축과 게이트 수 감소를 위한 효율적인 필터링 순서 및 메모리 구조를 가진다. 제안하는 필터링 순서는 전처리 단계에서 단일 포트 SRAM에 데이터를 저장할 때 발생하는 지연시간을 감소시켰고, 고해상도 영상의 실시간 처리를 위해 4단 파이프라인 구조와 10개의 메모리 구조로 설계하였다. 제안하는 메모리 구조는 단일 포트 SRAM을 접근하면서 발생하는 해저드 문제를 해결하였다. 또한 필터링 수행시간을 단축하기 위해 두 개의 필터를 사용하여 병렬처리 구조로 구현하였으며, 저전력 하드웨어 구조를 위해 클록 게이팅 구조로 설계하였다. 본 논문의 구성은 다음과 같다. 2장에서는 제안하는 더블록킹 필터 하드웨어 구조를 기술한다. 3장에서는 하드웨어 구조 결과 및 검증을 기술한다. 4장에서는 결론으로 끝을 맺는다.

II. 본 론

2.1 전체 필터 구조

그림 1은 본 논문에서 제안하는 더블록킹 필터에 대한 블록다이어그램이다.

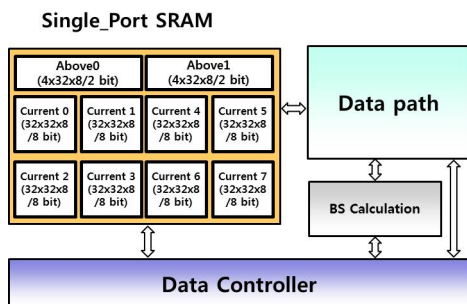


그림 1. 제안하는 더블록킹 필터 블록다이어그램

기본적으로 32x32 크기의 quarter LCU단위로 필터링을 수행하며, 필터의 동작을 제어하는 Data Controller 모듈과 경계 결정 연산 및 경계 강도 (Bs) 계산을 수행하는 Bs Calculation 모듈, 필터링 결정과 필터링 연산을 수행하는 Data path모듈로 구성된다. 이와 더불어 필터링이 수행되는 각 경계의 P, Q블록을 읽고, 쓰기 위한 메모리가 존재한다. Data Control 모듈 및 Data path 모듈 연산은 파이프라인 구조로 수행한다.

2.2 4단 파이프라인 구조

그림 2는 제안하는 4단 파이프라인 하드웨어 구조이다.

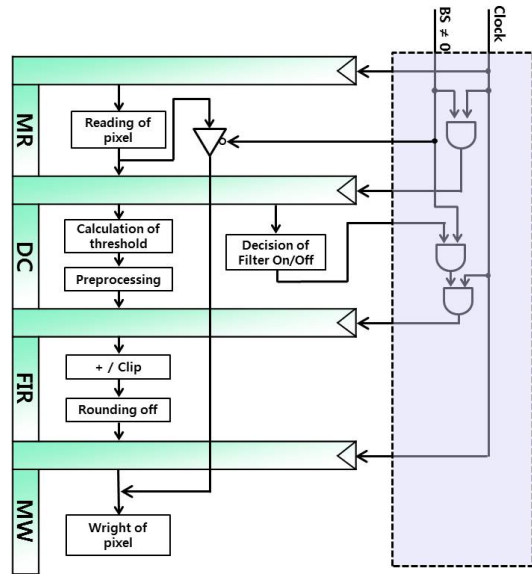


그림 2. 제안하는 4단 파이프라인 하드웨어 구조

각 단계에서 수행하는 연산은 다음과 같다.

- 1) 메모리 읽기 (MR) : 메모리로부터 P, Q블록의 픽셀 데이터를 읽는다.
- 2) 임계값 및 전처리 (DC) : 각 블록의 임계값 계산 및 필터링 온/오프 결정을 위한 연산과 전처리 연산을 수행 한다.
- 3) 필터 연산 (FIL) : 결정된 필터링 강도에 따라 P, Q블록의 픽셀 데이터에 대한 필터링을 수행한다.
- 4) 메모리 쓰기 (MW) : 필터링 된 픽셀 데이터를 다시 on-chip 메모리에 저장한다.

2.3 클록 게이팅

그림 3은 래치 기반 회로를 사용한 클록 게이팅이다.

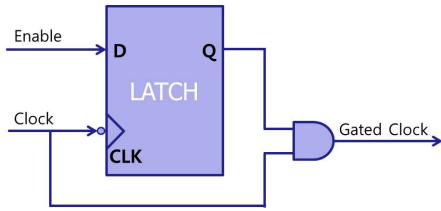


그림 3. 래치 기반 클록 게이팅 회로

4단 파이프라인 구조의 첫 번째와 마지막 단계는 메모리에서 픽셀을 읽어오거나 저장하는 단계로서 매 클록마다 픽셀 데이터를 배치하고 필터링 되지 않더라도 이후 동작을 위해 외부 메모리에 저장해야 하므로 항상 활성화된다. 두 번째 단계에서는 앞단에서 계산된 경계 강도 값이 0일 경우 필터링을 수행하지 않으므로 클록을 비활성화 한다. 세 번째 단계에서도 마찬가지로 경계 강도 값이 0일 경우 클록을 비활성화 하며 추가적으로 두 번째 단계에서 계산된 필터링 온/오프 조건을 검사하여 오프 조건일 경우에도 클록을 비활성화 한다. 즉, 경계강도(Bs)가 0일 경우 클록을 비활성 하여 저전력으로 동작한다.

2.4 파이프라인 헤저드 요인 및 해결

헤저드는 파이프라인 설계 시 성능저하의 주요 요인 중 하나이다. 디블록킹 필터의 파이프라인 구조에서 발생하는 헤저드는 구조적 헤저드와 데이터 헤저드가 있다.

(1) 구조 헤저드

구조적 헤저드는 파이프라인에 포함되어 있는 하드웨어들이 동시에 파이프라인의 중복되는 단계에서 실행되어야 할 때 리소스 분쟁에 의해서 기된다. 즉, 메모리의 읽기/쓰기가 동시에 수행될 때 구조적 헤저드가 나타난다.

(2) 데이터 헤저드

데이터 헤저드는 특정 명령어의 실행이 이전 동작의 연산 결과 값에 대해 의존성이 있을 때 발생한다. 디블록킹 필터의 데이터 헤저드는 필터 방향이 스위칭 되는 동안에 발생할 수 있다.

(4) 해결방법

위에서 제시된 디블록킹 필터의 파이프라인 구조화시 발생하는 구조적 헤저드와 데이터 헤저드는 모두 메모리 접근 동작의 경우 발생한다. 이는 분할된 메모리를 사용함으로써 모두 해결할 수 있다. 따라서 본 논문에서는 헤저드가 발생하지 않는 분할된 메모리 구조를 제안한다.

2.5 메모리 구조

그림 4는 본 논문에서 제시한 디블록킹 필터에서 사용된 10개의 효율적인 단일 포트 메모리 구조이다.

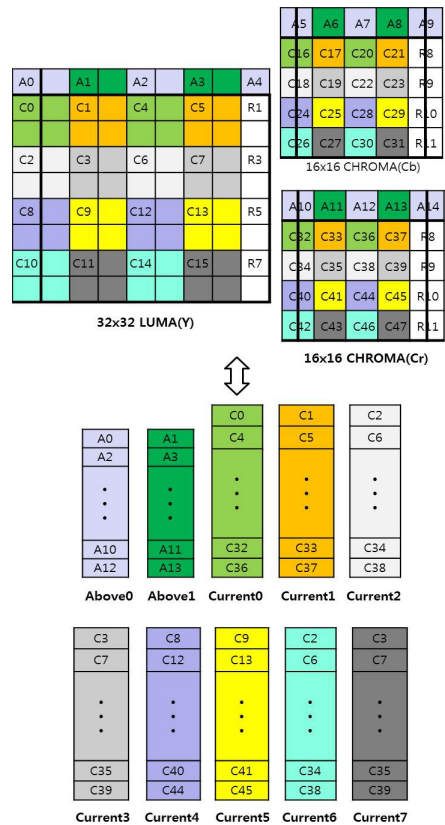


그림 4. 제안하는 메모리 구조

현재 픽셀에 대한 메모리 8개(Current0~7), 위쪽 참조 픽셀에 대한 메모리 2개(Above0~1)를 사용하여 메모리를 교차로 읽기/쓰기 함으로써 이중 포트 메모리를 사용하지 않고 헤저드를 해결할 수 있다.

표 1은 제안하는 메모리 구조를 이용하기 위한 파이프라인 연산을 보다 자세히 나타낸 것이다.

표 1. 파이프라인 수행 과정

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11
Current0	0	MR	DC	FIR	MW						
	1			MR	DC	FIR	MW				
	2					MR	DC	FIR	MW		
	3							MR	DC	FIR	MW
Current1	0		MR	DC	FIR	MW					
	1				MR	DC	FIR	MW			
	2						MR	DC	FIR	MW	
	3								MR	DC	FIR

각 파이프라인 연산을 통해 메모리 접근이 각각 다르다는 것을 알 수 있다. Current0메모리는 스텝1에서 MR(Memory Read)를 하고 스텝3에서 다시 MR한다. 한 스텝을 건너뛰는 동작을 하기 때문에 동시에 MR과 MW(Memory Write)하는 경

우가 없다. Current0 메모리뿐만 아니라 모든 메모리가 같은 동작을 하고 이와 같은 동작으로 해저드를 해결할 수 있다.

2.6 제안하는 필터링 순서

그림 5는 제안하는 필터링 순서이다.

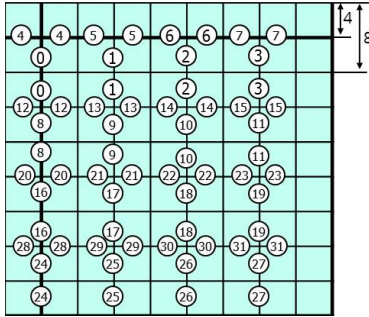


그림 5. 제안하는 더블록킹 필터의 순서

제안하는 필터링 순서는 더블록킹 필터의 앞단에서 더블록킹 필터의 메모리에 데이터가 저장될 때 발생하는 지연시간을 줄일 수 있다.

그림 6은 필터 순서에 따른 메모리 처리 과정을 나타낸다.

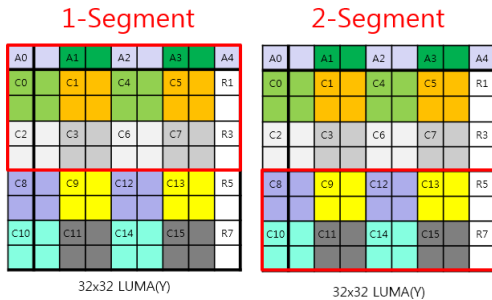


그림 6. 필터 순서에 따른 메모리 처리 과정

현재 픽셀 메모리 부분에서 1-Segment를 필터링한 후 2-Segment를 필터링 수행할 때 1-Segment는 더블록킹 필터 앞단에서 더블록킹 필터 메모리로 데이터를 저장한다. 1-Segment가 필터링할 때에는 2-Segment의 메모리에 데이터를 저장한다.

III. 하드웨어 구조 결과 및 검증

본 논문에서 제안하는 HEVC 부호기를 위한 효율적인 더블록킹 필터 하드웨어 구조는 Verilog HDL로 설계하였다. 하드웨어 합성은 IDEC에서 지원하는 Design Compiler를 사용하였으며, TSMC 0.18um CMOS 표준 셀 라이브러리로 합성하였다. 표 2는 제안하는 더블록킹 필터 하드웨어 구조의

합성 결과를 나타낸다.

표 2. 제안하는 하드웨어 구조 합성 결과

구분	결과
공정	TSMC 0.18um CMOS
주파수	150MHz for 4K@30fps
게이트 수(2-NAND)	100K

IV. 결 론

본 논문에서 제안하는 HEVC 부호기를 위한 효율적인 더블록킹 필터 하드웨어 구조는 병렬처리를 위해 두 개의 필터링을 사용하였으며 게이트 수를 줄이기 위해 단일 포트 SRAM을 사용하였다. 단일 포트 SRAM과 4단 파이프라인으로 생기는 헤저드문제를 해결하기 위해 10개의 메모리 구조로 분할하였다. 하드웨어 면적을 감소시키기 위해 더블록킹 필터 연산기들을 하드웨어에 적합한 구조로 구현하였고, 연산기 사용을 최소화하였다.

제안하는 하드웨어 구조는 합성 결과 약 100k 개의 게이트로 구현되었고, 약 150MHz의 동작주파수에서 4K@30fps UHD급 영상을 실시간으로 처리할 수 있다.

감사의 글

본 연구는 교육부와 한국연구재단의 지역혁신인력양성사업(NRF-2012H1B8A2025862)과 미래창조과학부 및 정보통신산업진흥원의 해외인재스카우팅사업(NIPA-HB616-13-1001)의 지원으로 수행되었습니다.

참고문헌

[1] G.J. Sullivan, J.R. Ohm, W.J. Han, and T. Wiegand, "Overview of the High Efficiency Video Coding(HEVC) Standard," IEEE Transaction on Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.

[2] W. Shen, Q. Shang, S. Shen, "A High-Throughput VLSI Architecture for Deblocking Filter in HEVC", IEEE ISCAS, May. 2013.

[3] E. Ozcan, Y. Adibelli, I. Hamzaoglu, "A High Performance Deblocking Filter Hardware for High Efficiency Video coding", IEEE Trans. on Consumer Elec., vol.59, no.3, Aug. 2013.