
비정질 InGaZnO 박막트랜지스터에서 Gate overlap 길이와 소자신뢰도 관계 연구

문영선* · 김건영* · 정진용* · 김대현* · 박종태*

*인천대학교

Study of relation between gate overlap length and device reliability
in amorphous InGaZnO thin film transistors

Young-Seon Moon* · Gun-Young Kim* · Jin-Yong Jeong* · Dae-Hyun Kim* · Jong-Tae Park*

*Incheon National University

E-mail : rjsdud13@naver.com

요 약

비정질 InGaZnO 박막트랜지스터의 Gate Overlap 길이에 따른 NBS(Negative Bias Stress) 및 hot carrier 스트레스 후 시간별 문턱전압의 변화에 의한 소자신뢰도를 분석하였다. 측정에 사용된 소자는 비정질 InGaZnO TFT이며 채널 폭 $W=104\mu\text{m}$, 게이트 길이 $L=10\mu\text{m}$ 이며 Gate Overlap 길이는 0,1,2,3 μm 를 사용하였다. 소자 신뢰도는 전류-전압을 측정하여 분석하였다. 측정 결과, hot carrier 스트레스 후 Gate Overlap 길이가 증가할수록 문턱전압의 변화가 증가하였다. 또한, NBS 후에는 Gate Overlap 길이가 증가할수록 문턱전압의 변화가 감소하였고 장시간 스트레스 후에 hump가 발생하였다.

ABSTRACT

The device reliability in amorphous InGaZnO under NBS(Negative Bias Stress) and hot carrier stress with different gate overlap has been characterized. Amorphous InGaZnO thin film transistor has been measured, and is channel width= $104\mu\text{m}$, length= $10\mu\text{m}$ with gate overlap length =0,1,2,3 μm . The device reliability has been analyzed by I-V characteristics. From the experiment results, threshold voltage variation has been increased with increasing of the gate overlap length after hot carrier stress. Also, threshold voltage variation has been decreased and Hump Effect has been observed later with increasing of the gate overlap length after NBS.

키워드

a-IGZO TFT, Gate Overlap, NBS(Negative Bias Stress),
HC(Hot Carrier Stress), Hump Effect, Threshold voltage

I. 서론

산화물반도체로써 비정질 InGaZnO 박막트랜지스터는 기존의 a-si에 비해 넓은 밴드갭을 가지며 저온공정이 가능하기 때문에 차세대 투명 디스플레이와 플렉서블 디스플레이에 사용될 수 있어 많은 연구가 진행되고 있는 소자이다.[1-3] 하지만 산화물 반도체로써 발생하는 결함(oxygen vacancies, Donor like state, Accept like state)로 인하여 디스플레이 구동시 GBS(Gate Bias Stress), HC(Hot Carrier Stress)등에 의해 소자의 문턱전압 변화로 인한 디바이스의 오작동과 비정상적인 Hump현상 등이 나타나 문제가 되고 있다.[4-5] 따라서 이 논문에서는 gate overlap이 다른 소자들 측정하여 GBS과 HC 이후 발생하는 문턱전압의 변화와 Hump현상에 대해 gate overlap이 미치는 영향에 대해 알아보았다.

II. 소자 제작

본 측정에는 Staggered bottom gate방식의 a-IGZO TFT를 사용하였다. 먼저 게이트로 사용할 Mo를 유리 기판에 증착한다. 300도 하에서 PECVD기법을 이용해 절연체인 SiN_x층을 200nm 두께로 증착하고 50nm 두께의 비정질 IGZO(1:1:1=Ga₂O₃:In₂O₃:ZnO)를 RF 스퍼터 방식으로 증착한다. 이후 SiO₂가 etch stop층으로 증착되고 이후 plasma treatment공정을 통해 식각한다. 이 과정에서 소스, 드레인 영역의 IGZO층이 Ar과 CHF₃ 기체에 노출되어 n⁺로 활성화된다.[6] gate overlap(L_{ov}) 범위는 0~3μm로 한다. 여기에 소스와 드레인 부분에 Mo를 150nm 두께로 증착한다. 마지막으로 소자를 330도에서 1시간동안 열처리를 하여 제작했다. 그림1은 IGZO TFT의 단면도이다. 소자의 전기적 특성은 공기 중 상온 암실에서 Agilent B1500A 반도체 파라미터 분석기를 사용하여 측정했고 소스는 접지시킨 상태에서 드레인 전압은 2V, 게이트 전압은 -10V에서 20V까지 인가하면서 측정했다.

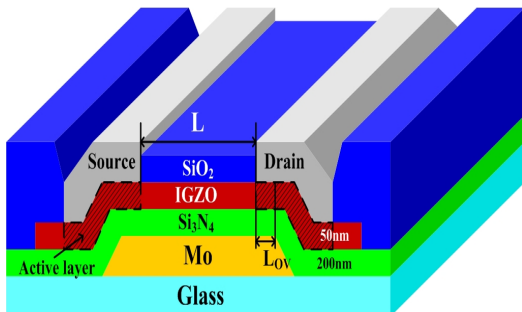


그림 1. RF 스퍼터 방식으로 제작한 IGZO TFT

II -1. Gate overlap에 따른 전기적 특성

소자제작에 있어 plasma treatment방식을 사용하는 경우에 소스와 드레인 부분의 IGZO영역이 n⁺로 활성화 되고 이 활성화 영역에서 채널층으로의 확산되어 n⁻영역이 발생한다. 그래서 LDD구조의 MOSFET처럼 채널층의 길이가 감소함에 따라 채널층 내의 유효 채널길이(L_{eff})가 감소한다.[7] L_{eff}는 아래 식으로 구할 수 있다.

$$L_{eff}(V_{GS}) = L - \Delta L(V_{GS}) \quad (1)$$

위 식에 따라 TML방식으로 Gate overlap별 ΔL과 L_{eff}를 구한 결과가 그림 2의 그래프이다. 그 결과 L_{ov}이 커질수록 L_{eff}가 감소함을 확인하였다. 이는 공정과정에서 활성화 영역 면적이 overlap이 증가할수록 넓어져서 확산이 더 많이 일어나기 때문이다.

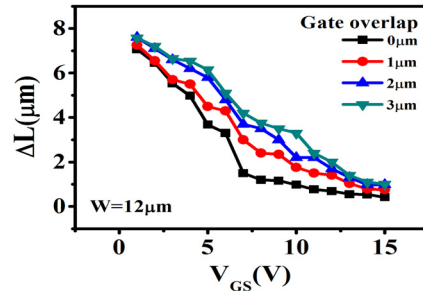


그림 2. gate overlap변화에 따른 유효채널길이(L_{eff}) 그래프

II -2. NBS인가에 따른 L_{ov}별 Hump현상

소자가 게이트에 장시간 마이너스 전압을 받을 때 채널내의 홀이 채널층과 절연체층의 계면에 트랩되고 이로 인해 채널의 형성이 빨라짐에 따라 문턱전압이 감소하게 된다.

그림 3은 gate overlap변화에 따른 문턱전압의 변화(ΔV_{TH}) 그래프이다. 측정 결과 L_{ov}가 증가할수록 ΔV_{TH}가 줄어든다. L_{ov}가 커질수록 ΔV_{TH}가 감소하는 원인으로서는 L_{ov}가 증가할수록 소스와 드레인 영역으로 확산에 따른 n농도의 증가로 인하여 절연층으로 trap되는 홀이 감소하여 ΔV_{TH}의 변화가 줄어드는 것으로 판단되어진다.

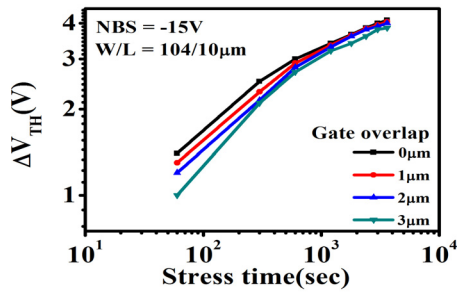


그림 3. gate overlap 변화에 따른 문턱전압(ΔV_{TH})의 변화 그래프

그림 4, 5는 소자의 NBS 측정 시 hump현상의 발생 그래프이다. L_{OV} 에 따른 측정 결과 L_{OV} 가 클수록 hump현상 발생시간이 더디게 나타났다.

우선으로 hump현상이 발생하게 되는 원인은 소자를 channel length direction에서 봤을 때 채널 중심 영역보다 edge 영역의 게이트 절연체의 deposition rate가 더 낮기 때문이다. 이 영역의 두께가 채널 중심보다 edge에서 얇아지고 따라서 edge 영역에 더 큰 전계가 형성되어 GBS를 인가할 때 이 영역에 발생하는 트랩으로 hump현상이 발생한다.[8] 측정된 소자의 경우 NBS에서 스트레스 시간이 증가함에 따라 hump현상이 발생하였는데 이는 게이트에 마이너스 전압을 인가할 때 channel interface영역과 함께 전계가 큰 edge영역에 트랩으로 인해 hump현상이 발생하는 것으로 보인다.

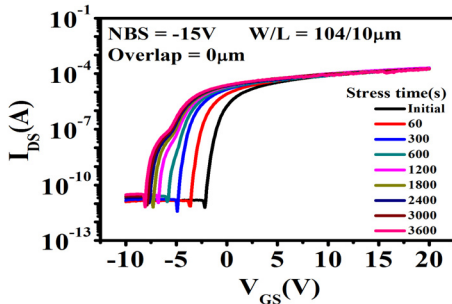


그림 4. NBS시 시간에 따른 hump발생 그래프

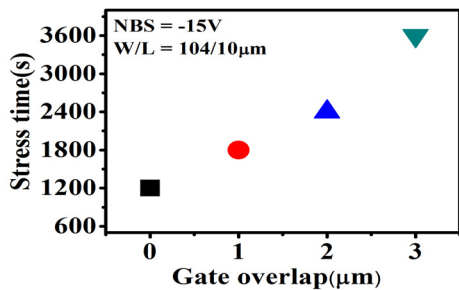


그림 5. NBS시 gate overlap 변화에 따른 hump 발생시간 그래프

그림 6는 트랩에 의한 hump현상 발생을 확인하기 위하여 NBS 이후 PBS를 인가하여 detrapping한 결과이다. PBS를 인가하자 hump현상이 사라졌으며 L_{OV} 가 증가할수록 hump현상이 사라지는 시간이 $0 \mu\text{m}$ 에서 300초에서 $3 \mu\text{m}$ 에는 30초로 빠르게 나타났다. 이로써 hump현상의 발생 원인이 edge영역에서 홀의 트랩임을 확인하였다. 이 현상으로 L_{OV} 의 증가에 따른 hump현상 발생시간의 변화를 설명할 수 있다. L_{OV} 가 증가 할수록 IGZO내 활성화 영역이 넓어짐에 따라 채널 내 확산의 정도가 커지게 되면서 NBS시 채널로의 홀의 주입이 감소하게 된다. 이런 이유로 L_{OV} 가 증가할수록 NBS에서 트랩 되는 홀의 양이 감소하게 되어 L_{OV} 가 증가할수록 hump현상이 늦게 발생하게 된다.

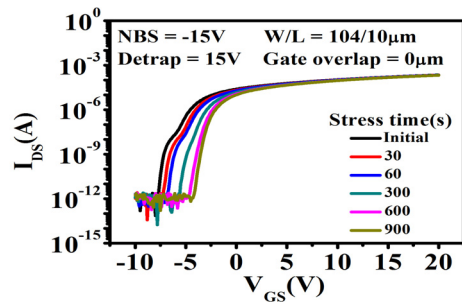


그림 6. NBS 후 PBS를 인가한 전류-전압 그래프

II -3. HC 인가에 따른 L_{OV} 별 소자열화

그림 7은 HC를 인가할 때 gate overlap 변화에 따른 ΔV_{TH} 변화 그래프이다. 측정결과 L_{OV} 가 증가할수록 ΔV_{TH} 가 크게 나타났다. NBS경우와 달리 HC 경우에는 L_{OV} 의 증가에 따라 ΔV_{TH} 가 증가했다. 이러한 변화의 이유는 L_{OV} 가 증가함에 따라서 L_{eff} 가 줄어들기 때문에 드레인전압에 의한 수평전계의 영향이 커지기 때문이라고 판단된다.

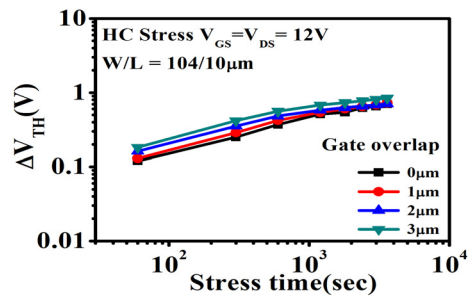


그림 7. Gate Overlap 길이에 따른 문턱전압(ΔV_{TH})의 변화

III. 결 론

본 논문에서는 IGZO TFT의 gate overlap변화에 따른 NBS에서 hump현상의 관계와 HC변화에 대해 연구하였다. Plasma treatment과정에서 발생하는 n 확산에 의해 gate overlap증가에 따라 유효 채널길이가 감소하였다. Gate overlap변화에 따라 채널 내 홀 유입의 감소로 NBS에서 발생하는 hump현상의 발생시간에 따른 변화가 있음을 확인하였다. HC측정 결과 gate overlap이 클수록 유효채널길이가 감소하여 수평전계영향이 커짐에 따라서 문턱전압의 변화가 커지는 특성을 보였다.

참고문헌

- [1] Park J, Jeong J, Mo Y, Kim H. "Improvements in the device characteristics of amorphous indium gallium zinc oxide thin-film transistors by Ar plasmas treatment," Applied physics Letters 2007;90:262106.
- [2] Lee J, Nam W, Kim B, Choi H, Ha Y, Han M, "A New Poly-Si TFT Current-Mirror Pixel for Active Matrix Organic Light Emitting Diode," IEEE Electron Device Lett. 27, 830 (2006).
- [3] Kim C, Kim S, Lee J, Park J, Kim S, Park J, Lee E, Lee J, Park Y, Kim J, Shin S, Chung U, "Amorphous hafnium-indium-zinc oxide semiconductor thin film transistors," Applied physics Letters 2009;95:252103.
- [4] C-T. Tsai, T.-C Chang, S.-C. Chen, I. Lo, S.-W. Tsao, M.-C.Hung, J.-J. Chan, C.-Y. Wu, and C.-Y. Huang, "Investigation on the characteristics of stress-induced hump in amorphous oxide thin film transistors," Applied physics Letters 2010;96:242105
- [5] Kim H, Roh Y. "The Improvement of Matching of Amplifier Input Transistor for Display Driver IC." KIEEME 2008;21:213
- [6] Ahn B, Shin H, Kim H, Park J. "Comparison of homojunctioned amorphous indium galium zinc oxide thin film transistors." Applied physics Letters 2008;93:203506
- [7] Jeong J, Hong Y, Jeong J, Park J, Mo Y. "MOSFET-like behavior of a-InGaZnO thin-film transistors with plasma-exposed source-drain bulk region." J. of Display Technology 2009;5(12):495.
- [8] J-H Kim, D-W Kwon, J-S chang, S-W Kim, J-C Park, C-J Kim, B-G Park "investigation on the characteristics of stress-induced hump in amorphous oxide thin film transistors" Applied Physics Letters 2011