

저전력 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기 설계

최성규*·김철환*·성명우*·김신곤*·임재환*·최근호*·Habib Rastegar*·류지열*·노석호**

*부경대학교 · **안동대학교

Design of a Low-Power 12-bit 1MSps SAR ADC

Seong-Kyu Choi*·Cheol-Hwan Kim*·Myeong-U Sung*·Shin-Gon Kim*·Jae-Hwan Lim*·Geun-Ho

Choi*·Habib Rastegar*·Jee-Youl Ryu*·Seok-Ho Noh**

*Pukyong National University · **Andong National University

E-mail : sk8413@naver.com

요 약

본 논문에서는 저전력 12비트 1MSps 연속 근사형 레지스터 아날로그-디지털 변환기를 제안한다. 제안하는 회로는 1.8V의 공급 전압에서 동작하며, Magnachip/SK Hynix 0.18 μ m CMOS 1Poly-6Metal 공정을 이용하여 설계하였다. 입력신호의 주파수가 100kHz일 때, 설계된 회로는 3.24mW의 낮은 소비전력 특성, 0.56mm²의 작은 칩 면적 특성, 70.03dB의 SNDR(Signal-to-Noise Distortion Ratio) 및 11.34비트의 ENOB(Effective Number of Bits) 특성을 보였다.

키워드

연속 근사형 레지스터, 아날로그-디지털 변환기, 소비전력, SNDR, ENOB

I. 서 론

최근 기술의 급속한 발전과 더불어 유비쿼터스 시대의 도래는 사람들의 생활방식에 많은 변화를 주었다. 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network, USN)를 통해 무선으로 많은 정보들을 사람들에게 제공하고 있다. 이러한 변화는 시간과 장소에 구애 없이 더욱 다양한 정보를 요구하고 있으며, 그 정보는 자연계에 존재하는 다양한 종류의 아날로그 정보들이다. 이 아날로그 정보들을 그대로 처리하기에는 많은 어려움과 제약이 따른다. 이것을 처리하기 위해서는 아날로그-디지털 변환기술이 필요하다[1]-[3].

다양한 구조의 ADC 중에서 연속 근사형 레지스터(SAR) 아날로그-디지털 변환기는 내부의 블록을 재활용하기 때문에 저면적 설계에 유리하며 8비트~16비트 사이의 해상도를 가지면서 소비전력 또한 비교적 낮은 장점이 있다[2].

본 논문에서는 저전력 및 저면적 특성을 지닌 12비트 1MSps SAR ADC를 제안한다.

II. 본 론

일반적인 SAR ADC는 그림 1에서 샘플-앤-홀드 단과 상태 제어 로직을 제외한 4개의 구성 단(커패시터 어레이 네트워크 단, 비교기 단, DAC 단, SAR 로직 단)으로 구성되어 있고, 본 연구에서 제안하는 SAR ADC는 일반적인 SAR ADC에서 샘플-앤-홀드 단과 상태제어 로직 단을 내부 구성 단으로 포함하였다. 그 결과 구현면적을 줄일 수 있는 장점이 있다.

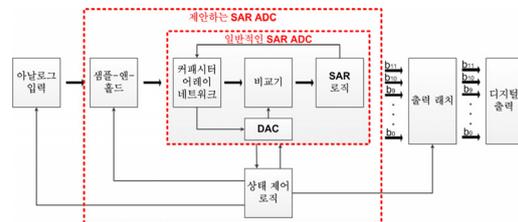


그림 1. 제안하는 SAR DAC의 블록도

제안하는 커패시터 어레이 네트워크 단은 그림 2와 같이 구성한다. 일반적인 경우 N 비트의 해상

도를 가지는 SAR ADC의 커패시터 어레이는 $N+1$ 개의 커패시터를 가지지만 제안하는 커패시터 어레이 네트워크는 전하 재분배 첫 단계에서 샘플-앤-홀드 단의 부트스트랩 스위치와 연동하여 커패시터의 상부 플레이트에 샘플-앤-홀드 단의 출력 신호를 직접 인가함으로써 하나의 커패시터를 줄일 수 있다. 그 결과 그림 3과 같이 약 45%의 설계면적 절약효과가 있다.

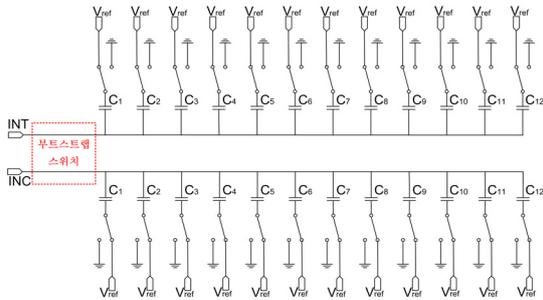
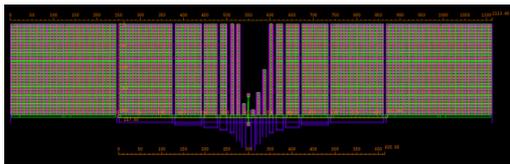
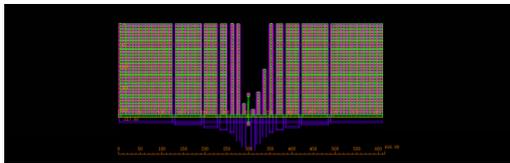


그림 2. 커패시터 어레이 네트워크 단



(a) 일반적인 구조



(b) 제안하는 구조

그림 3. 커패시터 어레이 네트워크 단 레이아웃

III. 시뮬레이션

그림 4는 SAR 제어 로직 단의 클럭 타이밍도 시뮬레이션 결과를 나타낸 것으로 $Clks$ 신호가 리셋이 된 후, 커패시터 어레이 네트워크 단을 제어하기 위한 12개 클럭의 제어 신호를 순차적으로 출력하게 되며, 한 주기의 클럭이 출력되고 난 후 기준전압으로 스위칭이 일어날 수 있도록 12개의 클럭이 모두 'Low' 상태가 됨을 알 수 있다.

그림 5는 100kHz의 입력신호를 인가하였을 때 SAR ADC의 고속 푸리에 변환(Fast Fourier Transform, FFT) 결과를 나타낸 것이다. FFT 분석을 통해 SAR ADC의 성능 지표인 SNDR는 70.03dB, 유효비트수는 11.34비트를 알 수 있다.

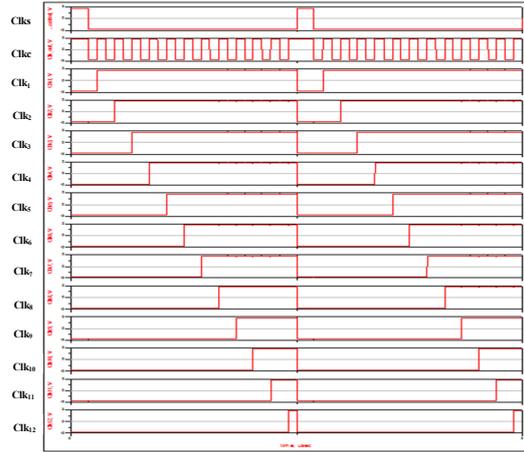


그림 4. SAR 제어 로직 단의 클럭 타이밍도

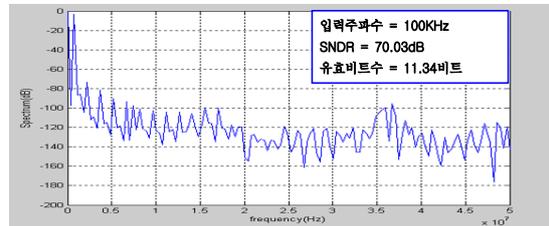


그림 5. FFT 분석

IV. 결론

본 논문에서 설계한 연속 근사형 레지스터 아날로그-디지털 변환기는 고해상도이면서 저면적, 저전력을 요구하는 기기에 적합하도록 설계하였다. 설계된 아날로그-디지털 변환기는 0.56mm² 크기로 레이아웃 되었고, 소비전력은 3.24mW, SNDR는 70.03dB, ENOB는 11.34bit의 시뮬레이션 특성을 보였다.

참고문헌

- [1] C. C. Liu *et. al.*, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure" *IEEE Journal of Solid-State Circuits*, Vol. 45, pp. 731-740, 2010.
- [2] J. McCreary *et. al.*, "All-MOS charge redistribution analog-to-digital conversion techniques-Part I" *IEEE Journal of Solid-State Circuits*, Vol. SC-10, pp. 371-379, 1975.
- [3] 성명우 외, "0.18 μ m CMOS 공정을 이용한 12-bit 1MSps 연속 근사화 아날로그-디지털 변환기 설계", *한국정보통신학회 종합학술대회 논문집*, 제17권, 제2호, p. 165, 2013년 10월.