

도핑농도에 따른 비대칭 이중게이트 MOSFET의 문턱전압이동현상

정학기, 이종인, 정동수

Threshold Voltage Movement for Channel Doping Concentration of Asymmetric Double Gate MOSFET

Hakkee Jung, jongin Lee, Dongsoo Jeong

요 약

본 연구에서는 비대칭 이중게이트(double gate; DG) MOSFET의 채널 도핑농도 변화에 따른 문턱전압이동 현상에 대하여 분석하였다. 비대칭 DGMOSFET는 일반적으로 저농도로 채널을 도핑하여 완전결핍상태로 동작하도록 제작한다. 불순물산란의 감소에 의한 고속동작이 가능하므로 고주파소자에 응용할 수 있다는 장점이 있다. 미세소자에서 필연적으로 발생하고 있는 단채널효과 중 문턱전압이동현상이 비대칭 DGMOSFET의 채널도핑농도의 변화에 따라 관찰하고자 한다. 문턱전압을 구하기 위하여 해석학적 전위분포를 포아송방정식으로부터 급수형태로 유도하였다. 채널길이와 두께, 산화막두께 및 도핑분포함수의 변화 등을 파라미터로 하여 도핑농도에 따라 문턱전압의 이동현상을 관찰하였다. 결과적으로 도핑농도가 증가하면 문턱전압이 증가하였으며 채널길이가 감소하면 문턱전압이 크게 감소하였다. 또한 채널두께와 하단게이트 전압이 감소하면 문턱전압이 크게 증가하는 것을 알 수 있었다. 마지막으로 산화막두께가 감소하면 문턱전압이 증가하는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed threshold voltage movement for channel doping concentration of asymmetric double gate(DG) MOSFET. The asymmetric DGMOSFET is generally fabricated with low doping channel and fully depleted under operation. Since impurity scattering is lessened, asymmetric DGMOSFET has the advantage that high speed operation is possible. The threshold voltage movement, one of short channel effects necessarily occurred in fine devices, is investigated for the change of channel doping concentration in asymmetric DGMOSFET. The analytical potential distribution of series form is derived from Poisson's equation to obtain threshold voltage. The movement of threshold voltage is investigated for channel doping concentration with parameters of channel length, channel thickness, oxide thickness, and doping profiles. As a result, threshold voltage increases with increase of doping concentration, and that decreases with decrease of channel length. Threshold voltage increases with decrease of channel thickness and bottom gate voltage. Lastly threshold voltage increases with decrease of oxide thickness.

1. 비대칭 DGMOSFET의 전위분포 및 문턱전압 모델

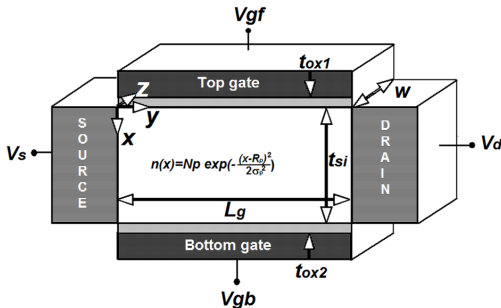


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig. 1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 DGMOSFET는 4단자 소자로서 그림 1과 같이 상단 게이트전압 V_{gf} 와 하단게이트 전압 V_{gb} 를 각각 달리 인가시킬 수 있다. 채널 내 전위분포함수를 구하기 위하여 가우스분포함수를 도핑분포함수로 사용하여 다음과 같이 2차원 포아송방정식을 풀었다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qN_p}{\epsilon_{si}} \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (1)$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포편차를 나타낸다. 채널 폭방향으로의 전위분포 변화는 대

칭 DG MOSFET와 동일하게 무시할 수 있으므로 x, y 방향에 대해서만 전위분포를 구한다[7].

Ding 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[5].

$$\phi(x, y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (2)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (3)$$

이때 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는 참고문헌[8]에 표기하였다. A 는 적분 상수이다. $A_n(x)$ 에 나타나는 상수 $B_1, B_2, b_1, b_2, C_n, D_n$ 참고문헌[8]에 표기하였다.

그림 2a)에서 알 수 있듯이 전위분포는 채널도핑농도에 따라 변하게 되며 이에 따라 전위장벽을 넘어 소스단에서 드레인까지 이동하는 캐리어의 수도 변화하게 된다. 이와 같이 이동하는 캐리어의 수가 변화하면서 그림 2b)에서 알 수 있듯이 채널도핑농도에 따라 게이트전압에 대한 드레인전류의 관계가 변화하게 되어 결국 도핑농도에 따라 문턱전압이 변화하게 된다. 그림 2b)에서 알 수 있듯이 드레인 전류가 $1 \mu\text{m}$ 의 단위 채널 폭당 $0.1 \mu\text{A}$ 일 때, 상단게이트 전압을 문턱전압으로 정의하였다[9].

먼저 그림 2a)의 전위장벽을 넘어 이동하는 캐리어의 수를 구하기 위하여 맥스웰-볼츠만통계를 이용하면 전자의 수는

$$n_m(x) = (n_i^2/N_p) e^{q\phi_{\min}(x)/kT} \approx (n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (4)$$

이다. 여기서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x)$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (2)에 대입하며 구한 최소 전위분포 값이다. 식 (4)에서 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 이동 전자의 수를 구한다.

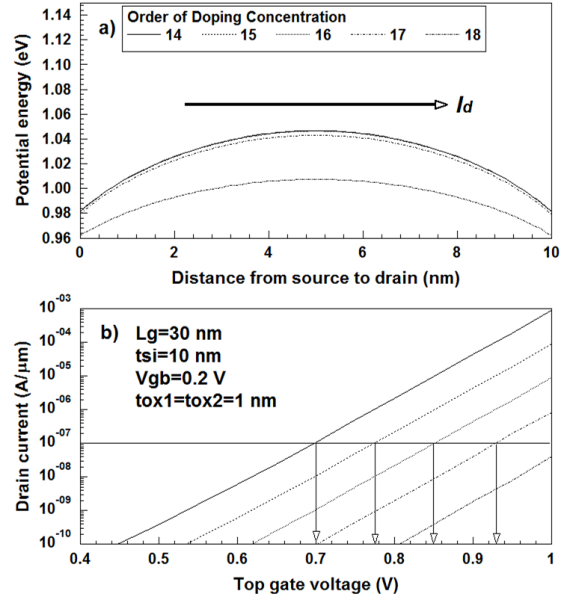


그림 2. 채널도핑농도에 따른 채널 내 전위분포 및 드레인전류 개략도
Fig. 2. Schematic diagram of potential distribution and drain current for channel doping concentration

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x, y_{\min})/V_i} dx / \int_0^{t_{si}} e^{\phi(x, y_{\min})/V_i} dx \quad (5)$$

이때 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하여 그림 2의 드레인 전류 I_d 를 구하면

$$I_d = \frac{q n_m(x_{eff}) v_{th} t_{si} W}{6} \quad (6)$$

이다. 여기서 v_{th} 는 열속도이다. 식 (6)의 드레인 전류를 상단게이트 전압에 대하여 그림 2b)와 같이 구하여 전술한 바와 같이 문턱전압의 정의에 의하여 문턱전압을 구하였다. 본 연구에서는 이와 같이 구한 문턱전압의 채널도핑농도에 따른 변화를 고찰하고자 한다.

II. 도핑농도에 따른 문턱전압결과 고찰

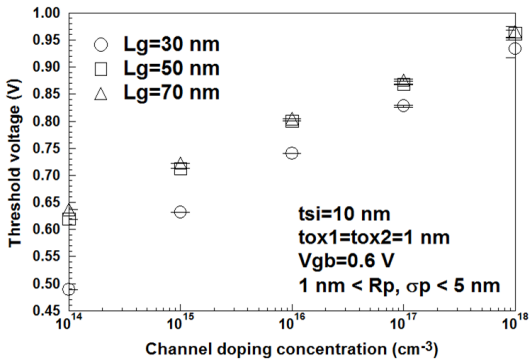


그림 3. 채널길이를 파라미터로 구한 채널도핑농도에 대한 문턱전압

Fig. 3 Threshold voltages for channel doping concentration with a parameter of channel length

식 (6)을 이용하여 구한 문턱전압의 타당성은 이미 기존의 논문[10]에서 언급하였으므로 본 연구에서는 채널도핑농도에 따른 문턱전압의 변화에 대하여 고찰할 것이다. 그림 3에 채널길이를 파라미터로 구한 채널도핑농도에 따른 문턱전압의 변화를 도시하였다. 그림 2b)에서 알 수 있듯이 채널의 도핑농도가 증가하면 문턱전압은 증가하는 것을 알 수 있다. 이는 그림 3의 결과에서 잘 나타나 있다. 즉, 채널도핑농도가 증가하면 문턱전압도 증가하며 거의 채널도핑농도의 로그 값에 선형적으로 증가하는 경향을 보이고 있다. 채널길이에 따른 문턱전압의 변화를 살펴보면 채널길이가 감소하면 단채널효과에 의하여 문턱전압이동현상이 발생하여 문턱전압이 감소하고 있으며 채널길이가 약 50 nm 이하에서 문턱전압이동현상이 발생하는 것을 알 수 있다. 문턱전압의 이동현상은 채널도핑농도가 낮을 때 더욱 심화되며 고 도핑에서는 문턱전압이동현상이 거의 나타나고 있지 않았다. 또한 채널길이가 감소할수록 채널도핑농도에 따른 문턱전압의 변화가 더욱 심화되는 것을 알 수 있다. 가우스분포함수의 변수인 이온주입범위 및 분포편차에 따른 문턱전압의 변화를 고찰해 보면 그림 3에서 알 수 있듯이 저 도핑 영역에서는 거의 변화가 발생하고 있지 않지만 고 도핑에서는 문턱전압이 이온주입범위 및 분포편차에 따라 변화하고 있다는 것을 그림 3에서 알 수 있다.

그림 4에 채널두께를 파라미터로 구한 채널도핑농도에 따른 문턱전압의 변화를 도시하였다. 그림 3과의 비교에서도 알 수 있듯이 채널도핑농도가 증가하면 문턱전압은 채널도핑농도의 로그 값에 거의 선형적으로 비례하여 증가한다. 또한 채널두께가 감소하면 문턱전압은 증가하는 것을 알 수 있다. 그러나 채

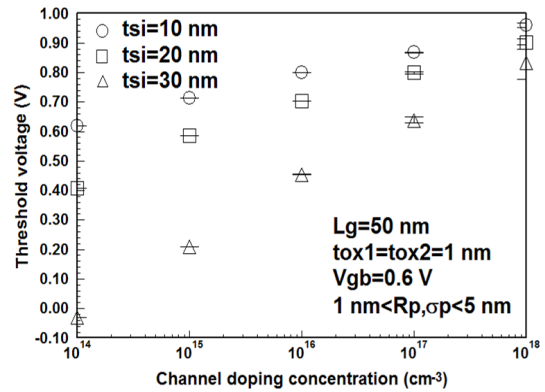


그림 4. 채널두께를 파라미터로 구한 채널도핑농도에 대한 문턱전압

Fig. 4 Threshold voltages for channel doping concentration with a parameter of channel thickness

널도핑농도에 따른 변화율은 채널두께가 증가할수록 더욱 심화되는 것을 알 수 있다. 이온주입범위 및 분포편차에 따른 문턱전압의 변화를 고찰해 보면 그림 4에서 알 수 있듯이 저 도핑 영역에서는 거의 변화가 발생하고 있지 않지만 고 도핑에서는 문턱전압이 이온주입범위 및 분포편차에 따라 변화하고 있다는 것을 그림 4에서 알 수 있으며 채널두께가 증가할수록 이온주입범위 및 분포편차에 따른 변화가 더욱 심화되고 있다는 것을 알 수 있다. 저 도핑 영역에서는 채널두께에 따른 문턱전압의 변화가 매우 크게 나타나나 고 도핑영역에서는 채널두께에 따른 문턱전압의 변화가 상당히 감소하고 있다는 것을 알 수 있다.

III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널도핑농도 변화에 따른 문턱전압이동 현상에 대하여 분석하였다. 문턱전압을 구하기 위하여 해석학적 전위분포를 포아송방정식으로부터 급수형태로 유도하였다. 채널길이와 두께, 산화막 두께 및 하단 게이트 전압, 그리고 도핑분포함수의 변화 등을 파라미터로 하여 채널도핑농도에 따른 문턱전압의 이동현상을 관찰하였다. 결과적으로 채널도핑농도가 증가하면 문턱전압도 증가하며 거의 채널도핑농도의 로그 값에 선형적으로 증가하는 경향을 보이고 있었다. 채널길이 및 두께에 따른 문턱전압의 변화를 살펴보면 채널길이가 감소하면 문턱전압이 감소하고 있으며 채널두께가 증가할수록 문턱전압이 감소하고 있다는 것을 관찰하였다. 상단 게이트 산화막 두께에 따른 문턱전압의 변화는 상단 및 하단 게이트 산화막 두께가 증가할수록 문턱전압은 감소하였으며 상단게이트 산화막 두께가 하단 게이트 산

화막 보다 문턱전압의 변화에 더욱 영향을 미치고 있었다. 이는 채널도핑농도가 낮을 경우 더욱 현저하게 나타나고 있었다. 또한 하단 게이트 전압을 증가시키면 문턱전압을 감소시킬 수 있으나 채널도핑농도에 따른 변화율은 하단 게이트 전압이 증가할수록 더욱 증가하는 것을 관찰할 수 있다. 본 연구에서 구한 자료는 비대칭 이중게이트 MOSFET의 설계시 유용하게 사용될 수 있다고 사료된다.

References

- [1] G. Deng and C. Chen, "Binary Multiplication Using Hybrid MOS and Multi-Gate Single-Electron Transistors", *IEEE Trans. on VLSI systems*, vol.21, no.9, pp.1573-1582, 2013.
- [2] P.Zhang, E.Jacques, R.Rogel and O.Bonnaud, "P-type and N-type multi-gate polycrystalline silicon vertical thin film transistors based on low-temperature," *Solid-state electronics*, vol.86, no.1, pp.1-5, 2013.
- [3] M.C.Cheng, J.A.Smith, W.Jia and R.Coleman, "An Effective Thermal Model for FinFET Structure," *IEEE Trans. Electron Devices*, vol. 61, no.1, pp.202-206, 2014.
- [4] S.H.Chou, M.L.Fan and P.Su, "Investigation and Comparison of Work Function Variation for FinFET and UTB SOI Devices Using a Voronoi Approach," *IEEE Trans. Electron Devices*, vol. 60, no.4, pp.1485-1489, 2013.
- [5] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [6] S.Jandhyala and S.Mahapatra, "Inclusion of body doping in compact models for fully-depleted common double gate MOSFET adapted to gate-oxide thickness asymmetry," *Electronics Lett.*, vol.48, no.13, pp.794-795, 2012.
- [7] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp.737-741, 2006.
- [8] H.K.Jung and D.S.Cheong, "Analysis for Relation of Oxide Thickness and Subthreshold Swing of Asymmetric Double Gate MOSFET," *Conference on Information and Communication Eng.*, vol.17, no.2, pp.698-701, 2013.
- [9] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.
- [10] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate DG MOSFET," *IEEE Trans. Electron Devices*, vol. 53, no.4, pp.685-691, 2006.