

대칭 및 비대칭 산화막 구조의 이중게이트 MOSFET에 대한 문턱전압 분석

정학기, 권오신, 정동수

Analysis of Threshold Voltage for Double Gate MOSFET of Symmetric and Asymmetric Oxide Structure

Hakkee Jung, Ohshin Kwon, Dongsoo Jeong

요 약

본 연구에서는 대칭 및 비대칭 산화막 구조를 가진 이중게이트(double gate; DG) MOSFET의 문턱전압 변화에 대하여 분석하였다. 상하단 동일한 산화막 두께를 갖는 대칭 DGMOSFET와 달리 비대칭 DGMOSFET는 상하단 게이트 산화막 두께를 다르게 제작할 수 있다. 그러므로 비대칭 DGMOSFET에서 상단과 하단게이트 산화막 두께의 크기 변화에 따라 대칭 DGMOSFET와 문턱전압을 비교하여 상하단 게이트 산화막 두께의 최적값에 대하여 고찰하고자 한다. 문턱전압을 구하기 위하여 포아송방정식에서 해석학적 전위분포모형을 유도하였으며 도핑분포함수는 가우스분포함수를 사용하였다. 문턱전압 모델을 이용하여 하단게이트 전압, 채널길이 및 채널두께 등에 따라 상하단게이트 산화막 두께가 문턱전압에 미치는 영향을 관찰하였다. 결과적으로 문턱전압은 상하단 게이트 산화막 두께에 따라 크게 변화하였으며 변화하는 경향은 하단게이트 전압, 채널길이 그리고 채널 두께에 따라 매우 상이하게 나타나고 있다는 것을 알 수 있었다.

ABSTRACT

This paper has analyzed the change of threshold voltage for oxide structure of symmetric and asymmetric double gate(DG) MOSFET. The asymmetric DGMOSFET can be fabricated with different top and bottom gate oxide thickness, while the symmetric DGMOSFET has the same top and bottom gate oxide thickness. Therefore optimum threshold voltage is considered for top and bottom gate oxide thickness of asymmetric DGMOSFET, compared with the threshold voltage of symmetric DGMOSFET. To obtain the threshold voltage, the analytical potential distribution is derived from Poisson's equation, and Gaussian distribution function is used as doping profile. We investigate for bottom gate voltage, channel length and thickness, and doping concentration how top and bottom gate oxide thickness influences on threshold voltage using this threshold voltage model. As a result, threshold voltage is greatly changed for oxide thickness, and we know the changing trend very differs with bottom gate voltage, channel length and thickness, and doping concentration.

I. 비대칭 DGMOSFET의 전위분포 및 문턱전압 모델

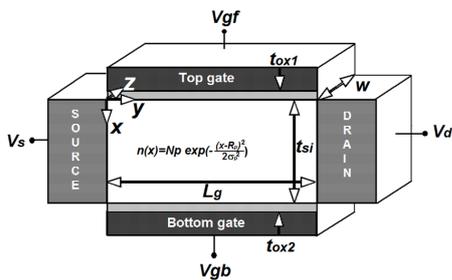


그림 1. 비대칭 이중게이트 MOSFET의 개략도
Fig.1 Schematic sectional diagram of asymmetric double gate MOSFET

비대칭 DGMOSFET는 4단자 소자로서 그림 1과 같이 상단과 하단의 게이트 산화막 두께가 각각 t_{ox1} 과 t_{ox2} 이며 상단 게이트전압 V_{gf} 와 하단게이트 전압 V_{gb} 를 각기 달리 인가시킬 수 있다. 대칭형의 경우는 $t_{ox1} = t_{ox2}$ 이며 $V_{gf} = V_{gb}$ 의 특수한 경우이다. 그러므로 비대칭 DGMOSFET에 대하여 문턱전압을 구한 후 상기 특수한 경우와 비교하고자 한다. 채널 내 전위분포함수를 구하기 위하여 가우스분포함수를 도핑분포함수로 사용하여 다음과 같이 2차원 포아송방정식을 풀었다.

$$\frac{\partial^2 \phi(x,y)}{\partial x^2} + \frac{\partial^2 \phi(x,y)}{\partial y^2} = \frac{qN_p}{\epsilon_{Si}} \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (1)$$

$$C_n = \frac{e^{k_n x} (1+k_n \epsilon_{si}/C_{ox1})(B_8+E_n) - (1-k_n \epsilon_{si}/C_{ox2})(B_7+F_n)}{(1-k_n \epsilon_{si}/C_{ox1})(1-k_n \epsilon_{si}/C_{ox2}) - e^{2k_n x} (1+k_n \epsilon_{si}/C_{ox1})(1+k_n \epsilon_{si}/C_{ox2})}$$

$$D_n = \frac{e^{-k_n x} (1-k_n \epsilon_{si}/C_{ox1})(B_8+E_n) - (1+k_n \epsilon_{si}/C_{ox2})(B_7+F_n)}{(1+k_n \epsilon_{si}/C_{ox1})(1+k_n \epsilon_{si}/C_{ox2}) - e^{-2k_n x} (1-k_n \epsilon_{si}/C_{ox1})(1-k_n \epsilon_{si}/C_{ox2})}$$

여기서 ϵ_{si} 는 실리콘의 유전율이며 N_p 는 최대 도핑 분포 값, R_p 와 σ_p 는 각각 이온주입범위 및 분포편차를 나타낸다.

Ding 등의 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[6].

$$\phi(x,y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (2)$$

이며 여기서 n 은 정수, V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 는

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (3)$$

이다. 여기서 $B_1, B_2, B_7, B_8, \tau, k_n, b_1, b_2$ 등은 참고문헌[7]에 표기하였으며 $C_{ox1} = \epsilon_{ox}/t_{ox1}$, $C_{ox2} = \epsilon_{ox}/t_{ox2}$ 이다. 식 (2)와 (3)에서 알 수 있듯이 전위분포는 산화막 두께에 따라 변하게 되며 이에 따라 전위장벽을 넘어 소스단자에서 드레인까지 이동하는 캐리어의 수도 변화하게 된다. 그러므로 산화막 두께에 따라 게이트전압에 대한 드레인전류의 관계가 변화하게 되어 결국 산화막 두께에 따라 문턱전압이 변화하게 된다. 드레인 전류가 $1 \mu\text{m}$ 의 단위 채널 폭당 $0.1 \mu\text{A}$ 일 때, 상단게이트 전압을 문턱전압으로 정의하였다[8].

먼저 전위장벽을 넘어 이동하는 캐리어의 수를 구하기 위하여 맥스웰-볼츠만통계를 이용하면 전자의 수는

$$n_m(x) = (n_i^2/N_p) e^{q\phi_{\min}(x)/kT} \approx (n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (4)$$

이다. 여기서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x)$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (2)에 대입하며 구한 최소 전위분포 값이다. 식 (4)에서 x 는 다음과 같은 식에서 전도중심 x_{eff} 값을 대입하여 이동 전자의 수를 구한다.

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x,y_{\min})/V_t} dx / \int_0^{t_{si}} e^{\phi(x,y_{\min})/V_t} dx \quad (5)$$

이때 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 t_{si} W면적의 드레인에 도착하는 전자의 수를 이용하여 드레인 전류 I_d 를 구하면

$$I_d = \frac{q n_m(x_{eff}) v_{th} t_{si} W}{6} \quad (6)$$

이다. 여기서 v_{th} 는 열속도이다. 식 (6)의 드레인 전류를 상단게이트 전압에 대하여 전술한 바와 같이 문턱전압의 정의에 의하여 문턱전압을 구하였다. 전위분포는 산화막 두께에 뿐만이 아니라 도핑농도, 채널 길이, 채널두께, 하단게이트 전압에 따라 변화할 것이며 이는 드레인 전류에도 영향을 미쳐 결국 문턱전압이 이와 같은 파라미터에 따라 변화하게 된다. 본 연구에서는 이와 같이 구한 문턱전압의 산화막 두께에 따른 변화를 대칭형 과 비대칭형 DG MOSFET에 대하여 고찰하고자 한다.

II. 산화막 두께에 따른 문턱전압 결과 고찰

먼저 본 연구에서 제시한 문턱전압 모델의 타당성은 참고문헌[9]에서 이미 입증하였으므로 이 문턱전압 모델을 이용하여 산화막 두께에 대한 문턱전압의 변화를 관찰할 것이다.

산화막 두께 변화에 따른 문턱전압의 변화를 관찰하기 위하여 $L_g = 30 \text{ nm}$, $t_{si} = 10 \text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 $V_{gb} = 0.2 \text{ V}$ 의 입력 조건하에서 하단 게이트 산화막 두께를 파라미터로 하여 상단 게이트 산화막 두께에 따른 문턱전압의 변화를 그림 2에 도시하였다. 주어진 조건하에서 하단 게이트 산화막 두께에 따라 문턱전압은 상단 게이트 산화막에 비례하기도 하고 반비례하기도 하는 변화를 보이고 있다. 즉, 하단 산화막 두께가 3 nm 이상에서는 상단 산화막 두께 증가에 따라 문턱전압이 증가하나 3 nm 이하에서는 반비례하는 것을 알 수 있다. 그림 2에서 점으로 표시한 문턱전압 값은 상 하단 산화막 두께가 동일한 대칭의 경우이다. 대칭점을 기준으로 좌측은 하단 산화막 두께가 상단 산화막 두께보다 큰 경우이다. 대칭점에서의

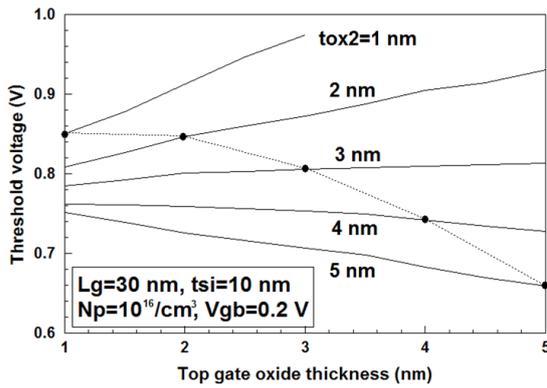


그림2. $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 $V_{gb} = 0.2\text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화

Fig. 2 The change of threshold voltage under the condition of

$$L_g = 30\text{ nm}, t_{si} = 10\text{ nm}, N_p = 10^{16}/\text{cm}^3 \text{ and } V_{gb} = 0.2\text{ V}$$

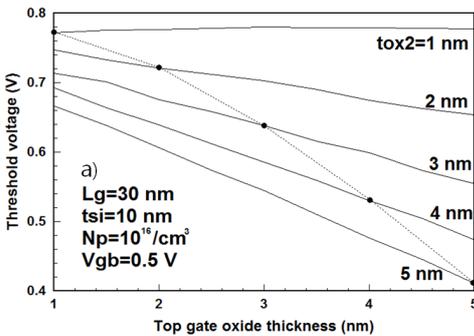
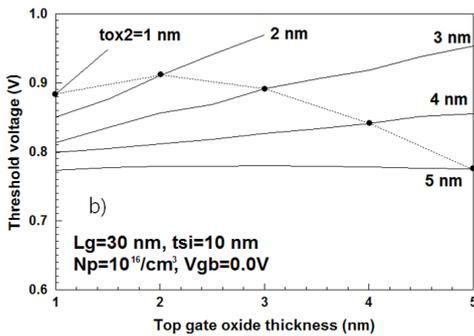


그림3. $L_g = 30\text{ nm}$, $t_{si} = 10\text{ nm}$, $N_p = 10^{16}/\text{cm}^3$ 그리고 a) $V_{gb} = 0.5\text{ V}$ 와 b) $V_{gb} = 0.0\text{ V}$ 의 조건에서 산화막 두께에 따른 문턱전압의 변화

Fig. 3 The change of threshold voltage under the condition of

$$L_g = 30\text{ nm}, t_{si} = 10\text{ nm}, N_p = 10^{16}/\text{cm}^3 \text{ and } \text{a) } V_{gb} = 0.5\text{ V}, \text{ and b) } V_{gb} = 0.0\text{ V}$$

문턱전압이 상단 산화막 두께가 증가할수록 감소하는 것을 알 수 있다. 즉, 대칭구조의 DGMOSFET는 상

하단 산화막 두께가 증가할수록 문턱전압이 감소하나 비대칭의 경우는 비례 및 반비례의 관계를 갖는 등 다양한 변화를 보이고 있었다.

하단 게이트 전압을 증감시켰을 경우, 상하단 산화막 두께에 따른 문턱전압의 변화를 그림 3a)와 3b)에 도시하였다. 그림 2와 비교해 보면 하단 게이트 전압이 증가하였을 경우 문턱전압이 감소하며 하단 게이트 전압이 감소하였을 경우, 문턱전압이 증가하는 것을 알 수 있다. 또한 하단 게이트 전압이 증가한 그림 3a)의 경우 상단 산화막 두께에 대한 문턱전압의 반비례관계가 하단 산화막이 1 nm 이상에서 관찰되고 있었으며 하단 게이트 전압이 감소한 그림 3b)의 경우 상단 산화막 두께에 대하여 문턱전압이 비례관계를 보이고 있었다. 대칭점에서의 문턱전압 감소도 하단 게이트 전압이 증가할수록 더욱 가파르게 나타나고 있었으며 하단 게이트 전압이 0.0 V로 감소한 경우는 상하단 산화막 두께가 매우 작은 1~2 nm의 영역에서 대칭점에서의 문턱전압이 오히려 증가하는 경향을 보이고 있었다.

IV. 결 론

본 연구에서는 대칭 및 비대칭 산화막 구조를 가진 이중게이트(double gate; DG) MOSFET의 문턱전압 변화를 채널길이, 채널두께, 채널 도핑농도 및 하단 게이트 전압 등에 대하여 분석하였다. 비대칭 DGMOSFET에서 상단과 하단게이트 산화막 두께의 크기 변화에 대한 문턱전압을 비교하여 상하단 게이트 산화막 두께의 최적값에 대하여 고찰하였다. 이를 위하여 해석학적 전위분포모델 및 문턱전압모델을 정의하였다. 관찰 결과, 문턱전압은 상하단 게이트 산화막 두께에 따라 크게 변화하였으며 변화하는 경향은 트랜지스터의 설계 파라미터에 따라 매우 상이하게 나타났다. 하단게이트 전압이 증가할수록 상하단 산화막의 두께가 동일한 대칭점에서의 문턱전압의 변화가 크게 나타났으며 채널길이 증가할 때와 채널 도핑농도가 증가할 때, 문턱전압은 증가하였으며 대칭점에서의 문턱전압은 상하단 산화막 두께에 따라 거의 변화가 없었다. 또한 채널두께에 따른 변화를 관찰해 보면 채널두께의 절대 값보다는 채널길와의 비에 따라 문턱전압의 산화막 두께에 따른 변화 패턴이 결정되는 것을 알 수 있었다. 이러한 결과는 향후 DGMOSFET의 설계에 사용될 수 있을 것으로 사료된다.

References

- [1] J.B.Roldan, B.Gonzalez, B.Iniguez, A.M.Roldan, A.Lazaro and A.Cerdeira, "In-depth analysis and modelling of self-heating effects in nanometric DG MOSFETs," *Solid-state electronics*, vol.79, no.1, pp.179-184, 2013.
- [2] R.Vaddi, S.Dasgupta and R.P.Agarwal, "Analytical modeling of subthreshold current and subthreshold swing of an underlap DG MOSFET with tied independent gate and symmetric asymmetric options," *Microelectronics J.*, vol.42, no.5, pp.798-807, 2011.
- [3] K.K.Nagarajan and R.Srinivasan, "Investigation of tunable characteristics of independently driven double gate finfets in analog/RF domain using TCAD simulations," *J. of Computational and Theoretical Nanosciences*, vol.11, no.2, pp.821-826, 2014.
- [4] N.Seoane, G.Indalecio, E.Comesane, M.Aldegunde, A.J.Garcia-Loureiro and K.Kalna, "Random Dopant, Line-Edge Roughness and Gate Workfunction Variability in a Nano InGaAs FinFETs," *IEEE Trans. Electron Devices*, vol. 61, no.2, pp.466-472, 2006.
- [5] J.P.Duarte, S.J.Choi, D.I.Moon and Y.K.Choi, "A nonpiecewise model for long-channel junctionless cylindrical nanowire FETs," *IEEE Electron Device Letters*, vol.33, no.2, pp.155-157, 2012.
- [6] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [7] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626.
- [8] TCAD Manual, Part.4: INSPEC, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56. ver.7.5.
- [9] *ibid*, "Threshold Voltage Roll-off for Bottom Gate Voltage of Asymmetric Double Gate MOSFET", vol.18, no.1.