
이중 곱셈 연산기 서버 팜의 시스템 레벨 설계

문상국

목원대학교 전자공학과

A System Level Design of Heterogeneous Multiplication Server Farms

Sangook Moon

Mokwon University, Department of Electronic Engineering

E-mail : smoon@mokwon.ac.kr

요 약

반도체 제조공정의 발전으로 새로운 기술에 대한 수요가 증가하여 임베디드 시스템을 구성하는 하드웨어와 소프트웨어의 설계 복잡도는 나날이 증가하고 있다. 그 결과 전통적인 설계방식으로는 현대 사회가 요구하는 복잡한 정보기기를 설계하기에 한계에 다다랐다. 본 논문에서는 SystemVerilog의 한 종류를 사용하여 맨-파워를 획기적으로 줄이면서 복잡한 하드웨어를 설계하는 새로운 방식을 소개한다. 새로운 설계방식에서는 객체 지향 구현을 바탕으로 하며, 이를 적용하여 기존의 이중 곱셈기 IP를 기본 블록으로 하는 복잡한 이중 곱셈기 서버 팜을 구현하였다. 설계는 단일 환경에서 하드웨어에서 테스트 벤치까지 구현하였다. 새로운 방식을 도입하지 않는다면 본 논문에서 소개하는 이중 곱셈연산기 서버 팜을 구현하는데 HDL 시뮬레이션, C/SystemC 검증에 많은 시간과 맨-파워가 투자되어야 할 것이다.

ABSTRACT

Due to increasing demand of new technology, the complexity of hardware and software consisting embedded systems is rapidly growing. Consequently, it is getting hard to design complex devices only with traditional methodology. In this contribution, I introduce a new approach of designing complex hardware with SystemVerilog. I adopted the idea of object oriented implementation of the SystemVerilog to the design of multiplication server farms. I successfully implemented the whole system including the test bench in one integrated environment, otherwise in the traditional way it would have cost Verilog simulation and C/SystemC verification which means much more time and effort.

키워드

Bluespec, SystemVerilog, HDL, 시스템 레벨

1. 서 론

블루스펙 SystemVerilog는 하드웨어 아키텍처에 대한 전적인 제어가 가능하면서 동시에 개발자에게 로직 디자인의 복잡도를 단순화시켜주는 것을 가능하게 한다. 블루스펙을 개발한 MIT의 CSAIL에서는 블루스펙을 사용하면 기존의 HDL을 사용하는 방법에 비해 50%의 개발 시간을 단축시킬 수 있고, 동시에 50% 이상의 버그를 줄일 수 있다고 한다 [1]. 블루스펙은 전통적인 Verilog 혹은 VHDL과 다른 개념으로 하드웨어를 기술한

다. always와 같은 클록 이벤트에 기반한 병렬 프로그래밍 문장 대신 rule이라는 개념을 사용하여 원자적인 (atomic) 처리를 수행하면서 병렬 하드웨어를 구현하며, 이는 완벽히 합성이 가능하다. 또한, Verilog에서 규정하는 port라는 복잡한 인터페이스를 배제하고, SystemVerilog의 method이라는 인터페이스를 사용하여 병렬 프로그래밍의 오료를 줄이고 단순화한다. 또한 이 모든 method, rule, module, 인터페이스는 1차 객체로 취급되어 고차원 함수 프로그래밍 기법을 적용할 수 있어 재사용 가능한 매우 복잡한 시스템 하드

웨어 작성에 매우 유용하다. 본 논문에서는 이러한 유연성을 적용하여 기존에 작성된 풀커스텀 Booth 곱셈기를 연산 엔진으로 하여 빠른 시간에 복잡도가 높은 서버 팜을 구현하여 시스템 레벨 설계의 우월성을 검증한다.

II. 풀커스텀 Booth 곱셈기

1) 커스텀 제작 Booth 곱셈기 IP

Booth 곱셈기는 풀커스텀으로 제작이 되었으며, 이는 Verilog HDL로 또한 기술이 되어 있다. 곱셈기는 두 개의 스테이지 파이프라인 구조로 이루어져 있어 고속 처리가 가능하다. Wallace tree의 구현으로는 4:2 CSA (carry save adder)를 사용하여 2의 보수 형태의 곱셈 연산을 9.5ns에 수행한다. 레이아웃은 LG 0.6um 공정으로 제작되었고, 3 메탈 N-well CMOS 공정으로 제작하였다. 모두 9115 개의 트랜지스터로 구성되어 있고 1135*1545 um²의 면적을 차지한다 [2].

2) IP wrapping

Verilog 언어로 기술된 하드웨어는 입력과 출력을 정의할 때 배선과 레지스터를 사용한다. 반면, 블루스펙은 모듈간 인터페이스 규정 시 객체 지향 기법을 사용한다. 상이한 언어 간의 표준을 맞추기 위하여 우리는 블루스펙 wrapper를 작성하였다. 이는 블루스펙에서 제공하는 "import BVI" pragma를 사용하여 작성이 가능하다. 이런 방법으로, 기존에 설계한 풀커스텀 Booth 곱셈기는 이제부터 블루스펙 곱셈기 모듈로 사용할 준비가 되었다.

III. 이중 곱셈기 서버 팜

본 논문에서는 블루스펙 언어를 사용하여 두 가지 시스템 레벨의 곱셈기 서버 팜을 설계하였다. 하나는 일반적인 파이프라인 곱셈기이고, 다른 하나는 기존의 IP 형태로 보유하고 있던 곱셈기 서버 팜이다. (그림 1) 테스트 벤치는 같은 종류의 랜덤 테스트 벡터를 생성하여 두 가지 이중 서버 팜에 전달한다. 두 서버의 곱셈 알고리즘이 다르기 때문에 서로 처리하는 속도도 달라질 수 있다. 이를 보완하기 위하여 리오더 버퍼가 필요한데, 블루스펙에서는 재구성이 가능한 리오더 버퍼를 라이브러리 형태로 지원하기 때문에 본 논문에서는 시간과 인력 투자비용을 절감할 수 있었다. 마지막으로, 랜덤 숫자 생성기는 Drimer의 AES 모듈을 사용하였다. AES 암호화 기법은 난수를 생성하는 데 적합하다 [3][4]. 그림 2에 각 서버 팜에서 계산한 결과를 보였다. 곱셈 결과는

이슈된 순서대로 처리되는 것을 볼 수 있다.

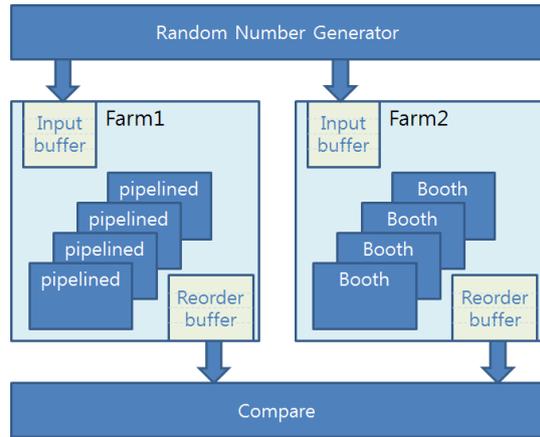


그림 1. 이중 곱셈기 서버 팜의 테스트 벤치

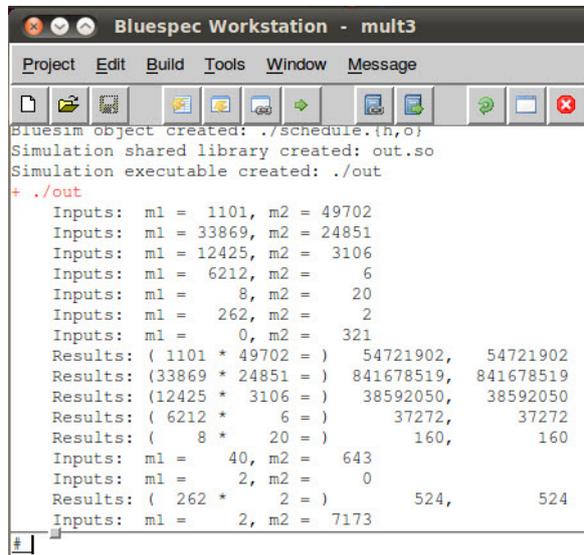


그림 2. 이중 곱셈기 서버 팜의 테스트 결과

IV. 결 론

블루스펙은 이제까지 하드웨어 구현 언어에서 지원하지 못했던 상위 수준의 추상화를 지원하여 인터페이스와 하드웨어 모듈 면에서 매우 우수한 재구성력과 확장력을 특징으로 하며, 이로 인해 칩 설계에 불필요한 오류를 일으킬 수 있는 과정을 대폭 줄여 설계 시간 효율성과 검증 능력을 높인다. 현재 블루스펙의 효율은 Verilog HDL을 사용할 때보다 약 2배~10배의 전체 설계 시간을 절약할 수 있는 것으로 알려져 있다. 본 논문에서는 블루스펙 시스템 HDL을 사용하여 시스템 레벨에서 기존의 IP를 활용하여 복잡한 시스템을 구현하는 기법을 소개하였다. 앞으로의 하드웨어

기술은 블루스펙과 같은 시스템 수준에서 작성되어야 미래의 하드웨어 복잡도를 극복할 수 있을 것으로 판단된다.

참고문헌

- [1] <http://www.bluespec.com>, BluespecTMSystemVerilogReferenceGuide, Revision 20, June 2011.
- [2] Sangook Moon, Byung In Moon, Yong Surk Lee, "Design of a full-custom 17b*17b multiplier and its efficient test methodology," Journal of Korea Information and Communication Society, Vol. 26, No. 3B, March 2001.
- [3] <http://csrc.nist.gov>, "NIST-recommended random number generator based on ANSI X9.31 appendix A.2.4 using the 3-key triple DES and AES algorithms," January 31, 2005.
- [4] Saar Drimer, Tim Guneyasu and Christof Parr, "DSPs, BRAMs, and a pinch of logic: Extended recipes for AES on FPGAs," ACM Transactions on Reconfigurable Technology and Systems, vol. 3, issue 1, January 2010.