

비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소현상의 산화막 두께 의존성

정학기, 권오신

Oxide Thickness Dependent Drain Induced Barrier Lowering of Asymmetric Double Gate MOSFET

Hakkee Jung, Ohshin Kwon

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 상하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 현상에 대하여 분석하고자한다. 드레인 유도 장벽 감소 현상은 단채널 MOSFET에서 드레인전압에 의하여 소스 측 전위장벽이 낮아지는 효과를 정량화하여 표현한다. 소스 측 전위장벽이 낮아지면 결국 문턱전압에 영향을 미치므로 드레인전압에 따른 문턱전압의 변화를 관찰할 것이다. 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 다르게 제작할 수 있는 특징이 있다. 그러므로 본 연구에서는 상단과 하단의 게이트 산화막 두께변화에 따른 드레인 유도 장벽 감소 현상을 포아송방정식의 해석학적 전위분포를 이용하여 분석하였다. 결과적으로 드레인 유도 장벽 감소 현상은 상하단 게이트 산화막 두께에 따라 큰 변화를 나타냈다. 또한 도핑농도에 따라 드레인유도장벽감소 현상이 큰 영향을 받고 있다는 것을 알 수 있었다.

I. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 모델

드레인 유도 장벽 감소 현상은 채널길이가 감소하면서 드레인 전압이 소스 측에 영향을 미쳐 소스 측 전위장벽이 감소하면서 결국 문턱전압의 감소를 나타내는 현상이다. 이러한 현상은 드레인 전압이 증가하면 문턱전압이 감소할 수 있다는 단채널 효과로서 기존 CMOSFET의 SPICE모델에서는 산화막 커패시턴스와 채널길이 등으로 표현되는 파라미터로 문턱전압의 변화를 나타내고 있다.[1] 그러나 비대칭 이중게이트 MOSFET에서는 아직 이에 대한 수식적 모델을 구하기 위한 기초 연구가 미흡한 상태이므로 본 연구에서는 산화막 커패시턴스를 결정하는 산화막 두께변화에 따른 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소 현상을 고찰할 것이다. 결국 드레인 유도 장벽 감소는

$$DIBL = V_{th}(V_{ds} = 0 V) - V_{th}(V_{ds} = 1 V) \quad (1)$$

로 주어지므로 드레인 전압이 1 V일 때와 0 V일 때 문턱전압을 구하여 그 차를 구할 것이다.

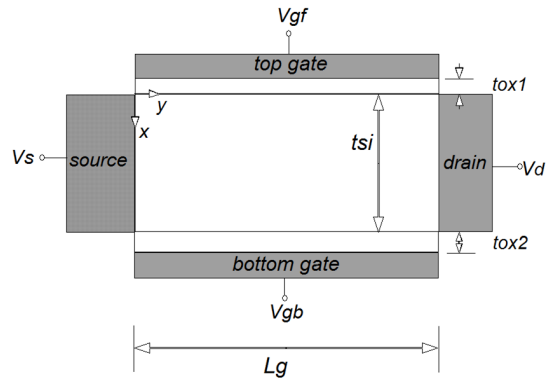


그림 1. 비대칭 이중게이트 MOSFET의 개략도

이를 위하여 비대칭 이중게이트 MOSFET의 채널 내 전위분포를 구할 것이다. 비대칭 이중게이트 MOSFET의 개략도를 그림 1에 도시하였다. 그림 1에서 알 수 있듯이 상단의 게이트 전압 V_{gf} 와 하단의 게이트 전압 V_{gb} 를 달리 인가할 수 있으며 이때 상하단의 산화막 두께를 각각 달리 지정할 수 있어 단채널효과를 제어할 수 있는 구조적 파라미터가 증가하는 것을 알 수 있다. 이러한 비대칭 이중게이트 MOSFET의 경우 상단과 하단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 변화를 고찰하기 위하여 포아송방정식을 풀어 해석학적 전위분포를 구하였다. 이때 전하분포함수로는 가

장 실험값에 근사한 가우스함수를 이용하였다. 먼저 식 (2)의 포아송방정식과 식 (3)의 도핑분포함수를 이용하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_s} \quad (2)$$

$$n(x) = N_p \exp\left(-\frac{(x - R_p)^2}{2\sigma_p^2}\right) \quad (3)$$

여기서 ϵ_{si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\phi(x, y=0) = V_s, \quad \phi(x, y=L_g) = V_s + V_d$$

$$\phi(x=0, y) = V_{gf} + \frac{\epsilon_s}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0}$$

$$\phi(x=t_s, y) = V_{gb} - \frac{\epsilon_s}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_s}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단 게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 상단과 하단의 커패시턴스 값이 경계조건에 사용되며 이는 결국 전위분포에 영향을 미치는 요소로 작용한다는 것을 알 수 있다. 또한 산화막 커패시턴스는 산화막 두께에 따라 변화하므로 산화막 두께는 전위분포에 영향을 미칠 것이다. 경계조건을 이용하여 식 (2)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다.

$$\phi(x, y) = V_s + \frac{V_d}{L_g} y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (4)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (5)$$

이때 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 에 나타나는 상수는 참고문헌[7]에 표기하였다.

본 연구에서는 차단전류가 채널폭 당 $0.1\mu A$ 일 때 상단 게이트 전압으로 문턱전압을 정의하였다. 랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si} W$ 면적의 드레인에 도착하는 전자의 수를 이용하면

$$I_d = \frac{qn_m(x_{eff})v_{th}t_{si}W}{6} \quad (6)$$

이다. 이때 볼츠만통계를 이용한 채널 내 전자분포는

$$n_m(x_{eff}) \approx (n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (7)$$

이며 다음과 같은 전도중심 x_{eff} 값을 대입하여 차단 전류값을 구한다.

$$x_{eff} = \frac{\int_0^{t_{si}} x e^{q\phi(x, y_{\min})/kT} dx}{\int_0^{t_{si}} e^{q\phi(x, y_{\min})/kT} dx} \quad (8)$$

여기서 k 는 볼츠만상수이며 T 는 절대온도이다. 식 (8)에서 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구하여 대입한다.

본 연구에서는 상기 서술한 바와 같이 식 (1)을 이용하여 비대칭 이중게이트 MOSFET의 상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소 현상에 대하여 고찰 할 것이다.

II. 비대칭 이중게이트 MOSFET의 드레인 유도 장벽 감소에 대한 고찰

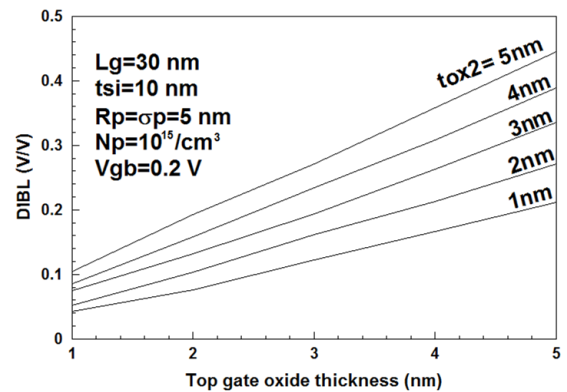


그림 2. 상·하단 게이트 산화막 두께에 따른 드레인 유도 장벽 감소의 변화

본 연구에서 제시한 문턱전압모델에 대한 타당성은 이미 발표된 논문[3]에서 입증되었으므로 본 연구에서는 2장에서 제시한 드레인 유도 장벽 감소 모델을 이용하여 비대칭 이중게이트 MOSFET의 상·하단 게이트 산화막 두께에 대한 변화를 고찰할 것이다.

상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화를 그림 2에 도시하였다. 일반적으로 드레인 전압이 증가하면 문턱전압이 감소하며 이의 정도를 나타내는 SPICE 파라미터는 산화막 두께에 비례하여 증가하게 된다[6]. 그림 2에서 알 수 있듯이 상단과 하단 게이트 산화막 두께가 증가할수록 드레인 유도 장벽 감소는 증가하는 것을 알 수 있다. 또한 증가경향은 상단과 하단 게이트 산화막 두께에 대하여 거의 선형적인 분포를 보인다는 것을 알 수 있다. 그러므로 비대칭 이중게이트 MOSFET의 경우도 일반적인 CMOSFET와 마찬가지로 드레인 유도 장벽 감소는 산화막 두께에 선형적인 비례관계를 보이고 있다는 것을 알 수 있다. 그러나 상단과 하단 게이트 산화막 두께에 대한 증가율은 변화하고 있었다. 즉, 상단 게이트 산화막 두께가 작을 경우, 하단게이트 산화막 두께에 따른 드레인 유도 장벽 감소의 변화는 매우 작았으나 상단 게이트 산화막 두께가 증가할수록 하단 게이트 산화막 두께에 따른 드레인 유도 장벽 감소의 변화는 증가하는 것을 관찰할 수 있다. 또한 그림 2에서 상단과 하단 게이트 산화막 두께가 작을수록 드레인 유도 장벽 감소현상은 감소한다는 것을 관찰할 수 있으므로 드레인 유도 장벽 감소현상을 제거하기 위해선 상단과 하단 게이트 산화막 두께를 가능하면 작게 제작하여야 한다.

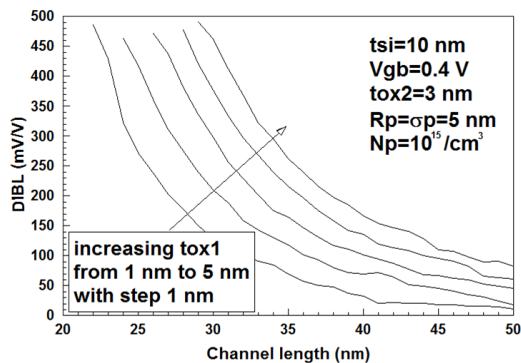


그림 3. 상단 게이트 산화막 두께를 파라미터로 구한 채널길이에 따른 드레인 유도 장벽 감소의 변화

게이트 산화막 두께에 대한 고찰을 상세히 하기 위하여 상단 게이트 산화막 두께를 파라미터로하여 채널 길이에 대한 드레인 유도 장벽 감소의 변화를 그림 3에 도시하였다. 채널길이가 감소할수록 드레인 유도 장벽 감소는 매우 증가하는 것을 알 수 있으며 선형적인 관계가 아님을 관찰할 수 있다. 또한 채널길이가 증가하면 상단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화가 매우 작으나 채널길이가 증

가할수록 상단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소의 변화는 매우 커진다는 것을 관찰할 수 있다. 그러나 드레인 유도 장벽 감소의 변화 경향은 상단 게이트 산화막 두께에 따라 거의 일정하였다.

III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 상단 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 현상에 대하여 분석하였다. 단채널 트랜지스터에서 드레인 전압에 의하여 소스 측 전위장벽이 낮아지면 결국 문턱전압에 영향을 미치므로 드레인 전압에 따른 문턱전압의 변화 즉, 드레인 유도 장벽 감소 값은 소자 성능 유지에 큰 영향을 미칠 것이다. 특히 비대칭 이중게이트 MOSFET는 상단과 하단의 게이트 산화막 두께를 다르게 제작할 수 있으므로 상단과 하단 게이트 산화막 두께 변화에 대한 드레인 유도 장벽 감소의 변화를 관찰하였다. 결과적으로 상단과 하단 게이트 산화막 두께가 작을수록 드레인 유도 장벽 감소현상은 감소한다는 것을 관찰할 수 있었다. 상단과 하단의 게이트 산화막 두께에 대한 드레인 유도 장벽 감소 값은 거의 선형적인 변화를 나타냈으나 채널길이에 대한 드레인 유도 장벽 감소 값은 비선형적인 관계가 있다는 것을 알 수 있었다.

Reference

- [1] G.Massobrio and P.Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd, McGraw-Hill, New York, pp.205-206, 1993.
- [2] Hakke Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626, 2013.
- [3] H.K.Jung and O.S.Kwon, "Analysis of Channel Dimension Dependent Threshold Voltage for Asymmetric DGMOSFET," 2014 International Conference on Future Information & Communication Engineering, vol.6, no.1, pp.299-302, 2014.