

비대칭 이중게이트 MOSFET의 채널길리와 두께 비에 따른 문턱전압 및 전도중심 분석

정학기*, 정동수

Analysis of Threshold Voltage and Conduction Path for Ratio of Channel Length and Thickness of Asymmetric Double Gate MOSFET

Hakkee Jung*, Dongsu Jeong

Department of Electronic Engineering, Kunsan National University, Gunsan 573-701, Korea

요 약

본 연구에서는 비대칭 이중게이트 MOSFET의 채널길리와 채널두께의 비에 따른 문턱전압 및 전도중심의 변화를 분석하고자한다. 비대칭 이중게이트 MOSFET는 상하단 게이트 전압에 의하여 전류흐름을 제어할 수 있어 단채널효과를 감소시킬 수 있다는 장점이 있다. 그러나 채널길리가 감소하면 필연적으로 발생하는 문턱전압의 급격한 변화는 소자 특성에 커다란 영향을 미치고 있다. 특히 상하단의 게이트 전압, 상하단의 게이트 산화막 두께 그리고 도핑분포변화에 따라 발생하는 전도중심의 변화는 문턱전압을 결정하는 중요 요소가 된다. 해석학적으로 문턱전압 및 전도중심을 분석하기 위하여 해석학적 전위분포를 포아송방정식을 통하여 유도하였다. 다양한 채널길리와 채널두께에 대하여 전도중심과 문턱전압을 계산한 결과, 채널길리와 채널두께의 비 등 구조적 파라미터뿐만 아니라 도핑분포 및 게이트 전압 등에 따라 전도중심과 문턱전압은 크게 변화한다는 것을 알 수 있었다.

1. 비대칭 이중게이트 MOSFET의 문턱전압 및 전도중심 모델

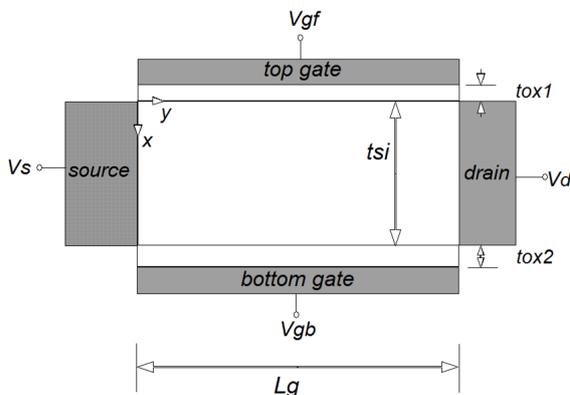


그림 1. 비대칭 이중게이트 MOSFET의 개략도

그림 1은 비대칭 DG MOSFET의 개략도이다. 그림에서 알 수 있듯이 상단과 하단의 게이트 전압을 달리 인가할 수 있으며 산화막 두께 또한 상단과 하단을 각각 달리 지정할 수 있어 구조적 파라미터가 증가하게 된다. 즉, 비대칭 DG MOSFET는 상단과 하단 게이트의 역할을 구분함으로써 전류제어 능력을 향상시키고자 개발된 소자이다. Ding 등[1]은 일정한 채널도핑

농도 분포함수를 이용하여 비대칭 DG MOSFET의 표면전위 및 문턱전압이하 스윙특성을 해석하였다. 그러나 도핑을 위하여 광범위하게 사용되는 기술인 이온주입법의 경우, 도핑분포는 가우스 분포함수를 따르므로 본 연구에서는 전하분포함수를 가우스분포함수로 사용하였다. 먼저 그림 1의 채널 내 전위분포를 구하기 위하여 식 (2)의 도핑분포함수를 이용하여 식 (1)의 2차원 포아송방정식을 풀어 해석학적 전위분포를 구하였다.

$$\frac{\partial^2 \phi}{\partial x^2} + \frac{\partial^2 \phi}{\partial y^2} = \frac{qn(x)}{\epsilon_{si}} \quad (1)$$

$$n(x) = N_p \exp\left(-\frac{(x-R_p)^2}{2\sigma_p^2}\right) \quad (2)$$

여기서 ϵ_{si} 는 실리콘의 유전율이다. 이때 다음 조건과 같은 경계조건을 이용한다.

$$\begin{aligned} \phi(x, y=0) &= V_s \\ \phi(x, y=L_g) &= V_s + V_d \\ \phi(x=0, y) &= V_{gf} + \frac{\epsilon_{ox}}{C_{ox1}} \frac{\partial \phi}{\partial x} \Big|_{x=0} \\ \phi(x=t_{si}, y) &= V_{gb} - \frac{\epsilon_{ox}}{C_{ox2}} \frac{\partial \phi}{\partial x} \Big|_{x=t_{si}} \end{aligned}$$

여기서 V_s 는 소스 전압, V_d 는 드레인 전압, V_{gf} 는 평탄전압을 고려한 상단 게이트 전압, V_{gb} 는 평탄전압을 고려한 하단게이트 전압, 그리고 C_{ox1} 과 C_{ox2} 는 각각 상단과 하단 게이트 산화막의 커패시턴스 값이다. 경계조건을 이용하여 식 (1)을 풀면 다음과 같은 급수형태의 전위분포를 구할 수 있다[1].

$$\phi(x,y) = V_s + \frac{V_d}{L_g}y + \sum_{n=1}^{\infty} A_n(x) \sin \frac{n\pi y}{L_g} \quad (3)$$

$$A_n(x) = C_n e^{k_n x} + D_n e^{-k_n x} + B_1 \operatorname{erf}(\tau + b_1/2) + B_2 \operatorname{erf}(\tau + b_2/2) + A \quad (4)$$

이며 여기서 n 은 정수, $k_n = n\pi/L_g$ 이며 V_s 는 소스 전압, V_d 는 드레인 전압, $A_n(x)$ 에 나타나는 상수는 참고문헌[2]에 표기하였다.

랜덤하게 운동하는 전자들의 1/6이 소스에서 드레인으로 향할 것이며 단위시간당 $t_{si}W$ 면적의 드레인에 도착하는 전자의 수를 이용하여 드레인 전류를 구하면

$$I_d = \frac{qm_m(x_{eff})v_{th}t_{si}W}{6} \quad (5)$$

$$n_m(x_{eff}) \approx (n_i^2/N_p) e^{q\phi_{\min}(x_{eff})/kT} \quad (6)$$

$$x_{eff} = \int_0^{t_{si}} x e^{\phi(x,y_{\min})/V_i} dx / \int_0^{t_{si}} e^{\phi(x,y_{\min})/V_i} dx \quad (7)$$

이다. 여기서 v_{th} 는 열속도이며 $V_i = kT/q$ 이다. 전위장벽을 넘어 이동하는 캐리어의 수 $n_m(x_{eff})$ 를 구하기 위하여 식 (6)과 같은 맥스웰-볼츠만통계를 이용하였다. 식 (6)에서 n_i 는 순수반도체 전자농도이며 $\phi_{\min}(x)$ 는 상단게이트의 표면전위 중 최소값을 갖는 y_{\min} 값을 구한 후, 식 (3)에 대입하며 구한 최소 전위분포 값이다. 식 (6)에서 x_{eff} 는 전도중심으로써 식 (7)과 같이 구하여 대입한다.

식 (5)의 문턱전압이하 전류 모델은 채널 길이 L_g 및 채널두께 t_{si} 에 따라 변화하는 식 (3)의 전위분포 모델에 따라 변화하는 매우 복잡한 식으로 표현되고 있다. 뿐만아니라 x_{eff} 와 y_{\min} 값을 결정할 때에도 식 (3)의 전위분포 모델이 이용되며 이 때 채널길이와 채널두께가 파라미터로 사용되고 있다는 것을 알 수 있다.

이와 같이 채널길이와 채널두께는 문턱전압 및 전도중심을 결정하는 가장 중요한 요소로써 특히 상호 비율에 따라 문턱전압과 전도중심은 크게 영향을 받을 것이다. 이에 본 연구에서는 식 (5)의 문턱전압이하 전류모델을 이용한 문턱전압과 식 (7)의 전도 중심이 채널길이와 채널두께의 비에 따라 변화하는 경향을 상단게이트 산화막 두께, 하단 게이트 전압 그리고 도핑분포함수에 따라 관찰하여 최적의 채널길이와 두께의 비를 분석하고자 한다.

II. 파라미터에 따른 문턱전압 및 전도중심 결과 고찰

본 연구의 문턱전압 모델에 대한 타당성은 이미 발표된 논문[3]에서 입증되었으므로 본 연구에서는 2장에서 제시한 모델을 이용하여 문턱전압 및 전도중심의 변화를 관찰할 것이다.

채널길이와 채널두께의 비에 따른 문턱전압과 전도중심의 변화를 관찰하기 위하여 상단 게이트 산화막 두께를 파라미터로 구한 결과를 그림 2에 도시하였다.

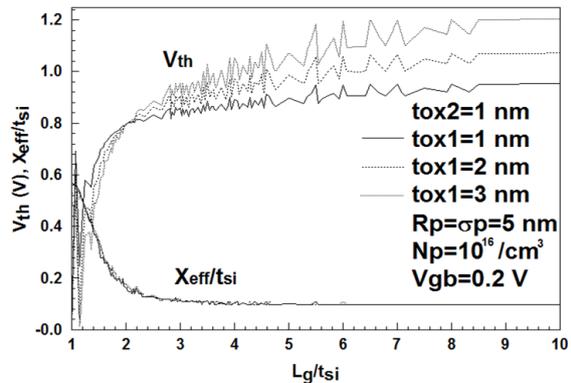


그림 2. 상단 게이트 산화막 두께를 파라미터로 구한 채널길이 및 채널두께 비의 변화에 따른 문턱전압 및 전도중심

그림 2에서 알 수 있듯이 일반적으로 $L_g > t_{si}$ 이므로 L_g/t_{si} 는 1보다 클 것이다. L_g/t_{si} 이 작아지면 단채널효과에 의하여 문턱전압이 크게 감소하는 현상이 발생하는 것을 알 수 있다. 이때 전도중심은 채널두께의 중심에서 상단게이트로 이동하며 채널길이가 채널두께의 약 2배정도에 이르면 전도중심은 약 0.1 즉, 상단 게이트-산화막 접합면에서 채널두께의 10%정도에 위치

하며 채널길이가 증가하면 그 값은 포화되는 것을 그림 2에서 관찰할 수 있다. 전도중심이 포화하기 시작하는 L_g/t_{si} 에서 문턱전압도 포화되기 시작하므로 전도중심과 문턱전압과는 상호 관계가 있다는 것을 관찰할 수 있다. L_g/t_{si} 가 약 2보다 클 경우, 상단 게이트 산화막 두께가 증가하면 문턱전압은 증가하나 L_g/t_{si} 가 2보다 작을 경우, 즉 채널길이가 채널두께에 비하여 상대적으로 작아져 단채널효과가 발생하는 영역에서는 상단 게이트 산화막 두께가 증가할수록 문턱전압의 이동현상이 더욱 심각하게 발생하여 문턱전압이 감소하고 있다는 것을 관찰할 수 있다. 그러므로 문턱전압이동 현상을 감소시키기 위하여 상단 게이트 산화막 두께는 얇아야한다.

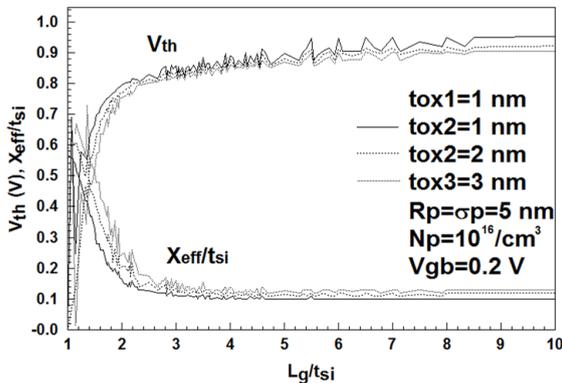


그림 3. 하단 게이트 산화막 두께를 파라미터로 구한 채널길이 및 채널두께 비의 변화에 따른 문턱전압 및 전도중심

하단 게이트 산화막 두께에 대한 영향을 관찰하기 위하여 그림 3에 하단 게이트 산화막 두께에 대한 영향을 도시하였다. 그림 2와 비교해 보면 문턱전압과 전도중심의 변화 경향은 거의 일치하는 것을 알 수 있었다. 그러나 L_g/t_{si} 이 작을 경우 전도중심의 변화가 매우 심하게 나타나는 것을 알 수 있다. 그림 2와 마찬가지로 L_g/t_{si} 이 약 2정도에서 문턱전압 및 전도중심이 포화되는 것을 알 수 있으나 하단 게이트 산화막 두께에 따라 포화되는 문턱전압 값은 거의 일정하다는 것을 관찰할 수 있다. 그러나 하단 게이트 산화막 두께가 증가할수록 문턱전압은 약간씩 감소하며 전도중심은 더욱 내부로 이동하고 있었다. 즉, 전도중심이 내부로 이동할수록 문턱전압의 이동은 더욱 심하게 발생하고

있었다. 상단게이트 산화막 두께가 증가하면 문턱전압 이동현상이 증가하는 경향이 있으나 하단 게이트 산화막 두께에 대한 문턱전압이동 현상은 두께에 관계없이 일정하게 나타나고 있었다.

III. 결 론

본 연구에서는 비대칭 이중게이트 MOSFET의 채널길이와 채널두께의 비에 따른 문턱전압 및 전도중심의 변화를 상하단 게이트 산화막 두께, 등에 따라 분석하였다. 비대칭 이중게이트 MOSFET는 기존의 CMOSFET에서 발생하는 단채널효과를 감소시킬 수 있다는 장점이 있다. 그러나 채널길이 감소에 따라 이중게이트 MOSFET에서도 단채널 효과는 발생하게 된다. 비대칭 이중게이트 MOSFET의 경우 채널길이 감소에 의하여 발생하는 문턱전압이동현상을 채널길이 및 채널두께의 비에 따라 전도중심과 연계하여 분석하였다. 분석을 위하여 포아송방정식을 이용한 해석학적 전위분포를 이용하였다. 결과적으로 채널길이가 채널두께에 비하여 상대적으로 작아져 단채널효과가 발생하는 영역에서는 상단 게이트 산화막 두께가 증가할수록 문턱전압의 이동현상이 더욱 심각하게 발생하여 문턱전압이 감소하고 있다는 것을 관찰할 수 있었다.

References

- [1] Z.Ding, G.Hu, J.Gu, R.Liu, L.Wang and T.Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics J.*, vol.42, pp.515-519, 2011.
- [2] Hakkee Jung, "Analysis for Potential Distribution of Asymmetric Double Gate MOSFET Using Series Function," *J. of KIICE*, vol.17, no.11, pp.2621-2626.
- [3] H.K.Jung and O.S.Kon, "Analysis of Threshold Voltage for Channel of Asymmetric DGMOSFET," *Information*, vol.17, no.11(B), pp.5879-5884, 2014.