

로직 공정 기반의 MTP IP용 DC-DC 컨버터 설계

박헌 · 이승훈 · 진교홍 · 하판봉 · 김영희*

*창원대학교

Design of DC-DC converter for a logic process MTP memory IPs

Heon Park · Seung-Hoon Lee · Kyo-Hong Jin · Pan-Bong Ha · Young-Hee Kim*

*Chnangwon National University

E-mail : youngkim@changwon.ac.kr

요 약

본 논문에서는 센서 응용에 아날로그 회로 트리밍이나 chip ID 저장에 사용되는 로직 공정 기반의 Dual Program Voltage를 이용한 MTP (Multi-Time Programmable) IP (Intellectual Property)용 DC-DC 컨버터를 설계하였다. DC-DC 컨버터는 VPP (=5.25V), VNN (=−5.25V)과 VNNL (=2 · VNN/5)의 전압을 공급하는 회로로 MOS 커패시터를 사용하였고, 3.3V 소자만 사용하여 설계하였다. VPP와 VNN은 각각 2단과 5단으로 구성되어 있다. 그리고 펌핑전류는 VPP와 VNN 각각 9.17 μ A와 9.7 μ A이다.

ABSTRACT

In this paper, a DC-DC converter is designed for logic process MTP (multi-time programmable) memory IPs using dual program voltage, which are used for analog trimming or storing chip IDs in sensor applications. The DC-DC converter supplies VPP (=5.25V), VNN (=−5.25V), and VNNL (=2 · VNN/5). It uses MOS capacitors and designed with only 3.3V devices. VPP and VNN are configured in two and five stages, respectively. And their pumping currents are 9.17 μ A and 9.7 μ A, respectively.

키워드

Single-Poly EEPROM, MTP, DC-DC Converter

1. 서 론

조도 센서, IR 센서, RGB 센서 등의 센서 응용에 아날로그 회로 트리밍이나 chip ID 저장에 사용 위해 소용량의 비휘발성 메모리를 필요로 한다. 내장되는 비휘발성 메모리 IP (Intellectual Property)는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 싱글 폴리 EEPROM인 MTP (Multi-Time Programmable) 메모리 IP가 많이 요구된다[1].

EEPROM cell은 cell size가 작고 write mode시 DC-DC converter의 전류 소모가 작은 FN (Fowler-Nordheim) tunneling 방식의 싱글 폴리 EEPROM cell인 MTP cell이 요구된다. 싱글 폴리

EEPROM cell은 추가 mask layer가 없고, 공정 TAT (Turn-Around Time)가 짧고 제조비용이 낮다[2][3]. FN tunneling 방식으로 write하는 싱글 폴리 EEPROM cell은 back-gate bias 전압인 VNN (Negative Voltage)을 이용하는 경우 HV (High-Voltage) 소자의 사용 없이 MV (Medium Voltage) 소자 3개만 이용하는 MTP cell을 설계할 수 있다[4]. 제안된 MTP cell은 CG (Control Gate) capacitor, TG (Tunnel Gate) transistor와 select transistor로 구성되어 있다. Select transistor는 MTP cell이 over-erase되었을 때 leakage current를 줄이기 위해 사용되었다[4].

본 논문에서는 센서 응용에 아날로그 회로 트리밍이나 chip ID 저장에 사용되는 로직 공정 기반

의 dual program voltage를 이용한 MTP IP용 DC-DC converter를 설계하였다. 동부하이텍 110nm 공정을 이용하여 설계된 DC-DC converter는 VPP (=5.25V), VNN (=−5.25V)과 VNNL (=2 · VNN/5)의 전압을 공급하는 회로로 MOS capacitor를 사용하였고, 3.3V 소자만 사용하여 설계하였다. VPP와 VNN charge pump 회로는 Dickson charge pump를 사용하였다.

II. 본 론

본 논문에 사용된 MTP cell은 그림 1(a)에서 보는바와 같이 3.3V의 CG MOS capacitor (C0), TG_SENSE transistor (MN1)와 over-erase되었을 때 BL에서의 off-leakage current를 줄이기 위해 select transistor로 구성되어 있으며, 사용된 MOS 소자의 수는 3개이다[4]. MTP cell의 동작 모드별 바이어스 전압 조건은 다음과 같다. Erase mode에서는 선택된 cell의 CG와 TG에 각각 −5.25V, +5.25V를 인가하여 FN tunneling 방식으로 FG (Floating Gate)의 electron을 ejection시킨다. 그리고 program mode에서는 선택된 cell의 CG와 TG에 각각 +5.25V, −5.25V를 인가하여 erase와 동일한 방식으로 FG에 electron을 injection 시킨다. Read mode에서 erase된 cell은 BL에 0V를 출력하는 반면, program된 cell은 BL 스위치인 NMOS transistor의 threshold voltage인 V_T loss로 인해 $V_{DD}-V_T$ 만큼 pull-up된다[4]. 그림 1(b)는 설계된 MTP cell의 layout plot을 보여주고 있다.

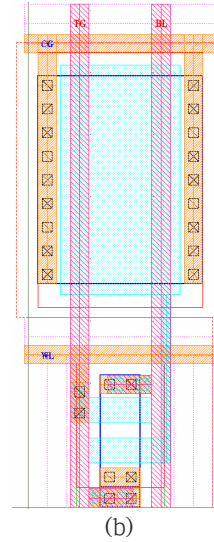
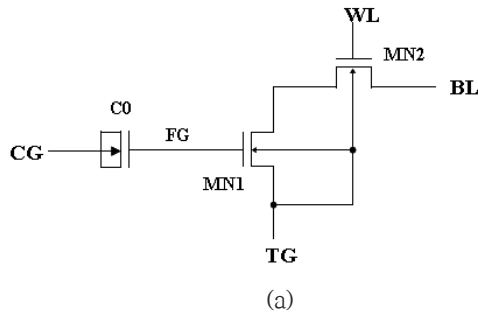


그림 1. 사용된 MTP cell (a) 회로도 (b) layout 이미지.

Write mode에서 VPP, VNN과 VNNL 전압을 공급하는 DC-DC converter의 블록도는 그림 2에서 보는바와 같다. 그림 3은 저항 divider를 사용한 reference voltage divider 회로도로 VREF_VPP와 VREF_VNN 전압을 공급한다. 그림 3의 NMOS 스위치 MN_OFF는 write mode만 ON시키고, 나머지 mode에서는 shut-down 시켜 power 소모를 줄인다.

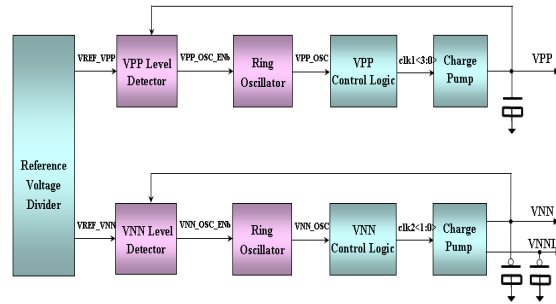


그림 2. DC-DC converter 블록도.

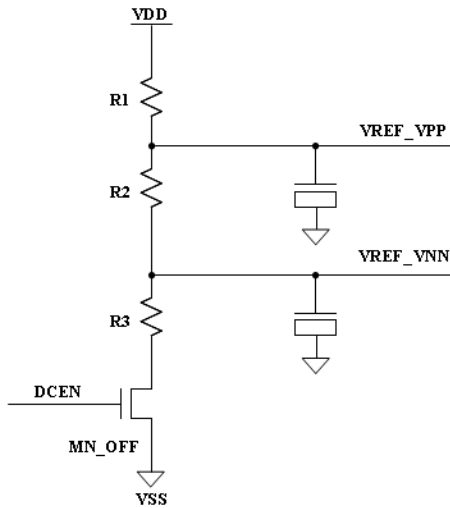


그림 3. 저항 divider를 사용한 reference voltage divider 회로도[5].

그림 4는 write mode에서 5.25V의 boosted voltage를 공급하기 위한 VPP generation 회로의 블록도를 보여주고 있다. VPP generation 회로는 2-stage cross-coupled charge pump, control logic, ring oscillator와 VPP level detector로 구성 되어 있다. VPP 전압이 목표전압인 5.25V보다 낮은 경우에 VPP level detector의 출력신호인 VPP_OSC_ENb가 Low가 되어 positive charge pumping에 의하여 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP_OSC_Enb 신호가 High가 되어 VPP charge pump의 charge pumping을 멈추는 negative feedback 방식으로 VPP 전압은 목표전압인 5.25V를 유지한다. 그림 5(a)와 그림 5(b)는 각각 1st stage charge pump와 unit charge pump 회로도를 보여주고 있다.

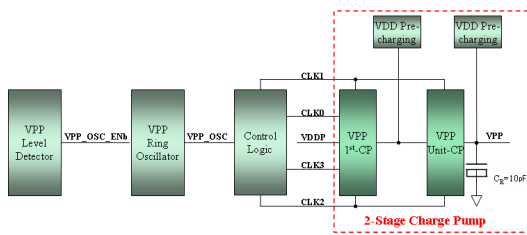


그림 4. VPP generation 회로의 블록도[5].

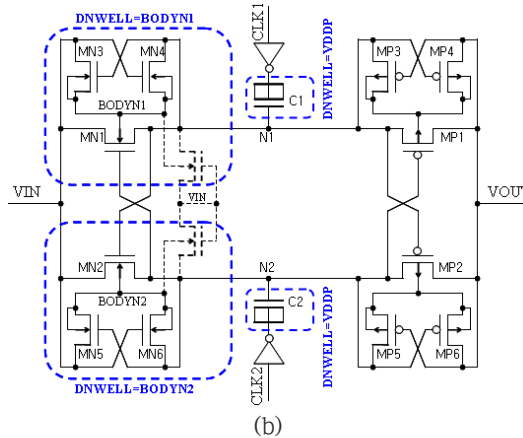
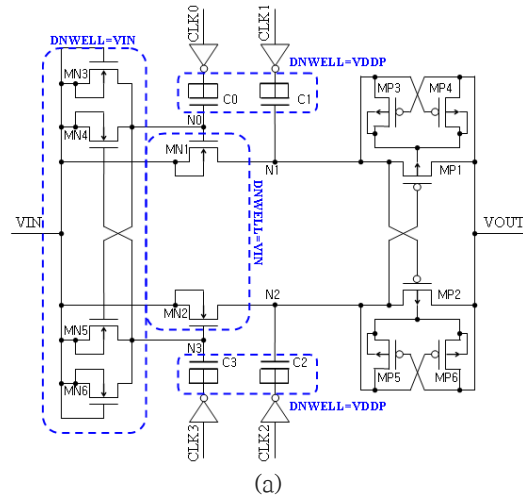


그림 5. VPP charge pump 회로도 (a) 1st stage charge pump (b) unit charge pump.

그림 6은 5단 Dickson charge pump 회로를 사용하여 VNN과 VNNL 전압을 공급하는 VNN generation 회로의 블록도이다. VNN은 negative feedback에 의해 -5.25V의 전압을 유지하고 VNNL은 $(2 \cdot VNN)/5$ 의 전압을 공급한다. 그림 7은 5단의 VNN charge pump 회로도를 보여준다.

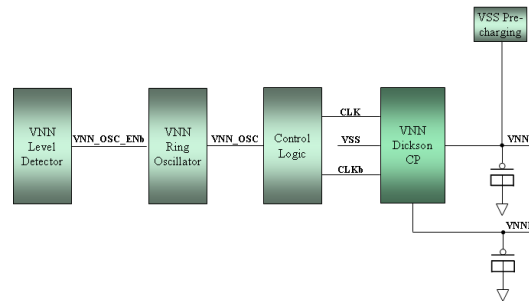


그림 6. VNN generation 회로의 블록도[5].

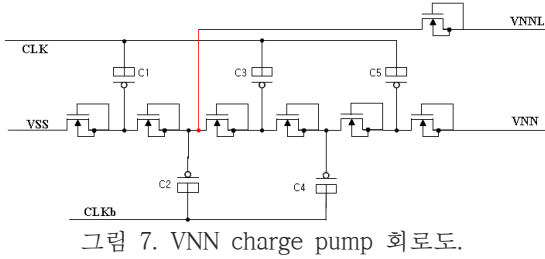


그림 7. VNN charge pump 회로도.

III. 모의실험 결과

동부하이텍 110nm 공정을 이용하여 로직 공정 기반의 dual program voltage를 이용한 MTP IP용 DC-DC converter를 설계하였다. 그림 8은 ring oscillator의 oscillation 주기에 따른 pumping current의 모의실험 결과로 oscillation 주기가 줄어들면서 pumping current가 증가하는 것을 볼 수 있다. VPP와 VNN charge pump의 ring oscillation 주기는 VDDP=3V, Temp.=85°C, SS (Slow NMOS Slow PMOS) model parameter 조건에서 각각 100ns, 100ns로 설계되었다. 설계된 ring oscillation 주기에서 VPP와 VNN charge pump의 pumping current는 각각 9.17µA와 9.7µA이다.

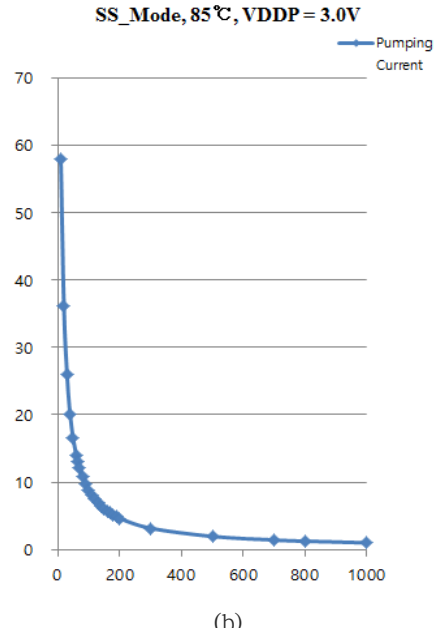
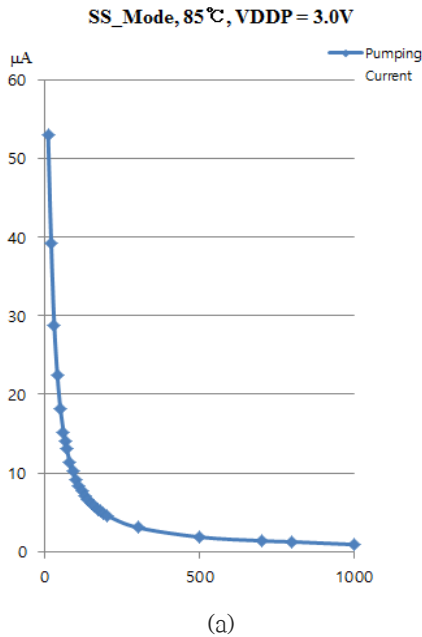


그림 8. Oscillation 주기에 따른 pumping current (a) VPP (b) VNN.



IV. 결 론

본 논문에서는 센서 응용에 아날로그 회로 트 리밍이나 chip ID 저장에 사용되는 로직 공정 기 반의 dual program voltage를 이용한 MTP IP용 DC-DC converter를 설계하였다. 동부하이텍 110nm 공정을 이용하여 설계된 DC-DC converter 는 VPP (=5.25V), VNN (=−5.25V)과 VNNL (=2 · VNN/5)의 전압을 공급하는 회로로 MOS capacitor를 사용하였고, 3.3V 소자만 사용하여 설 계하였다. VPP와 VNN charge pump 회로는 Dickson charge pump를 사용하였다. 그리고 VPP 와 VNN의 pumping stage 수는 각각 2단과 5단으 로 구성되어 있다. 또한 VPP와 VNN의 펌핑전류 는 각각 9.17µA와 9.7µA이다.

본 연구는 산업통상자원부의 산업핵심기술개발사 업 (10049095, “스마트 커넥티드 디바이스를 위 한 융합형 전력 관리 플랫폼 및 솔루션 개발”)의 지원으로 이루어졌습니다.

참고문헌

[1] Jinliyan et al., "Design of 512-bit logic process-based single-poly EEPROM IP", Journal of Central South University of Technology, pp. 2036-2044,

- Dec. 2011.
- [2] A. D. Bartoloemo, H. Rucker, P. Schley, A. Fox, S. Lischke, and K. Y. Na, "A single-poly EEPROM cell for embedded memory applications," *IEEE Journal of Solid-state electronics*, vol. 53, pp. 644-648, Apr, 2009
 - [3] C. F. Lin and C. Y. Sun, "A single-poly EEPROM cell structure compatible to standard CMOS process," *IEEE Journal of solid-state electronics*, vol. 51, no. 6, pp. 888-893, May, 2007
 - [4] Jinliyan et al., "Single Poly EEPROM Cell 설계 및 측정," 대한전자공학회 학술심포지움 논문집, vol. 2, no. 1, pp 9-15, June 2013.
 - [5] 김광일, 김려연, 전황곤, 김기종, 이재형, 김태훈, 하판봉, 김영희, "RFID 태그 칩용 로직 공정 기반 256bit EEPROM IP 설계 및 측정" 한국해양정보통신학회논문지, vol. 14, no. 8, pp 1868-1876, Oct. 2010.