
UHD 영상의 실시간 처리를 위한 고성능 HEVC In-loop Filter 부호화기 하드웨어 설계

임준성 · Gookyi Dennis · 류광기

한밭대학교 정보통신전문대학원

Hardware Design of High Performance In-loop Filter in HEVC Encoder for Ultra HD Video Processing in Real Time

Jun-seong Im · Gookyi Dennis · Kwang-ki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : {junseong.im.angel, dennisgookyi}@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 UHD급 영상의 실시간 처리를 위한 고성능 HEVC(High Efficiency Video Coding) In-loop Filter 부호화기의 효율적인 하드웨어 구조를 제안한다. HEVC는 양자화 에러로 발생하는 화질 열화 문제를 해결하기 위해 Deblocking Filter와 SAO(Sample Adaptive Offset)로 구성된 In-loop Filter를 사용한다. 본 논문에서 제안하는 In-loop Filter 부호화기 하드웨어 구조에서 Deblocking Filter와 SAO는 수행시간 단축을 위해 32×32 CTU를 기준으로 2단 하이브리드 파이프라인 구조를 갖는다. Deblocking Filter는 10단계 파이프라인 구조로 수행되며, 메모리 접근 최소화 및 참조 메모리 구조의 단순화를 위해 효율적인 필터링 순서를 제안한다. 또한 SAO는 화소들의 분류와 SAO 파라미터 적용을 2단계 파이프라인 구조로 구현하고, 화소들의 처리를 간소화 및 수행 사이클 감소를 위해 두 개의 병렬 Three-layered Buffer를 사용한다. 본 논문에서 제안하는 In-loop Filter 부호화기 하드웨어 구조는 Verilog HDL로 설계하였으며, TSMC 0.13um CMOS 표준 셀 라이브러리를 사용하여 합성한 결과 약 205K개의 게이트로 구현되었다. 또한 110MHz의 동작주파수에서 4K UHD급 해상도인 $3840 \times 2160@30\text{fps}$ 의 실시간 처리가 가능하다.

ABSTRACT

This paper proposes a high-performance in-loop filter in HEVC(High Efficiency Video Coding) encoder for Ultra HD video processing in real time. HEVC uses in-loop filter consisting of deblocking filter and SAO(Sample Adaptive Offset) to solve the problems of quantization error which causes image degradation. In the proposed in-loop filter encoder hardware architecture, the deblocking filter and SAO has a 2-level hybrid pipeline structure based on the 32×32 CTU to reduce the execution time. The deblocking filter is performed by 6-stage pipeline structure, and it supports minimization of memory access and simplification of reference memory structure using proposed efficient filtering order. Also The SAO is implemented by 2-stage pipeline for pixel classification and applying SAO parameters and it uses two three-layered parallel buffers to simplify pixel processing and reduce operation cycle. The proposed in-loop filter encoder architecture is designed by Verilog HDL, and implemented by 205K logic gates in TSMC 0.13um process. At 110MHz, the proposed in-loop filter encoder can support 4K Ultra HD video encoding at 30fps in realtime.

키워드

HEVC Encoder, In-loop Filter, Deblocking Filter, SAO, 하드웨어 설계

I. 서 론

TV, 스마트폰, 태블릿 등의 진보된 영상 기기

와 1Gbps급의 속도를 지원하는 통신 기술의 발달로 고화질 영상 콘텐츠의 수요가 증가하고 있다. 이러한 수요가 증가하는 만큼 고화질 구현을 위

한 해상도 발전은 필수적이다. 4K(3840×2160) 또는 8K(7680×4320) UHD 영상과 같은 초고품질의 영상미디어에 대한 요구사항에 맞추어 ISO/IEC MPEG(Moving Picture Experts Group)과 ITU-T VCEG(Video Coding Experts Group)의 두 미디어 표준화 그룹은 공동으로 기존 비디오 코덱 기술인 H.264/AVC 기술 표준에 비해 2배 압축 효율을 목표로 HEVC(High Efficiency Video Coding)라는 새로운 영상 압축 표준을 개발하여 2013년에 표준화를 완료하였다.

HEVC는 기존의 H.264/AVC 표준과 같이 예측, 변환, 양자화, 엔트로피 부호화 과정을 수행하는 영상 압축 기술을 기반으로 하며, CU(Coding Unit), PU(Prediction Unit), TU(Transform Unit)와 같은 연산 단위를 사용한다. HEVC 부호화 과정에서 양자화는 QP(Quantization Parameter)값에 의해서 컨트롤 되는데 QP값이 작으면 변환 계수에 대해 촘촘한 양자화가 수행되어 양자화 에러가 상대적으로 작고, QP값이 크면 양자화 에러가 크게 발생한다. 특히, QP값이 큰 경우에는 양자화 에러로 인하여 복원된 영상에 블록킹 열화(Blocking Artifact)와 링잉(Ringing) 현상이 발생될 수 있으며, 이로 인해서 복원된 영상의 주관적 화질이 저하되는 문제가 발생한다. 이러한 양자화 에러로 인한 화질 열화 문제를 해결하기 위하여 HEVC에서는 Deblocking Filter와 SAO라는 두 가지 In-loop Filter를 사용한다[1].

본 논문에서는 UHD급 영상의 실시간 처리를 위한 고성능 HEVC In-loop Filter 부호화기의 효율적인 하드웨어 구조를 제안한다. 제안하는 In-loop Filter 부호화기 하드웨어 구조에서 수행 시간 단축을 위해 Deblocking Filter와 SAO는 32×32 CTU를 기준으로 2단 하이브리드 파이프라인 구조를 갖는다. Deblocking Filter는 6단계 파이프라인 구조로 수행되며, 메모리 접근 최소화 및 참조 메모리 구조의 단순화를 위해 효율적인 필터링 순서를 제안한다. 또한 SAO는 화소들의 분류와 SAO 파라미터 적용을 2단계 파이프라인 구조로 구현하고, 화소들의 처리를 간소화 및 수행 사이클 감소를 위해 두 개의 Three-layered Buffer 구조를 병렬로 구성하였다.

II. HEVC In-loop Filter

그림 1과 같이 In-loop Filter는 HEVC에서 표준 기술로 사용되는 필터링 방식으로 필터링이 적용된 영상을 출력할 뿐만 아니라 화면 간 예측 과정에서 참조 영상으로 사용하기 때문에 주관적 화질 향상과 부호화 효율이 향상되는 장점이 있다. In-loop Filter는 Deblocking Filter와 SAO로 구성되며, 복원된 영상에서 주로 블록킹 열화를 제거하기 위해 Deblocking Filter가 먼저 적용되고, Deblocking Filter가 적용된 영상에 링잉 현상을 제거하기 위해 SAO가 적용된다.

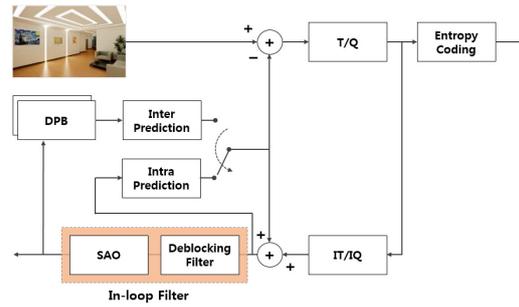


그림 1. HEVC 부호화기 블록 다이어그램

A. Deblocking Filter

HEVC는 블록 분할 기반 연산 단위로 변환과 양자화 과정을 수행하기 때문에 블록 사이의 상관 관계 손실로 인하여 에지에서 불연속이 발생합니다. Deblocking Filter는 이러한 블록킹 열화를 줄임으로써 시각적 화질 향상과 코딩 효율을 향상시킵니다.

Deblocking Filter는 모든 CU에서 8×8 블록의 에지에서 적용되며 각 에지는 두 독립적인 4-line 단위로 계산되는 BS(Boundary Strength)값과 QP, 임계값인 β 와 t_c , 에지의 화소값으로 필터링 수행 여부와 SF(Strong Filter) 또는 WF(Weak Filter)를 결정한다. 필터링이 결정되면 에지 경계를 기준으로 P와 Q영역에서 최대 세 화소씩 필터링이 수행된다.

이러한 Deblocking Filter를 구현하는데 메모리 참조가 비교적 쉬운 소프트웨어와는 달리 하드웨어는 제한적인 참조 메모리 구조가 요구된다. 따라서 기존의 하드웨어 구조는 그림 2와 같이 위쪽과 왼쪽에 필터링이 완료된 화소를 참조하기 위해 음영으로 처리된 화소를 저장하는 내부 참조 Buffer가 필요하다[2]. 이러한 구조는 고해상도 영상으로 확장될수록 Buffer의 사이즈도 증가한다는 단점이 있다. 따라서 본 논문에서 제안하는 하드웨어 구조는 메모리 접근 최소화 및 참조 메모리 구조의 단순화를 위해 효율적인 필터링 순서로 수행된다.

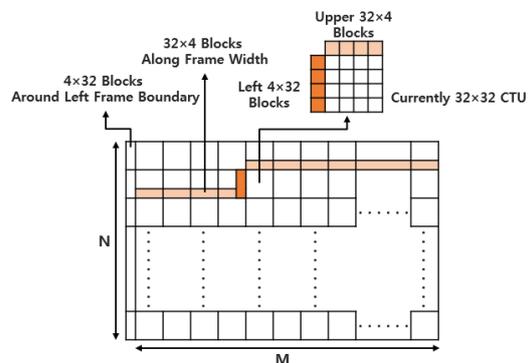


그림 2. 하드웨어 구조에서 사용되는 참조 화소

B. SAO

SAO는 HEVC에서 새롭게 채택된 In-loop Filter 기술 중 하나로 복원 영상에서 Deblocking Filter가 적용된 후 수행되며, CTU 내 화소들을 통계적으로 분석하여 최적의 오프셋(Offset)과 파라미터를 결정하고, 복원 화소에 오프셋 값을 더하여 복원 영상과 원본 영상 간의 에러를 최소화한다. 이처럼 SAO는 주관적 화질과 부호화 성능을 향상시킬 수 있다.

오프셋은 효율적인 계산과 전송을 위해 휘도 성분과 두 개의 색차 성분에 대해서 각각 4개의 오프셋 값만을 전송하며 서로 독립적인 CTB 단위로 수행된다. 또한, CTB 내의 에지 방향을 고려하여 복원 화소의 에러를 효과적으로 보정하는 에지 오프셋(Edge Offset)과 특정 밝기 값에서 밴드 단위로 화소 값을 보정하는 밴드 오프셋(Band Offset)으로 구분된다. 그림 3은 에지 오프셋의 클래스를 나타낸다. 에지 오프셋은 4가지 에지 패턴에 대한 클래스를 분류하고 각 클래스에서 c와 a, b의 표 1의 관계식에 따라 다시 하위 카테고리 분류하고, 윌-왜곡 최적화를 수행하여 최적의 오프셋 값들을 구한다[3].

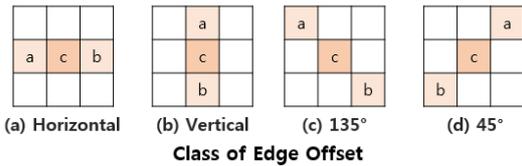


그림 3. 에지 오프셋의 클래스

표 1. 하위 카테고리 결정 조건식

Category	Condition
1	$c < a \ \&\& \ c < b$
2	$(c < a \ \&\& \ c == b) \ \# \ (c == a \ \&\& \ c < b)$
3	$(c > a \ \&\& \ c == b) \ \# \ (c == a \ \&\& \ c > b)$
4	$c > a \ \&\& \ c > b$
0	None of the above

또한, 밴드 오프셋은 그림 4와 같이 밝기 값을 일정한 구간으로 나눈 밴드를 사용한다. 화소들은 대응되는 밴드로 분류되고, 연속하는 네 개의 구간에 대하여 오프셋 윌-왜곡 최적화를 수행하여 최적의 오프셋 값들을 구한다.

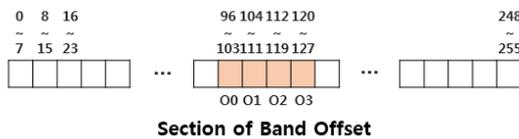


그림 4. 밴드 오프셋의 구간

III. 제안하는 In-loop Filter 하드웨어 구조

제안하는 고성능 In-loop Filter 부호화기 하드웨어 구조는 그림 5와 같다.

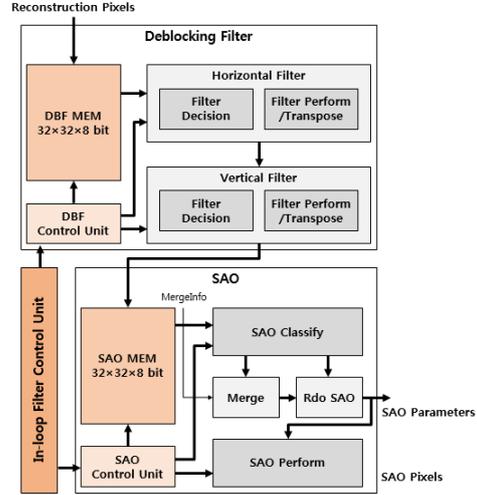


그림 5. 제안하는 In-loop Filter 하드웨어 구조

하드웨어 구조는 크게 Deblocking Filter 모듈과 SAO 모듈, 제어 신호를 생성하는 In-loop Filter Control Unit으로 구성된다. Deblocking Filter는 복원 영상을 CTU 단위(32×32×8bit)로 내부 메모리에 저장하고, 수평 필터링과 수직 필터링을 10단계 파이프라인 구조로 수행된다. 그림 6은 참조 화소를 저장하는 내부 메모리 구조를 나타낸다. H0부터 H3과 V0부터 V3은 필터링이 수행되는 경계를 나타낸다.

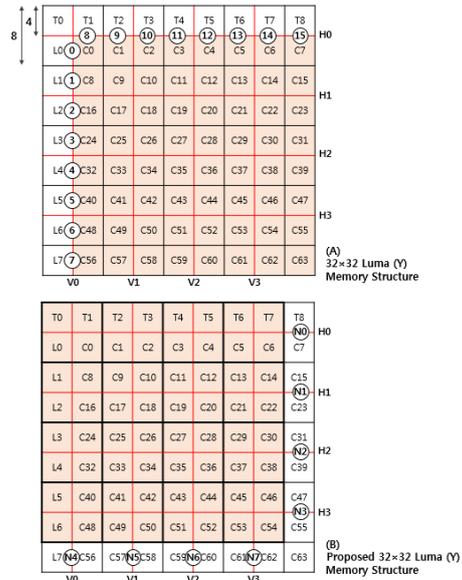


그림 6. Deblocking Filter 참조 메모리 구조

Deblocking Filter 참조 메모리 구조에서 음영으로 표시된 부분은 실제 사용되는 32×32 CTU를 나타낸다. 기존의 내부 참조 메모리는 블록 경계의 필터링을 위해 현재 수행 블록의 위쪽(T0부터 T8)과 왼쪽(L0부터 L7)에 해당하는 참조 화소를 저장하는 별도의 내부 Buffer가 필요하다. 그러나 제안하는 참조 메모리 구조는 위쪽과 왼쪽에 해당하는 참조 화소를 저장할 필요 없이 이후 수행되는 CTU에서 N0부터 N7까지 누락된 화소에 대한 필터링이 적용된다. 따라서 메모리 접근 최소화 및 참조 메모리 구조의 단순화로 효율적인 필터링 수행이 가능하다. 또한, 각 필터링은 8×8 단위로 입력받아 2개의 병렬 4-line 데이터패스로 필터링 On/Off와 WF, SF를 결정하고 적용한다.

SAO는 Deblocking Filter가 수행된 화소를 SAO를 위한 32×32 CTU 단위의 내부 메모리에 저장하고, SAO를 수행한다. SAO 부호화기 하드웨어 구조는 메모리 접근 최소화 및 입력 화소들의 효율적인 처리를 위해 2개의 병렬 Three-layerd Buffer 구조로 구현하였다. SAO Classify 모듈에서 화소들의 분류하고, SAO Perform 모듈을 통해 복원 화소에 오프셋을 적용하는데 Mergy 모듈과 RdoSAO 모듈을 통해 최적의 오프셋을 결정한다. SAO는 2단계 파이프라인 구조로 수행된다. 결정된 최적의 오프셋을 적용하여 보상해주는 과정을 수행하는 동시에 다음 CTU의 화소 분류 과정 및 최적의 오프셋을 결정하는 과정을 수행한다.

또한, In-loop Filter Control Unit 모듈은 각각 내부 파이프라인 구조를 갖는 Deblocking Filter 모듈과 SAO 모듈을 32×32 CTU 기준으로 2단 하이브리드 파이프라인으로 처리하도록 제어신호를 생성한다.

IV. 하드웨어 구현 결과 및 검증

본 논문에서 제안하는 UHD 영상의 실시간 처리를 위한 고성능 HEVC In-loop Filter 부호화기 하드웨어 구조는 Verilog HDL로 설계하였다. 설계된 하드웨어는 Synopsys사의 Design Compiler를 사용하여 TSMC 0.13um CMOS 표준 셀 라이브러리로 합성하였다. 표 2는 제안하는 In-loop Filter 부호화기 하드웨어 구조의 합성 결과를 나타낸다.

표 2. 제안하는 하드웨어 구조 합성 결과

Category	Result
Process	TSMC 0.13um CMOS
Frequency	110MHz (3840×2160@30fps)
Cycle/CTU	500
Gate Count	205K

$3840 \times 2160 @ 30\text{fps}$ 영상을 실시간으로 처리하기 위해서는 초당 241,200개의 CTU가 처리되어야 한

다. 제안하는 In-loop Filter 부호화기 하드웨어 구조는 하나의 CTU를 처리하는데 500 사이클을 소요하므로, 약 110MHz의 동작 주파수에서 실시간으로 처리할 수 있다.

V. 결론

본 논문에서 제안하는 UHD 영상의 실시간 처리를 위한 고성능 HEVC In-loop Filter 부호화기 하드웨어 구조는 수행시간 단축을 위해 32×32 CTU를 기준으로 2단 하이브리드 파이프라인으로 구현하였다. Deblocking Filter는 내부 10단계 파이프라인 구조로 수행되며, 메모리 접근 최소화 및 참조 메모리 구조의 단순화를 위해 새로운 효율적인 필터링 순서로 수행된다. 또한 SAO는 화소들의 분류와 SAO 파라미터 적용을 내부 2단계 파이프라인 구조로 구현하였으며, Three-layered Buffer를 사용하여 화소들의 처리를 간소화 및 수행 사이클을 감소시켰다.

제안하는 하드웨어 구조는 합성 결과 약 205K개의 게이트로 구현되었고, 약 110MHz의 동작주파수에서 4K UHD급 해상도인 $3840 \times 2160 @ 30\text{fps}$ 로 실시간 처리가 가능하다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 해외ICT전문인력활용촉진사업의 연구결과로 수행되었음(IITP-2015-R0134-15-1019)

참고문헌

- [1] 심동규, 조현호, HEVC 표준 기술의 이해, pp. 177-179, 2014
- [2] Erdem Ozcan, Yusuf Adibelli, Ilker Hamzaoglu, "A High Performance Deblocking Filter Hardware for High Efficiency Video Coding", IEEE Trnas. Consumer Electronics, vol. 59, no. 3, Agu. 2013.
- [3] C. M. Fu, E. Alshina, A. Alshin, Y. W. Huang, C. Y. Chen, C. Y. Tsai, C. W. Hsu, S. M. Lei, J. H. Park, and W. J. Han, "Sample Adaptive Offset in the HEVC Standard," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, Dec. 2012.