IoT 서비스를 지원하는 Smart Frame SoC 설계

양동헌 · 황인한 · 김아라 · Kanda Guard · 류광기
한밭대학교 정보통신공학과

Design of Smart Frame SoC to support the IoT Services

Dong-hun Yang · In-han Hwang · A-ra Kim · Kanda Guard · Kwang-ki Ryoo
Department of Information and Communication Engineering, Hanbat National University
E-mail : {zzonz1005, arzye}@naver.com, {yangdonghun3, guardkanda, kkryoo}@gmail.com

요 약

IoT(Internet of Things) 상용화에 따라 무선 통신이 가능한 하드웨어 구조 개발의 필요성이 증가하고 있다. 따라서 본 논문에서는 디바이스 간 연동이 가능한 Smart Frame System이 내장된 SoC(System on a Chip) 플랫폼 하드웨어 구조를 제안한다. 기존 디지털 액자에 무선통신 기능과 실시간 처리가 가능한 하드웨어 구조를 적용하였고, Bluetooth를 이용하여 제어할 수 있는 스마트폰 어플리케이션을 개발하였다. 제안하는 SoC 플랫폼의 하드웨어 구조는 CIS(CMOS Image Sensor) Controller 모듈, Memory Controller 모듈, 확대, 축소, 회전 등의 다양한 영상처리를 위한 ISP(Image Signal Processing) 모듈, 디바이스 간 통신을 위한 Bluetooth Interface, 영상 출력을 위한 VGA Controller 모듈, TFT-LCD Controller 모듈로 구성된다. IoT 서비스를 지원하는 Smart Frame System은 Virtex4 XC4VLX80 FPGA 디바이스가 장착된 HBE-SoC-IPD 테스트 보드를 사용하여 구현 및 검증하였으며, 동작 주파수는 54MHz이다.

ABSTRACT

In accordance with IoT(Internet of Things) commercialization, the need to design SoC-based hardware platform with wireless communication is increasing. This paper therefor proposes an SoC platform architecture with Smart Frame System inter-communicating between devices. Wireless communication functions and high-performance real-time image processing hardware structure was applied to existing digital photo frame. We developed a smart phone application to control the smart frame through Bluetooth communication. The SoC platform hardware consists of CIS controller, Memory controller, ISP(Image Signal Processing) module for image scaling, Bluetooth Interface for inter-communicating between devices, VGA/TFT-LCD controller for displaying video. The Smart Frame System to support the IoT services was implemented and verified using HBE-SoC-IPD test board equipped with Virtex4 XC4VLX80 FPGA. The operating frequency is 54MHz.

키워드
IoT, SoC Platform, Smart Frame, Hardware Design

Ⅰ. 서 론

인터넷을 통해 모든 사물들이 유기적으로 연결되는 IoT 시대가 도래하였다. IoT 환경을 구현하기 위하여 SoC 기반 하드웨어 플랫폼을 이용한 설계의 필요성 또한 증가되고 있다. 따라서 본 논문에서는 하드웨어 플랫폼 설계를 중점으로 하여 추후 다른 전자기기에 응용할 수 있는 FPGA 기반 Smart Frame System을 제안한다.

기존의 디지털 액자는 버튼식 모드 제어, 이미지 슬라이드와 같은 단순한 기능만을 지원한다. 제안하는 Smart Frame System은 이미지의 확대, 축소, 회전 등의 다양한 영상처리 효과(ISP)의 지원으로 이미지를 변환시킬 수 있고 카메라를 이용하여 실시간으로 영상을 처리할 수 있다. 또한 내장된 Bluetooth Interface를 통하여 스마트폰과 상호 연동으로 전체 시스템 모드 제어와 메시지 수신 알림이 가능하다.

본 논문의 구성은 다음과 같다. 본론에서는 Smart Frame System 구조와 내부 모듈, 영상 확대를 위한 스케일러와 스마프폰 어플리케이션을 통한 제어, 그리고 FPGA가 내장된 테스트 보드를 이용한 검증결과를 기술하고, 결론을 마지막으로 끝을 맺는다.

II. 본 론

2.1 제안하는 Smart Frame System 하드웨어 구조

Smart Frame System의 하드웨어 구조는 Core-A 프로세서 모듈, CIS Controller 모듈, ISP(Image Signal Processing) 모듈, TFT-LCD Controller 모듈, VGA Controller 모듈, Memory Controller 모듈, Bluetooth Interface 모듈로 구성되며 AMBA Bus 모듈로 통합된다. 스마트폰 어플리케이션은 Bluetooth Interface를 통하여 통신한다. 그림 2.1은 FPGA 기반 Smart Frame System의 SoC 하드웨어 설계 구조이다.

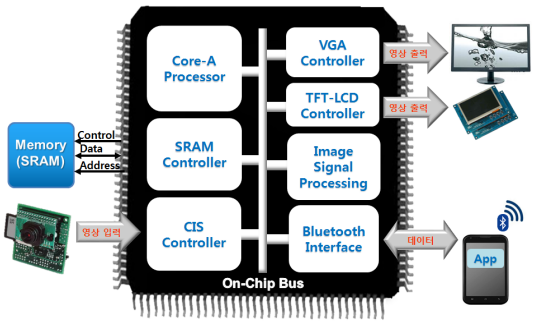

그림 2.1 Smart Frame System 하드웨어 구조

Core-A 프로세서 모듈은 전체 시스템을 제어하며, Bluetooth Interface는 스마트폰 어플리케이션으로부터 제어 신호를 수신 받아 ISP 모듈 내부 레지스터 값을 설정한다. 또한, ISP 모듈은 설정된 내부 레지스터 값에 따라 그에 따른 영상처리를 수행하여 TFT-LCD Controller와 VGA Controller에 영상 데이터를 전송하여 각각 TFT-LCD와 VGA에 출력한다.

2.2 Core-A 프로세서

Smart Frame System에 내장된 Core-A는 한국형 32bit 임베디드 프로세서이다. Core-A는 독자적인 RISC(Reduced Instruction Set Computer) 명령어 구조(ISA)를 갖고 있으며 코드의 밀도(Code Density)를 높이고 DSP 분야에 효과적인 독특한 특징을 갖는다. 전체적인 구조는 그림 2.2와 같다[1].

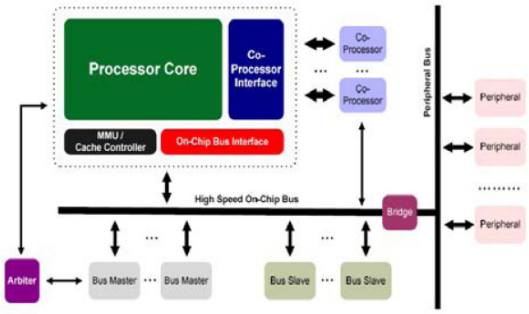

그림 2.2 Core-A 프로세서 Architecture

2.3 CIS Controller

CIS Controller는 CIS(CMOS Image Sensor)에서 입력받은 실시간 영상 데이터를 처리하는 모듈이다. 그림 2.3은 CIS 모듈을 통해 입력되는 영상을 실시간으로 처리하기 위한 하드웨어 구조의 블록 다이어그램이다. Clock Gen 모듈은 CIS로 54MHz의 Clock을 생성하여 보내준다. 실시간으로 입력받은 영상 데이터는 Windowing 모듈로 입력되면, ISP 내부 레지스터 값에 의해 변경되는 스케일 모드에 따라 (640×512)의 원본 영상 데이터를 (640×360), (480×270), (240×136)의 세 가지 영상의 크기로 Windowing 된다. CIS Controller에서 스케일 모드에 따라 선택된 영상 데이터가 Memory Controller로 전달된다. Memory Controller는 한 프레임의 영상 데이터를 SRAM에 읽기/쓰기를 제어한다. SRAM은 하나의 어드레스에 Cb/Y/Cr/Y 형식의 32bit 데이터가 저장된다.

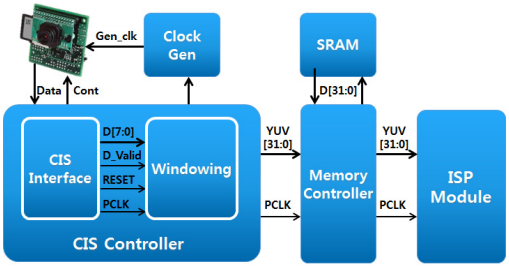

그림 2.3 실시간 영상처리 블록 다이어그램

2.4 TFT-LCD / VGA Controller

TFT-LCD Controller와 VGA Controller는 프로세서로부터 전달된 제어 신호에 따라 외부 메모리에 저장된 영상 데이터를 제어 신호와, Sync 신호, 24비트 RGB 데이터 신호를 생성하여 TFT-LCD와 일반 PC의 모니터 출력을 제어한다. 그림 2.4는 TFT-LCD Controller의 블록 다이어그램이다. TFT_HSYNC와 TFT_VSYNC는 각각 주사선의 수평, 수직 동기를 맞추기 위한 신호이다. 이러한 동기 신호가 정해진 동작 Timing을 만족해야 정상적인 출력이 가능하다. 표 2.1과

표 2.2는 TFT-LCD와 VGA 동작 Timing 정보를 나타낸다[2].

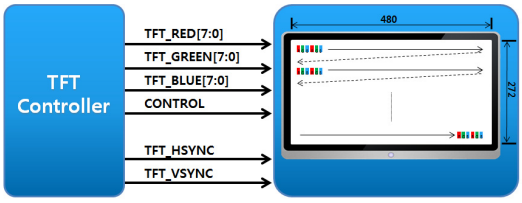

그림 2.4 TFT-LCD Controller의 블록 다이어그램

표 2.1 TFT-LCD 동작 Timing

해상도	480x272
Video Clock	12.5MHz
Hsync Pulse Width	41
Hsync Back Porch Width	2
Hsync Front Porch Width	2
Vsync Pulse Width	10
Vsync Back Porch Width	2
Vsync Front Porch Width	2

표 2.2 VGA 동작 Timing

해상도	640x480
Video Clock	25.2MHz
Hsync Pulse Width	95
Hsync Back Porch Width	40
Hsync Front Porch Width	25
Vsync Pulse Width	2
Vsync Back Porch Width	22
Vsync Front Porch Width	10

2.5 색상 형식과 프레임 메모리 크기

디지털 이미지는 기본적으로 RGB 데이터로 저장된다. RGB 형식은 한 픽셀에 세 가지 요소(Red, Blue, Green)를 가지고 있기 때문에 화면 조작이 용이하지만 전체 데이터 크기는 YCbCr422 형식 보다 크다는 단점이 있다. YCbCr은 영상 시스템에서 사용되는 색 공간의 일종이다. Y는 휘도 성분이며 Cb와 Cr은 색차 성분이다[3]. 사람의 눈은 밝기에 대한 민감도가 색차 신호보다 높다[4]. 따라서 밝기 값 Y에 8bit와 색차 값 Cb/Cr에 8bit로 총 16bit로 컬러 표현이 가능하다. 입력 영상의 1라인 데이터를 저장하는데 사용되는 메모리 용량이 RGB의 경우 (8bit×3×640pixel=14800bit)가 요구된다. 하지만 YCbCr422의 경우 (8bit×2×640pixel=10240bit)를 차지하기 때문에 RGB 형식에 비해 전체 프레임 메모리 크기가 약 1/3배 감소된다. 따라서 효율적인 메모리 활용을 위해 YCbCr422 형식을 사용하여 메모리에 쓰고, 읽어와 RGB 형식으로 변환한다.

2.6 Bluetooth Interface

Bluetooth Interface는 스마트폰에서 송신한 데이터를 수신하는 HC-06 Slave 모듈과 시리얼 통신을 위한 UART Controller로 이루어져 있다. 그림 2.5는 Bluetooth Interface의 블록 다이어그램을 나타낸다. HC-06 모듈은 표면실장형(SMD) 방식의 Bluetooth 2.0 EDR을 지원하는 CSR BC 04 Bluetooth Chip을 사용한다[5]. 전원을 위한 Vcc 핀과 Ground 핀 그리고 UART 모듈과 데이터 송수신을 위한 Rx, Tx 핀으로 구성된다. UART (Universal Asynchronous Receiver Transmitter) 모듈은 병렬-직렬 변환 및 직렬-병렬 변환의 기능을 갖는 비동기 데이터 전송용 인터페이스 장치이다[6]. HC-06 Slave에서 수신 받은 데이터를 UART Controller를 통해 ISP 모듈로 송신해 내부 레지스터를 변경한다.

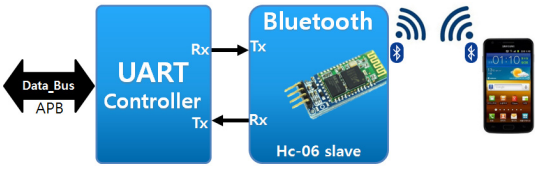

그림 2.5 Bluetooth Interface 블록 다이어그램

2.6 Smart Frame Control 어플리케이션

제안하는 Smart Frame Control 어플리케이션은 Bluetooth Client인 스마트폰과 Bluetooth Slave인 HC-06 모듈 간 통신을 위한 안드로이드 기반 어플리케이션이다. Java Eclipse 4.5와 Android SDK를 사용하여 개발하였으며 그림 2.6은 Smart Frame Control 어플리케이션의 Main GUI이다.

그림 2.6 Smart Frame Control 어플리케이션 Main GUI

Main GUI에서 각 기능 버튼을 클릭하면 지정된 데이터가 ASKII Code 값으로 버퍼에 할당되고 Bluetooth 통신을 위한 스트림을 통하여 HC-06 모듈로 송신한다.

2.7 시뮬레이션 검증

그림 2.7은 CIS 모듈로부터 입력받은

(640×512) 크기의 원본 데이터를 (480×270) 크기로 Windowing 한 결과를 나타낸다.

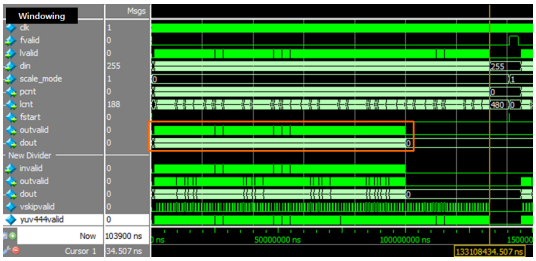

그림 2.7 Windowing 시뮬레이션 검증 결과

그림 2.8에서는 Windowing 모듈에서 출력한 YCbCr 형식의 32bit 데이터가 Memory에 쓰이고, 쓰인 데이터는 다시 ISP 내부 모듈로 입력되어 RGB 형식의 24bit 데이터로 변환되는 것을 확인할 수 있다.

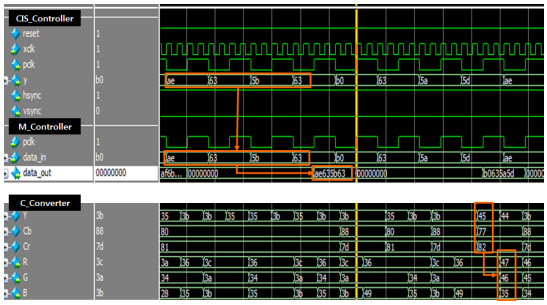

그림 2.8 CIS to Color Converter 시뮬레이션 검증 결과

2.8 FPGA 검증 결과

제안하는 Smart Frame System SoC 하드웨어 구조는 Xilinx사의 Virtex4 XC4VLX80 FPGA 디바이스를 사용하여 검증하였으며, 전체 시스템 동작은 스마트폰의 어플리케이션을 통하여 검증하였다. 표 2.3은 Smart Frame System SoC 하드웨어 구조의 FPGA 검증 결과를 나타낸다.

표 2.3 FPGA 검증 결과

Logic	Used	Available	Utilization
Slices	10,830	35,840	30%
Slice Flip Flops	19,378	71,680	27%
Input LUTs	19,551	71,680	27%
Bonded IOBs	81	768	10%
BRAMs	192	200	96%
DSPs	12	80	15%
BUFs/ BUFGCTRLs	11	32	34%

III. 결 론

본 논문에서는 Smart Frame System SoC 하드웨어 구조를 제안하였다.

IoT 서비스를 위한 Bluetooth Interface를 설계하여 스마트폰을 이용하여 무선으로 제어가 가능하게 하였고, 각 모듈들을 독립적인 Plug & Play 솔루션으로 설계하여 향후 다양한 영상처리 응용 분야에서 재사용 가능하게 하였다. 또한 저면적 하드웨어 구조로 설계하기 위해 YCbCr422 형식을 사용함으로써 RGB 형식을 사용하였을 때보다 메모리 사용량을 최소화하였다.

제안하는 Smart Frame System은 Virtex4 XC4VLX80 FPGA 디바이스를 사용하여 구현 및 검증하였으며, 동작 주파수는 54MHz이다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 해외ICT전문인력활용촉진사업의 연구결과로 수행되었음(IITP-2015-R0134-15-1019)

참고문헌

[1] Core-A Architecture Reference Manual
[2] HBE-SoC-IPD User's Guide, Hanback Electronics, p.108, 2007
[3] A Real-time Image processing system in High Resolution Camera, Jae Il Kim, Feb, 2010
[4] Digital Image Processing, 2nd Edition, Pearson Education, Rafael C. Gonzalez, Richard E. Woods, 2003
[5] Bluetooth Website, http://www.bluetooth.com
[6] KeyStone Architecture Universal Asynchronous Receiver Transmitter (UART) User Guide, Texas Instruments, SPRUGP1, Nov. 2010