

---

# 동적 전압 주파수 스케일링 오버헤드 최소화를 위한 전압 선택 방법론

장진규\* · 한태희\*

\*성균관대학교

## Voltage Selection Methodology for DVFS Overhead Minimization

Jin Kyu Chang\* · Tae Hee Han\*\*

\*Sungkyunkwan University

E-mail : j2kzzang@gmail.com

### 요 약

반도체 기술의 발전으로 시스템-온-칩(SoC : System-on-Chip) 내에 집적되는 소자의 수가 기하급수적으로 증가함에 따라 에너지 감소 기술은 매우 중요한 과제가 되었다. 다양한 저전력 기술 중에서도 동적 전압 주파수 스케일링(Dynamic Voltage and Frequency Scaling)은 가장 대표적인 저전력 기술 중 하나이다. 올바른 DVFS의 구현을 위해서는 복잡한 DC-DC 변환기와 PLL이 필요로 하게 되며, 이런 특성을 정확하게 이해하고 그로 인해 발생하는 오버헤드(overhead)를 반드시 고려해야 한다. 본 논문에서는 MPSoC에서 변환 오버헤드를 최소화하는 전압 선택 알고리즘을 제안한다. 실험을 통해 제안하는 방법은 성능을 유지한 채 에너지 소모 및 변환 오버헤드 감소를 보여준다.

### ABSTRACT

As the number of devices integrated on system-on-chip(SoC) increases exponentially, energy reduction technology is essential. Dynamic Voltage and Frequency Scaling (DVFS) is a very effective technique for reducing power consumption. Since it requires complex voltage regulators and PLL circuits, DVFS tends to have significant overheads. In this paper, we propose a new voltage selection algorithm to minimize transition overhead for multiprocessor SoC (MPSoC). Simulation results show that proposed algorithm appears less energy consumption with transition overhead even though maintains performance.

### 키워드

Low power, DVFS, Transition Overhead, Voltage Selection

### I. 서 론

반도체 기술의 발전으로 시스템-온-칩(SoC : System-on-Chip) 내에 집적되는 소자의 수가 기하급수적으로 증가함에 따라 에너지 감소 기술은 매우 중요한 과제가 되었다. 다양한 저전력 기술 중에서도 동적 전압 주파수 스케일링(Dynamic Voltage and Frequency Scaling)은 Just-in-Time

컴퓨팅 원리하에 에너지 효율을 높이고자 하는 대표적인 저전력 기술이다.

DVFS는 제약조건 안에서 전압과 주파수를 조절하여 에너지 효율을 높이기 위해 블록별 공급 전원을 가변시킬 수 있는 DC-DC 변환기와 클럭을 가변시킬 수 있는 programmable PLL (phase locked loop)이 반드시 필요하다<sup>[1]</sup>. 올바른 DVFS의 구현을 위해서는 이런 DC-DC 변환기와 PLL의

회로 특성을 정확하게 이해하고 이로 인해 발생하는 오버헤드(overhead)를 반드시 고려해야 한다.

최근 DVFS 관련 논문에서는 실시간 임베디드 시스템(real-time embedded systems)에서의 제약 조건을 고려한 연구가 진행되었고 특히 변이 오버헤드(transition overhead)를 고려한 전압 선택을 통해 태스크의 마감시간(deadline)을 정확하게 맞추면서 에너지 감소 효율을 높이는 연구가 진행되어왔다.<sup>[2]</sup>

본 논문에서는 DVFS의 구현을 위해 고려되어야 할 오버헤드를 최소화하기 위한 방법을 제안한다. 제안하는 방법은 코어마다 동작하는 전압 범위를 제한함으로써 변이 할 수 있는 전압을 줄이고 제약조건을 만족하는 전압 선택을 하여 기존의 DVFS 시스템과 비교해서 오버헤드를 줄일 수 있다.

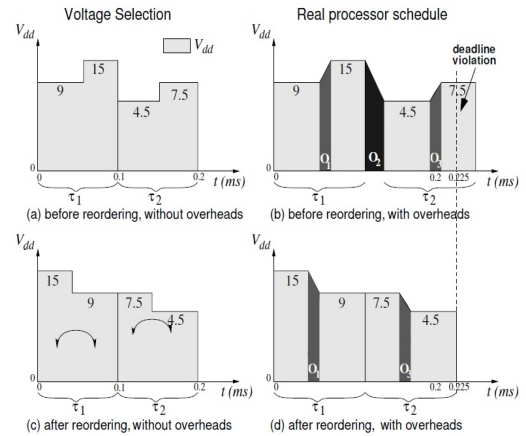


그림 1. 변이 오버헤드의 영향

## II. 관련 연구

### 2.1 DVFS 변환 오버헤드

DVFS의 기본 개념은 단순하지만 이를 구현하기 위해서는 시스템에 추가되어야 하는 블록과 알고리즘이 상당히 복잡하다. 특히, 변이시간(transition time)이 전체 시스템에 미치는 영향은 [3]에서 처음으로 소개가 되었다. 변이 오버헤드는 크게 태스크의 마감시간에 영향을 미치는 지연 오버헤드(delay overhead)와 시스템의 전체 에너지 소모에 영향을 미치는 에너지 오버헤드(energy overhead)로 구분된다.

그림 1은 변이 오버헤드의 영향에 대해 보여주고 있다. 전압 변환 시 안정화에 필요한 지연 오버헤드와 에너지 오버헤드가 발생하게 된다. (a)와 (c)에서 보듯이 오버헤드를 고려하지 않으면 태스크  $\tau_1, \tau_2$ 를 처리하기 위해 똑같은 시간과 에너지가 필요하지만 변이 오버헤드의 영향을 고려한 실제 프로세서에서는 (b)의 전압 선택이 (d)보다 더 많은 시간과 에너지를 필요로 한다. 특히 (b)는 지연 오버헤드의 영향에 의해 태스크 마감시간을 맞추지 못하는 경우를 보여주고 있다.

### 2.2 코어 별 온-칩 레귤레이터

변이 오버헤드의 영향을 줄이기 위해서 온-칩 레귤레이터(on-chip regulator)에 대한 연구가 진행되었다.[4] 온-칩 레귤레이터는 기존의 오프-칩 레귤레이터와 비교해서 빠른 스위칭에 의한 나노 초 단위의 전압 변이가 가능하다는 장점이 있다. 하지만 모든 코어를 단일 레귤레이터로 조절하게 되면 에너지 효율이 감소하기 때문에 최근 코어 단위의 온-칩 레귤레이터에 대한 연구가 주류를 이루고 있다.[5]

## III. 본론

### 3.1 DVFS 오버헤드 모델

코어 단위의 온-칩 레귤레이터는 각각의 코어를 원하는 전압으로 바꿀 수 있기 때문에 높은 효율을 유지할 수 있다. 하지만 코어의 수가 증가하면 파워 도메인(power domain)과 전압 조절(voltage granularity)에 의한 영향이 증가하게 되고 이로 인해 레귤레이터 면적과 전체 인덕턴스 크기가 증가한다. 이런 요소들은 가격과 설계의 복잡도면에서 큰 오버헤드 요소이다.

코어 단위의 DVFS에서도 에너지 및 지연 오버헤드는 여전히 고려되어야 할 사항이다. (1)과(2)는 각각 에너지와 지연 오버헤드를 나타낸다.  $C_r$ 는 레귤레이터의 출력 커패시턴스이고  $\rho$ 는 출력 커패시턴스와 출력 전류로 결정되는 상수이다.  $V_k$ 와  $V_j$ 는 각각 전이 전후의 전압이다. 코어 단위의 DVFS는  $C_r$ 와  $\rho$ 를 줄여주지만 변이하는 전압의 차이가 큰 경우에는 여전히 큰 오버헤드를 가진다.

$$\epsilon_{k,j} = C_r |V_k^2 - V_j^2| \quad (1)$$

$$\delta_x = \rho |V_k - V_j| \quad (2)$$

### 3.2 오버헤드를 고려한 전압 선택 알고리즘

본 논문에서는 이런 오버헤드들을 줄이기 위하여 그림 2와 같이 코어 단위의 온-칩 레귤레이터에서 전체 시스템의 전압 범위는 유지하고 코어당 변환 전압 범위를 제한하는 방법을 제안한다. 2개의 코어는  $V_{HH}(1.00v, 1.00GHz)$ ,  $V_{HL}(0.87v, 0.87GHz)$ 로 남은 2개의 코어는  $V_{LH}(0.73v, 0.73GHz)$ ,  $V_{LL}(0.60v, 0.60GHz)$ 로 전압 선택을 하여 전체 시스템의 측면에서는 전압 범위를 유지할 수 있다. 전체 전압 단계를 반으로 줄일 수 있기 때문에 가격과 설계의 복잡도면에서 생기는 오버헤드를 줄일 수 있다. 또한 큰 전압 차이의 변이를 제한하여 변이 오버헤드를 줄일 수 있다.

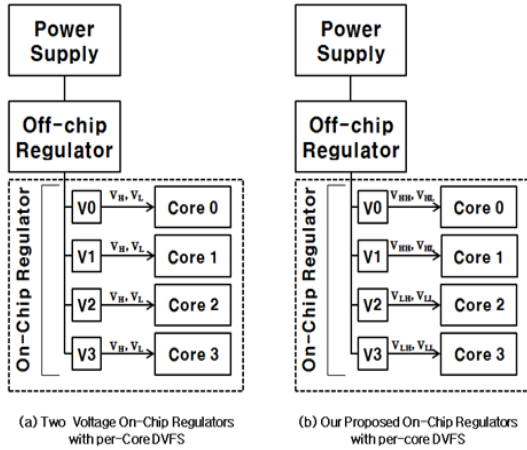


그림 2. 제안하는 코어 단위 DVFS 레귤레이터

수식 (3)은 동적 에너지와 에너지 오버헤드를 나타낸다. 에너지의 총합을 최소로 할 때 가장 큰 동적 전압 주파수 스케일링 효율을 얻을 수 있다.  $NC_k$ 와  $C_{eff}$ 는 태스크의 특성으로 각각 수행 사이클 수와 캐패시턴스 효율을 나타낸다.  $NC_k$ 의 값이 크면 같은 전압과 주파수에서 수행시간이 증가하므로 에너지 소모가 크다. 에너지 오버헤드는 같은 코어에 연속된 태스크 사이에서 전압이 바뀔 때 생기게 된다.

Minimize

$$E = \sum_{k=1}^{\tau} (NC_k \cdot C_{eff} \cdot V_k^2) + \sum_{(k,j) \in \epsilon} \epsilon_{k,j} \quad (3)$$

subject to

$$D_k \geq 0 \quad (4)$$

$$D_k + t_k \leq dl_k \quad \forall \tau_k \text{ that have a deadline} \quad (5)$$

$$D_k + t_k + \delta_{k,j} \leq D_j \quad \forall (k,j) \in E \quad (6)$$

$$V_{HL} \leq V_{e0,e1} \leq V_{HH} \text{ and } V_{LL} \leq V_{e2,e3} \leq V_{LH} \quad (7)$$

모든 태스크를  $V_{HH}$ 로 설정한 후 같은 전압에서  $NC_k$ 가 큰 태스크부터 전압을 낮출 수 있는지 판별 한다. 높은  $NC_k$ 는 소비전력이 커서 전압을 낮추었을 때 큰에너지 절감 효율이 있다. 태스크의 시작시간  $D_k$ 는 태스크의 초기 시작시간을 0으로 봤을 때 항상 0보다 큰 값을 가져야 한다.  $t_k$ 는 태스크의 수행 시간을 나타낸다. 데드라인  $dl_k$ 에 종속된 태스크는 수행 시간이 마감시간 전에 끝나야 한다. 또한 같은 코어에서 연속되게 수행되는  $E$ 의 두 태스크  $\tau_k$ 와  $\tau_j$ 는 지연시간 오버헤드  $\delta_{k,j}$ 를 가진다. 그 때문에  $\tau_k$ 와  $\tau_j$ 의 시작시간 사이에는  $\tau_k$ 와  $\delta_{k,j}$ 가 고려되어야 하고 이를 그림 3의 알고리즘에 적용한다.

표 1은 각 태스크 별 실행시간, 전력, 전압( $V_{dd}$ )를 나타내고 그림 4는 태스크의 종속관계를 나타

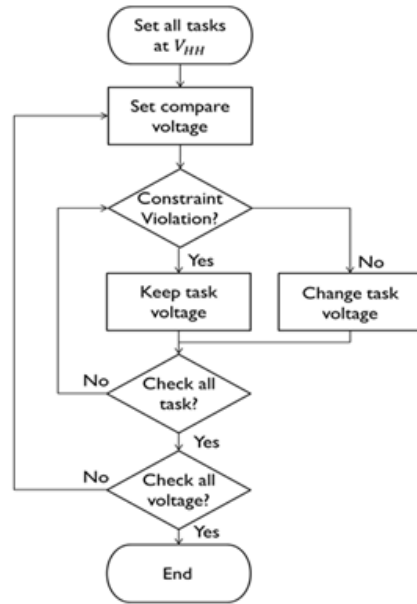


그림 3. 전압 선택 알고리즘

내는 그래프이다. 각 태스크의 전압은 수식 (7)의 제한된 전압 범위 안에서 스케일링 되어야 한다. 또한 그림 4의 데드라인을 고려하여 전압 선택 알고리즘을 수행 한다.

표 1. 초기 태스크 값

Task	Time (us)	Power (mW)	Mapping	Vdd (V)
$\tau_0$	2.00	22.00	0	1.10
$\tau_1$	1.00	18.00	2	1.10
$\tau_2$	3.00	15.00	0	0.90
$\tau_3$	3.00	25.00	2	1.00
$\tau_4$	5.00	70.00	0	1.20
$\tau_5$	2.00	40.00	1	1.30
$\tau_6$	3.00	35.00	1	1.10
$\tau_7$	1.00	13.00	2	1.00
$\tau_8$	1.50	15.00	3	1.00

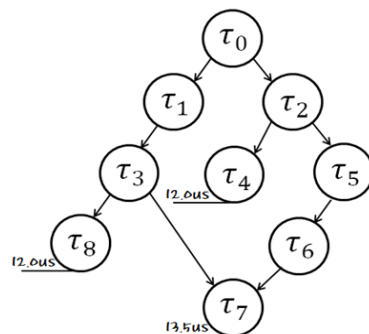


그림 4. 태스크 그래프

표 2. 적용 후 태스크 값

Task	Time (us)	Power (mW)	Mapping	Vdd (V)
$\tau_0$	2.53	10.88	0	0.87
$\tau_1$	1.83	2.92	2	0.60
$\tau_2$	3.10	13.55	0	0.87
$\tau_3$	5.00	5.40	2	0.60
$\tau_4$	6.00	40.51	0	1.00
$\tau_5$	2.99	11.99	1	0.87
$\tau_6$	3.30	26.30	1	1.00
$\tau_7$	1.37	5.06	2	0.73
$\tau_8$	2.50	3.24	3	0.60

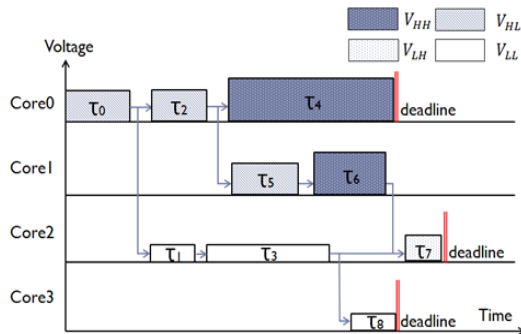


그림 5. 알고리즘이 적용된 태스크 경로

제안하는 전압 선택 알고리즘을 적용한 후의 태스크 값과 태스크 경로는 표 2와 그림 5를 통해 제한된 4개의 전압으로 태스크가 수행 되는 것을 볼 수 있다.  $\tau_4$ 와  $\tau_6$ 은 각각 Core 0과 Core 1에서  $V_{HH}$ 로 태스크를 수행하며  $\tau_0$ 과  $\tau_2$ 는 Core 0에서  $V_{HL}$ 로,  $\tau_5$ 는 Core 1에서  $V_{HL}$ 로 수행한다. 또한  $\tau_7$ 는  $V_{LH}$ 로  $\tau_1$ 와  $\tau_3$ 는  $V_{LL}$ 로 Core 2에서 수행하며  $\tau_8$ 은  $V_{LL}$ 로 Core 3에서 수행한다.  $\tau_7$ 은  $\tau_3$ 과  $\tau_6$ 이 끝나야 실행이 되기 때문에  $\tau_6$ 의 태스크 수행이 완료된 후에  $\tau_7$ 이 수행되는 것을 볼 수 있다.

#### IV. 실험결과

C++기반의 시뮬레이터에서 무작위로 생성된 100개의 태스크 그래프에 대해 제안한 알고리즘을 적용하여 실험하였다. DVFS 에너지는 태스크를 동작하는데 소모된 에너지를 나타내고 오버헤드 에너지는 전압 변화를 위해 필요한 에너지를 나타낸다. 초기 태스크와 비교했을 때 제안한 알고리즘은 평균 35.8%의 DVFS 에너지와 58.1%의 오버헤드 에너지 감소 효율이 있었다. 같은 DVFS를 적용한 경우와 비교하기 위해 코어 당 2개의 전압  $V_H(1.00v)$ ,  $V_L(0.60v)$ 로 전체 코어를 동작시킨 경우와는 오버헤드 에너지는 비슷하지만 평균 7.8%의 에너지 감소 효율이 있었다. 기존의 코어 단위 레귤레이터와 비교하였을 때 시스템의 오버

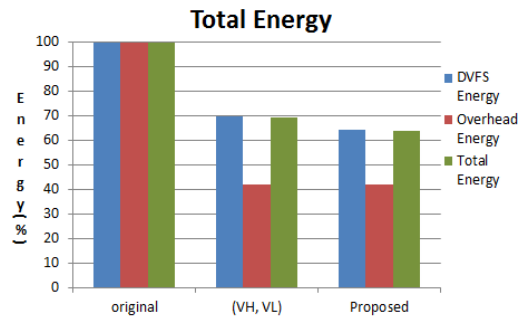


그림 6. 전체 에너지

헤드는 유지하면서 전체 시스템에서 동작하는 전압의 영역을 세분화 시켜 에너지 감소 효율을 증가시킬 수 있음을 확인 할 수 있다.

#### V. 결론

본 논문에서는 MPSoC에서 동적 전압 주파수 스케일링을 적용할 때 생기는 변환 오버헤드를 줄이기 위해 제한된 전압 범위에서의 전압 선택 방법을 제시하였다. 제시한 전압범위를 제한하는 방법으로 다중코어에서 DVFS를 적용하는데 필요한 시스템 오버헤드를 줄일 수 있으며, 변환 오버헤드를 최소화 시키면서 높은 전력감소 효율을 유지하는 것을 보였다.

#### 참고문헌

- [1] 현석봉, 강성원, 엄낙용, "Low Power SoC Technology Wireless Terminals", 전자통신 동향분석 23(6), pp. 92-101, 2008.
- [2] Kooti, Hessam, et al. "Transition-aware real-time task scheduling for reconfigurable embedded systems." DATE, 2010. IEEE, 2010.
- [3] Andrei, Alexandru, et al. "Overhead-conscious voltage selection for dynamic and leakage energy reduction of time-constrained systems.", IEE Proceedings-Computers and Digital Techniques 152(1), pp. 28-38, 2005.
- [4] Hazucha, Peter, et al. "A 233-MHz 80%-87% efficient four-phase DC-DC converter utilizing air-core inductors on package.", IEEE Journal of Solid-State Circuits, 40(4), pp.838-845, 2005.
- [5] Kim, Wonyoung, et al. "System level analysis of fast, per-core DVFS using on-chip switching regulators." IEEE 14th International Symposium on High Performance Computer Architecture, 2008.