

고성능 HEVC 부호기를 위한 화면내 예측 하드웨어 설계

박승용 · Kanda Guard · 류광기

한밭대학교 정보통신전문대학원

An Intra Prediction Hardware Design for High Performance HEVC Encoder

Seung-yong Park · Kanda Guard · Kwang-ki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : {srrr.kr, guardkanda}@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 고성능 HEVC 부호기 화면내 예측기의 적은 연산 시간 및 연산 복잡도, 하드웨어 면적 감소를 위한 하드웨어 구조를 제안한다. 제안하는 화면내 예측기의 하드웨어 구조는 연산 복잡도를 감소시키기 위해 공통 연산기를 사용하였고, 저면적 하드웨어 구조를 위해 4x4 블록 단위 연산기를 사용하였다. 공통 연산기는 모든 예측모드의 예측픽셀 생성과 필터링 과정을 하나의 연산기로 처리하기 때문에 연산기의 개수를 감소시킨다. 화면내 예측 하드웨어 구조는 4x4 PU 공통 연산기를 사용하여 하드웨어 면적은 감소 시켰으며, 32x32 PU까지 지원하는 하드웨어 구조로 설계하였다. 제안하는 하드웨어 구조는 10개의 공통 연산기를 사용하여 병렬처리함으로써 화면내 예측의 수행 사이클 수를 감소시킨다. 제안하는 화면내 예측기의 하드웨어 구조는 Verilog HDL로 설계하였으며, TSMC 0.13 μ m CMOS 표준 셀 라이브러리로 합성한 결과 41.5k개의 게이트로 구현되었다. 제안하는 화면내 예측기 하드웨어 구조는 150MHz의 동작주파수에서 4K UHD@30fps 영상의 실시간 처리가 가능하며, 최대 200MHz까지 동작 가능하다.

ABSTRACT

In this paper, we propose an intra prediction hardware architecture with less processing time, computations and reduced hardware area for a high performance HEVC encoder. The proposed intra prediction hardware architecture uses common operation units to reduce computational complexity and uses 4x4 block unit to reduce hardware area. In order to reduce operation time, common operation unit uses one operation unit to generate predicted pixels and filtered pixels in all prediction modes. Intra prediction hardware architecture introduces the 4x4 PU design processing to reduce the hardware area and uses internal registers to support 32x32 PU processing. The proposed hardware architecture uses ten common operation units which can reduce execution cycles of intra prediction. The proposed Intra prediction hardware architecture is designed using Verilog HDL(Hardware Description Language), and has a total of 41.5k gates in TSMC 0.13 μ m CMOS standard cell library. At 150MHz, it can support 4K UHD video encoding at 30fps in real time, and operates at a maximum of 200MHz.

키워드

HEVC, 화면내 예측, 공통 연산기, 하드웨어 설계

I. 서 론

최근 영상 및 통신 기술이 빠르게 발전함에 따라 UHDTV(Ultra High Definition Television)와 멀티미디어 기기의 대중화가 이루어졌고, 고해상도 영상 서비스에 대한 사용자들의 관심과 수요가 증가하였다. 차세대 영상 기기들은 4K, 8K UHD급 초고해상도 영상 서비스를 위해 개발되고 있

다. UHD급 영상 서비스를 위한 새로운 영상 압축 표준인 HEVC는 국제 표준화 기관인 ITU-T의 VCEG(Video Coding Experts Group)과 ISO/IEC의 MPEG(Moving Picture Experts Group) 공동으로 JCT-VC(Joint Collaborative Team on Video Coding)를 결성하여 표준화하였으며, 2013년 4월에 국제 표준화로 제정되었다. HEVC는 저해상도

영상부터 초고해상도 영상까지 다양한 해상도의 영상 압축을 지원하고, 부호화 효율을 개선하기 위해 다양한 영상 압축 기술들을 포함하고 있다. HEVC는 이전 영상 압축 표준인 H.264/AVC와 비교하여 약 50% 이상 개선된 부호화 효율을 갖는다[1]. 새로운 기술들 중 화면내 예측은 현재 프레임과 가장 유사한 예측 프레임을 생성하기 위해 4x4 PU(Prediction Unit)부터 64x64 PU까지 다양한 크기의 PU에 대한 예측을 수행하고, 35개의 예측모드를 갖는다. HEVC의 화면내 예측은 많은 예측모드 수와 다양한 크기의 PU를 지원하고 참조 픽셀 및 예측 픽셀의 필터링 과정을 수행하기 때문에 하드웨어 구현시 기존 H.264/AVC에 비해 연산량과 하드웨어 면적이 많이 증가한다[2].

본 논문에서는 화면내 예측 하드웨어 구조는 4x4 PU 공통 연산기를 사용하여 하드웨어 면적은 감소 시켰으며, 32x32 PU까지 지원하는 하드웨어 구조로 설계하였다. 제안하는 하드웨어 구조는 10개의 공통 연산기를 사용하여 병렬처리함으로써 화면내 예측의 수행 사이클 수를 감소시킨다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC의 표준 화면내 예측 기술에 대해 기술하고, 3장에서는 제안하는 화면내 예측 하드웨어 구조 및 하드웨어 합성 결과를 기술한다. 마지막으로 4장에서는 본 연구의 결론을 도출한다.

II. HEVC의 화면내 예측

화면내 예측은 공간적 중복성을 제거하기 위해 사용되며 H.264/AVC는 총 9개 예측모드를 지원하는 반면에 HEVC는 총 35개 예측모드를 지원한다. 또한, HEVC는 H.264/AVC 보다 많은 참조샘플을 가지고 예측을 수행하기 때문에 보다 좋은 예측을 수행한다. 그림 1은 H.264/AVC와 HEVC의 참조샘플의 차이이다.

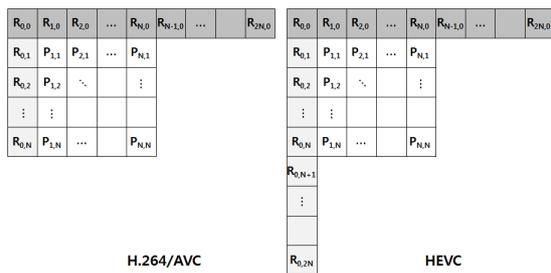


그림 1. 화면내 예측 참조샘플 차이

HEVC의 참조샘플은 R0,N+1에서 R0,2N까지 참조하여 예측샘플을 생성하기 때문에 H.264/AVC 보다 좋은 성능의 예측이 가능하다. 하지만 복잡도 면에서는 증가하는 단점을 가지고 있다.

H.264/AVC의 화면내 예측은 9개 모드를 지원하지만 HEVC의 화면내 예측은 그림 2과 같이 35

개 모드를 지원한다[3].

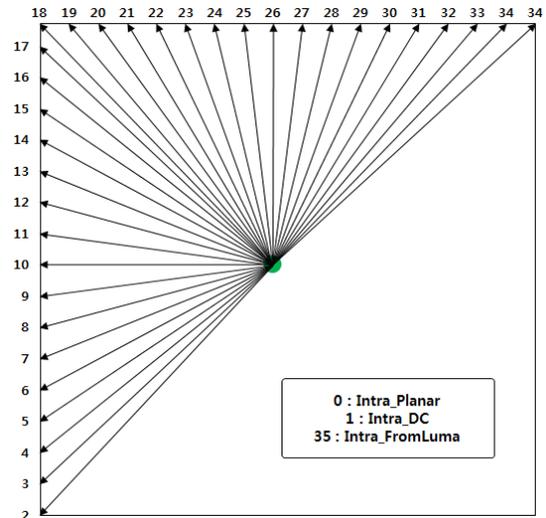


그림 2. HEVC 화면내 예측 모드

모드 0은 Intra_Planar이며, 참조샘플을 이용하여 예측샘플을 생성한다. 그림 3은 4x4 TU에서 Planar 모드 예측 방법을 나타낸 것이다.

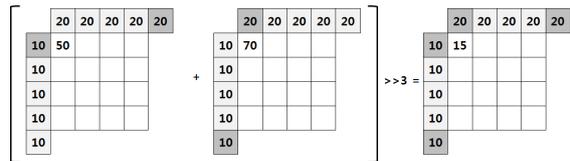


그림 3. 4x4 TU Intra_Planar

모드 1은 Intra_DC이며 참조샘플들의 평균을 이용하여 예측샘플을 생성한다. 모드 2~34는 Intra_Angular이며 예측샘플들의 방향성에 따라 참조샘플들을 연산하여 예측을 수행한다.

III. 제안하는 화면내 예측 하드웨어 구조

제안하는 화면내 예측 하드웨어 구조는 그림 4와 같이 RP_Gen 모듈, C_Unit 모듈, CP_Unit 모듈, Intra_Controller 모듈로 구분된다. RP_Gen 모듈은 외부로부터 참조샘플을 입력받아 예측샘플을 생성하는 기능을 수행하며, C_Unit 모듈은 RP_Gen 모듈에서 생성된 예측샘플과 원본샘플과의 차이를 구하는 모듈이다. CP_Unit 모듈은 최적의 블록모드를 결정하기 위한 기능을 담당하며, 각 블록모드의 잔차신호를 비교하여 최적의 블록모드를 결정한다. Intra_Controller 모듈은 각 블록모드에 따라서 RP_Gen 모듈, CP_Unit 모듈을 제어하며, 3단 파이프라인을 제어하는 기능을 수행한다.

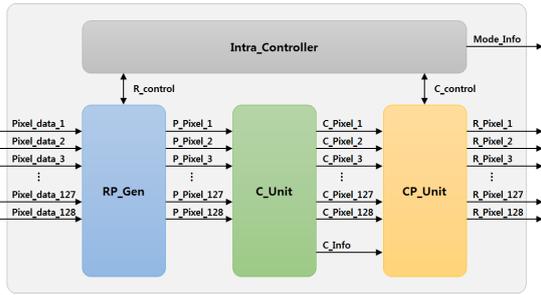


그림 4. 제안하는 화면내 예측 하드웨어 구조

그림 5는 RP_Gen 모듈 내부이며 입력부분에 스위치 모듈을 통해 32x32 PU에서 4x4 PU 크기 까지 지원한다. 스위치 모듈은 각 블록모드에 따라 입력되는 참조샘플들의 라우팅을 수행한다.

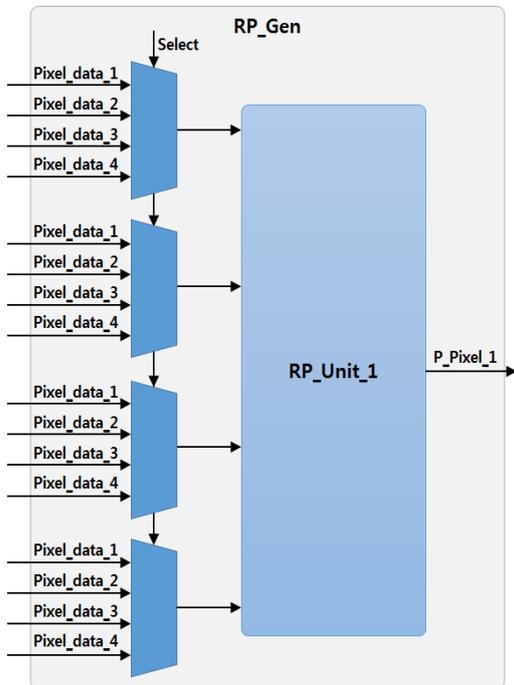


그림 5. RP_Gen 모듈 내부 구조

RP_Unit_1 모듈 내부 공통 연산기 구조는 그림 6과 같다. 예측모드에 따라 스위치 모듈에서 선택된 참조샘플들을 필터링하며, 필터링에 필요한 수식이 $P1+2P2+P3+2$ 라는 공통 수식을 가지고 있기 때문에 2P2에 대한 부분을 P2를 2번 입력하여 2P2로 연산하는 구조로 설계하였다. 총 10개의 공통연산기를 사용하여 필터링에 필요한 참조샘플들을 생성가능하다. 공통 연산기는 17개의 반가산기, 16개의 전가산기, 16개의 쉬프트 연산기로 구성되어있다. 공통 연산기 구조를 통해 하드웨어 면적을 최소화할 수 있다.

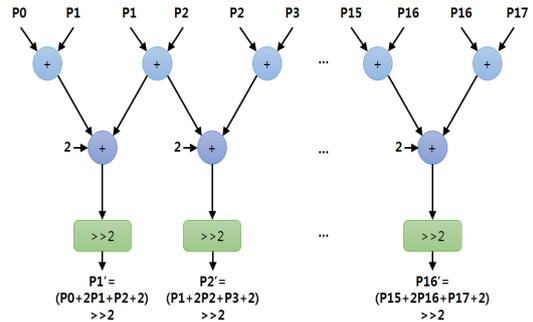


그림 6. 공통 연산기 구조

제안하는 화면내 예측 하드웨어 구조는 참조샘플 생성 작업과 연산 작업, 비교 작업의 3단계 파이프라인 구조를 가지며, 파이프라인 구조를 통해 연산시간을 최소화 하였다. 제안하는 3단계 파이프라인 구조는 그림 7과 같다.

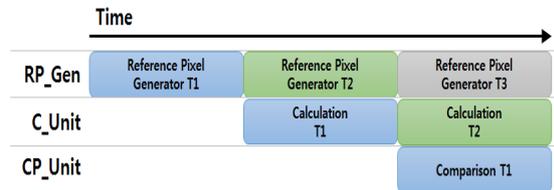


그림 7. 제안하는 3단계 파이프라인 구조

본 논문에서 제안하는 화면내 예측 하드웨어 구조는 Verilog HDL로 설계하였으며, ASIC 설계를 위한 하드웨어 합성은 IDEC에서 지원하는 CAD Tool인 Synopsys사의 Design Compiler를 통해 합성하였다. 표 1은 하드웨어 합성 결과를 나타낸다.

표 1. 하드웨어 합성 결과

Process	TSMC 0.13 μ m CMOS
Operating Frequency	150MHz for 4K@30fps
Maximum Frequency	200MHz
Cycles per 32x32 PU	360
Area(Kgates)	41.5

표 1과 같이 제안하는 화면내 예측 하드웨어 구조는 하나의 32x32 PU를 처리하는데 360 사이클을 소요하므로, 150MHz의 동작주파수에서 4K

UHD@30fps 영상을 실시간으로 처리할 수 있다.

IV. 결 론

본 논문에서는 HEVC 화면내 예측의 연산시간과 연산량, 하드웨어 면적을 최소화하기 위해 4x4 PU 블록 단위 연산기를 사용하였고, 공통 연산기 구조로 최대 32x32 PU 블록 단위까지 지원하는 방식을 채택하였다. 또한, 제안하는 화면내 예측 하드웨어 구조는 3단 파이프라인으로 연산 시간을 최소화하였다.

제안하는 하드웨어 구조를 TSMC 0.13 μ m CMOS 표준 셀 라이브러리로 합성한 결과 최대 동작 주파수는 150MHz이고, 게이트 수는 41.5k이다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 해외ICT전문인력활용촉진사업의 연구결과로 수행되었음(IITP-2015-R0134-15-1019)

참고문헌

- [1] G. J. Sullivan, J. R. Ohm, W. J. Han, and T. Wiegand, "Overview of the High Efficiency Video Coding (HEVC) Standard," IEEE Trans. Circ. and Syst. for Video Technol., vol.22, no. 12, pp. 1649-1668, Dec. 2012.
- [2] J. Lainema, F. Bossen, W. J. Han, J. Min and K. Ugur, "Intra Coding of the HEVC Standard," IEEE Trans. Circ. and Syst. for Video Tech., vol. 22, no. 12, pp.1792-1801, Dec. 2012.
- [3] "High-efficiency video coding text specification draft 10," Joint Collaborative Team on Video Coding (JCT-VC) of ITU-T VCEG, JCTVC-L1003, Jan. 2013.