

---

# 단채널 현상을 줄이기 위한 수직형 나노와이어 MOSFET 소자설계

김희진\*, 최은지\*, 신강현\*, 박종태\*

\*국립인천대학교

Device Design of Vertical Nanowire MOSFET to Reduce Short Channel Effect

Hui-jin Kim\*, Eun-ji Choi\*, Kang-hyun Shin\*, Jong-tae Park\*

\*Incheon National University

E-mail : rkdgus9329@naver.com

## 요 약

본 연구에서는 시뮬레이션을 통해 채널 폭과 채널 도핑 형태에 따른 수직형 나노와이어 GAA MOSFET의 특성을 비교, 분석하였다. 첫 번째로, 드레인의 끝부분을 20nm로 고정시키고 소스의 끝부분이 30nm, 50nm, 80nm, 110nm로 식각된 모양으로 설계한 구조의 특성을 비교, 분석하였다. 두 번째로는 드레인, 채널, 소스의 폭이 50nm로 일정한 직사각형 모양의 구조를 설계하였다. 이 구조를 기준으로 삼아 드레인의 끝부분이 20nm가 되도록 식각된 사다리꼴 모양과 반대로 소스의 끝부분이 20nm가 되도록 식각된 역 사다리꼴 모양의 구조를 설계하여 위 세 구조의 특성을 비교, 분석하였다. 마지막으로 폭 50nm의 직사각형 구조의 채널을 다섯 구간으로 나누어 도핑 형태를 다양하게 변화시킨 것의 특성을 비교, 분석하였다. 첫 번째 시뮬레이션에서는 채널 폭이 가장 작을 때, 두 번째 시뮬레이션에서는 사다리꼴 모양의 구조일 때, 세 번째 시뮬레이션에서는 채널의 중앙 부분이 높게 도핑 되었을 때 가장 좋은 특성을 보였다.

## ABSTRACT

In this work, we have analyzed the characteristics of vertical nanowire GAA MOSFET according to channel width and the type of channel doping through the simulation. First, we compared and analyzed the characteristics of designed structures which have tilted shapes that ends of drains are fixed as 20nm and ends of sources are 30nm, 50nm, 80nm and 110nm. Second, we designed the rectangular structure which has uniform width of drain, channel and source as 50nm. We used it as a standard and designed trapezoidal structure which is tilted so that the end of drain became 20nm and reverse trapezoidal structure which is tilted so that the end of source became 20nm. We compared and analyzed the characteristic of above three structures. For the last, we used the rectangular structure, divided its channel as five parts and changed the type of the five parts of doping concentration variously. In the first simulation, when the channel width is the shortest, in the second, when the structure is trapezoid, in the third, when the center of channel is high doped show the best characteristics.

## 키워드

vertical nanowire, channel width, the type of channel doping

## I. 서 론

반도체 트랜지스터의 크기는 매년 지수 함수적으로 작아져 왔다.[1] 트랜지스터의 크기가 작아짐에 따라 채널의 길이가 나노 스케일로 축소되었으며, 이로 인한 단채널 현상도 심각한 수준에 이

르려 반도체 소자의 성능을 저하시키고 있다.[2] 몇 가지 단채널 현상 중 DIBL (Drain Induced Barrier Lowering) 현상이 가장 큰 문제점으로 지적되었고 DIBL 현상을 줄이고 Subthreshold slope을 향상시키기 위한 소자의 최적화 연구가 활발히 진행되어 왔다.[3]

본 논문에서는 수직형 나노와이어 GAA 구조를 최적화시키기 위한 연구를 진행하였으며, 여러 소자 파라미터 중 채널 폭(식각 각도에 따른)과 채널의 도핑 형태에 초점을 맞추어 DIBL 과 Subthreshold slope 의 값을 시뮬레이션 통해 분석하였다. 설계한 소자는 채널의 길이가 100nm 이고 드레인의 폭을 20nm 로 고정시켰을 때, 소스의 폭은 30nm, 50nm, 80nm, 110nm 인 구조 (trape.), 드레인과 소스의 폭이 50nm 로 동일한 직사각형모양(rect.)의 구조, 드레인의 폭이 50nm 이고 소스의 폭이 20nm 인 역사다리꼴 모양 (rev\_t.)의 구조이다. 또 채널의 도핑 형태는 전체적으로 일정하게 도핑 하였을 때(uni)와 드레인 쪽으로 갈수록 도핑 농도를 점차 증가시켰을 때 (T), 소스 쪽으로 갈수록 도핑 농도를 점차 증가시켰을 때(B), 채널의 가운데 부분 쪽으로 갈수록 도핑 농도를 점차 증가시켰을 때(C), 마지막으로 채널의 양 끝 부분 쪽으로 갈수록 도핑농도를 점차 증가시켰을 때(T&B)에 대해 분석해보았다.

### II. 소자 시뮬레이션

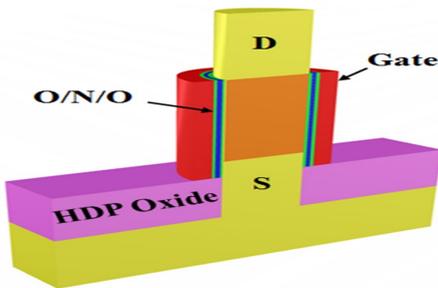


그림 1. 수직형 나노와이어 GAA MOSFET 소자구조

그림 1은 수직형 나노와이어 GAA MOSFET의 소자 구조를 나타낸 것이다.[4][5][6] Atlas의 devedit 3D로 채널의 폭은 50nm, 길이는 100nm, 드레인과 소스의 길이는 50nm, 게이트와 산화층의 두께는 각각 10nm와 3nm로 설계하였다.[7]

### III. 결과 및 고찰

#### 3.1 채널 폭에 따른 소자 특성

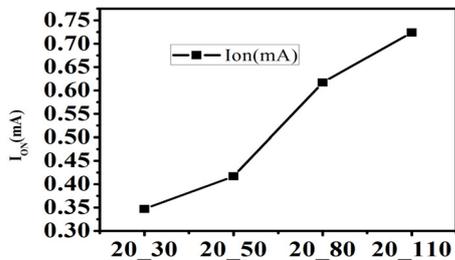


그림 2. 채널 폭에 따른 ON 전류

그림 2는 수직형 나노와이어 MOSFET의 채널 폭에 따른 ON 전류를 나타낸 그래프이다. 채널 폭이 커질수록 저항이 작아져 ON 전류가 많이 흐르는 것을 확인할 수 있었다.

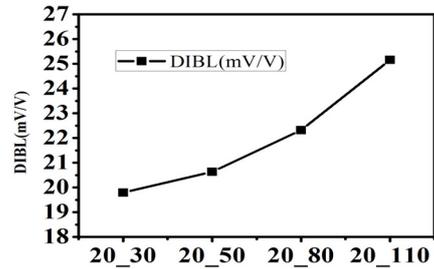


그림 3. 채널 폭에 따른 DIBL

그림 3은 채널 폭에 따른 DIBL을 나타낸 그래프이다. 수직형 나노와이어 MOSFET 구조에서 채널 폭이 커지는 것은 MOSFET에서 소스와 드레인의 접합 깊이가 커지는 것을 의미한다. 접합 깊이가 커질수록 단채널 현상이 커지므로 채널 폭이 커짐에 따라 DIBL이 커지는 현상을 확인할 수 있었다.

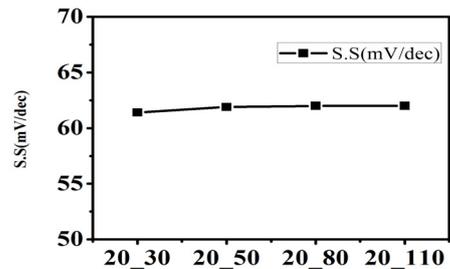


그림 4. 채널 폭에 따른 Subthreshold slope

그림 4은 채널 폭에 따른 Subthreshold slope을 나타낸 그래프이다. 채널 폭이 커질수록 채널의 두께가 두꺼워지므로 Subthreshold slope이 나빠지게 되는데, 미세한 차이지만 채널 폭이 커짐에 따라 Subthreshold slope이 커지는 것을 확인할 수 있었다.[8]

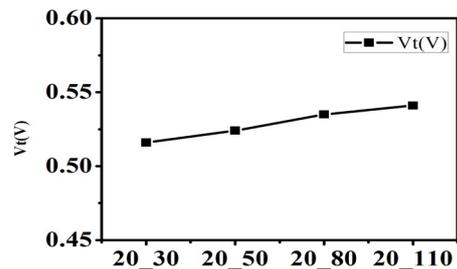


그림 5. 채널 폭에 따른 문턱전압

소자의 폭이 커질수록 문턱전압도 커지게 되는데, 그림 5는 채널 폭에 따른 문턱전압을 나타낸 그래프로써 이와 같은 경향을 잘 보여주고 있다.[9]

### 3.2 소자 구조에 따른 소자 특성

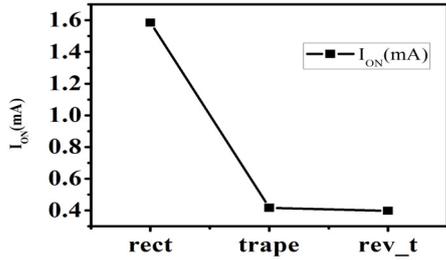


그림 6. 소자 구조에 따른 on 전류

그림 6은 소자 구조에 따른 ON 전류를 나타낸 그래프이다. 그림 2에 대해 언급하면서 설명하였듯이, 채널 폭이 커질수록 저항이 작아져 ON 전류가 많이 흐른다. 직사각형모양(rect)이 사다리꼴모양(trape) 보다 채널 폭이 더 크므로 저항이 작아 ON 전류가 더 많이 흐르고, 사다리꼴모양과 역사다리꼴모양(rev\_t)은 ON 전류가 거의 비슷함을 확인할 수 있었다.

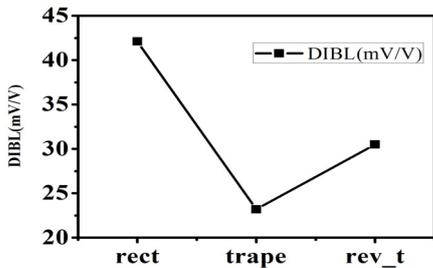


그림 7. 소자 구조에 따른 DIBL

그림 7은 소자 구조에 따른 DIBL을 나타낸 그래프이다. 직사각형 모양에서의 드레인의 영역이 사다리꼴 모양 보다 더 크므로 드레인이 채널에 미치는 영향이 더 크게 작용한다. 따라서 직사각형모양의 DIBL이 사다리꼴모양의 DIBL 보다 더 큰 것을 확인할 수 있었다. 사다리꼴 모양과 그것을 반전시킨 모양을 비교한 경우에는 반전시켰을 때의 드레인의 영역이 더 크므로 DIBL도 크게 나타남을 확인할 수 있었다.

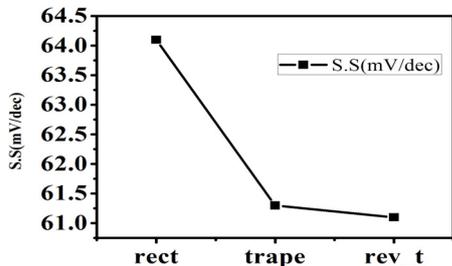


그림 8. 소자 구조에 따른 Subthreshold Slope

그림 8은 소자 구조에 따른 Subthreshold Slope 을 나타낸 그래프이다. 채널의 두께가 감소할수록

Subthreshold slope이 향상되는데, 직사각형 모양과 사다리꼴 모양 중 사다리꼴 모양의 채널 두께가 더 작으므로 아주 큰 값의 차이는 아니지만 사다리꼴 모양의 Subthreshold Slope이 더 작은 것을 확인할 수 있었다. 사다리꼴 모양과 그것을 반전시킨 모양은 채널의 두께가 거의 비슷하므로 Subthreshold Slope도 비슷하게 나온 것을 확인할 수 있었다.

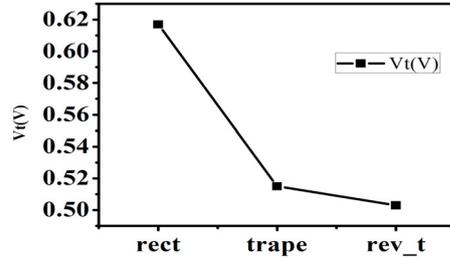


그림 9. 소자 구조에 따른 문턱전압

그림 9는 소자 구조에 따른 문턱전압을 나타낸 그래프이다. 이 경우도 그림 5에서 설명한 듯이, 소자의 폭이 더 큰 직사각형 모양이 사다리꼴 모양 보다 문턱전압이 더 큰 것을 볼 수 있었다.

### 3.3 채널 도핑 형태에 따른 소자 특성

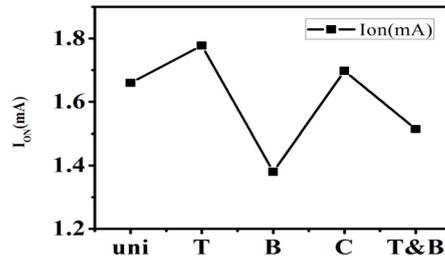


그림 10. 채널 도핑 농도에 따른 ON 전류

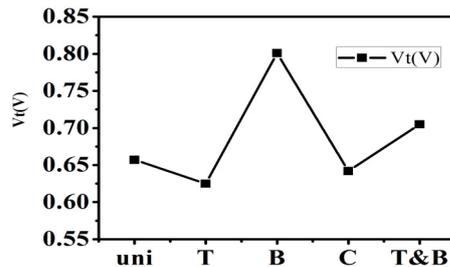


그림 11. 채널 도핑 형태에 따른 문턱전압

그림 10은 채널 도핑 형태에 따른 ON 전류를 나타낸 그래프이고, 그림 11은 채널 도핑 형태에 따른 문턱전압을 나타낸 그래프이다. 문턱전압이 작을수록 전류가 크다는 것을 확인할 수 있었다.

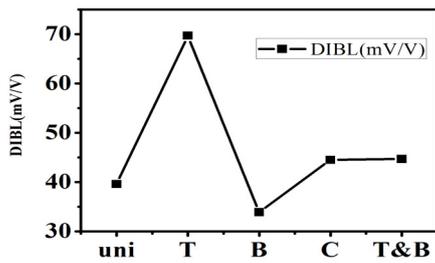


그림 12. 채널 도핑 형태에 따른 DIBL

그림 12는 채널 도핑 형태에 따른 DIBL을 나타낸 그래프이다.[10] T가 상대적으로 드레인 쪽의 도핑 농도가 높기 때문에 게이트 전압보다 드레인 전압의 영향을 더 많이 받아 DIBL이 가장 높게 나타남을 볼 수 있었다. 반대로 B는 상대적으로 드레인 쪽의 도핑 농도가 낮기 때문에 드레인 전압의 영향을 적게 받아 DIBL이 가장 낮게 나타남을 볼 수 있었다. C와 T&B를 비교했을 때도 드레인과 가까운 부분의 도핑이 높은 T&B가 큰 차이는 아니지만 DIBL이 높게 나타남을 확인할 수 있었다.

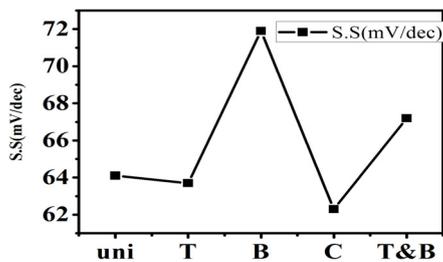


그림 13. 채널 도핑 형태에 따른 Subthreshold slope

그림 13은 채널 도핑 형태에 따른 Subthreshold Slope을 나타낸 그래프이다. Subthreshold Slope은 C, T, uni, T&B, 그리고 B순으로 증가하는 것을 확인할 수 있었다.

#### IV. 결 론

본 연구에서는 시뮬레이션을 통해 채널 폭과 채널 도핑 형태에 따른 수직형 나노와이어 GAA MOSFET의 특성을 비교, 분석하였다. 첫 번째 시뮬레이션에서는 드레인의 폭은 20nm, 소스의 폭은 30nm일 때가 단채널 현상이 가장 적게 나타났다. 두 번째로는 사다리꼴 모양의 구조가 단채널 현상이 가장 적게 나타났다. 세 번째로는 채널 도핑 형태가 C일 때 단채널 현상이 가장 적게 나타났다.

이 연구를 통해 폭이 작을수록 게이트 조절능력이 향상되어 단채널 현상인 DIBL과 Subthreshold Slope이 줄어든 것을 알 수 있었다.[11] 또한 채널 도핑 농도가 채널의 중심으로 갈수록 높을 때 상

대적으로 드레인 전압의 영향이 적어 DIBL이 작아짐을 알 수 있었다.

수직형 나노와이어 MOSFET 소자설계시 상에서 언급한 소자 파라미터를 고려하면 단채널 현상을 줄일 수 있다고 사료된다.

#### 참고문헌

- [1] 황성우, “나노와이어 트랜지스터”, 물리학과 첨단기술의 세계, 29쪽, 2007년 7/8월.
- [2] F.-L. Yang, D.-H. Lee, H.-Y. Chen, C.-Y. Chang, S.-D. Liu, C.-C. Huang, T.-X. Chung, H.-W. Chen, C.-C. Huang, Y.-H. Liu, C.-C. Wu, C.-C. Chen, S.-C. Chen, Y.-T. Chen, C.-J. Chen, B.-W. Chan, P.-F. Hsu, J.-H. Shieh, H.-J. Tao, Y.-C. Yeo, Y. Li, J.-W. Lee, P. Chen, M.-S. Liang, and C. Hu, “5nm- Gate Nanowire FinFET,” Symposium on VLSI Technology, p.196, 2004.
- [3] Wei Lu, Member, IEEE, Ping Xie, Charles M. Lieber, “Nanowire Transistor Performance Limits and Applications”, IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 55, no. 11, p.2859, Nov 2008.
- [4] Chi Woo Lee, Serena Yun, Chong Gun Yu, and Jong Tae Park, “A study on the device structure optimization of nano-scale MuGFETs”, 전자공학회 논문지, 제 43권 SD 편, 제 4호, pp. 269-270, Apr 2006.
- [5] J.-T. Park, J.-P. Colinge, and C. H. Diaz, “Pi-Gate SOI MOSFET”, IEEE Electron Device Letters, vol. 22, no. 8, pp. 405-406, Aug 2001.
- [6] Jae-Sub Oh, Seong-Dong Yang, Sang-Youl Lee, Young-Su Kim, Min-Ho Kang, Sung-Kyu Lim, Hi-Deok Lee, Ga-Won Lee, “Tunneling oxide engineering by ion implantation of nitrogen for 3D vertical silicon pillar SONOS flash memory”, Microelectronic Engineering, vol. 103, pp. 33-35, 2013.
- [7] <http://www.silvaco.com/>
- [8] 정학기, “이중게이트 MOSFET에서 채널도핑농도에 따른 문턱전압이하 특성 분석”, 한국정보통신학회논문지, 제12권, 제10호, 1842쪽, 2008년 10월.
- [9] 박찬훈, “실리콘 나노와이어 FET 제작 및 그 전기적 특성”, 석사학위논문, p. 34, 2010.
- [10] 정학기, “채널도핑강도에 대한 이중게이트 MOSFET의 DIBL분석”, 한국정보통신학회논문지, 제16권, 제3호, 583쪽, 2012년 3월.
- [11] Seung-Dong Yang, Jae-Sub Oh, Ho-Jin Yun, Kwang-Seok Jeong, Yu-Mi Kim, Sang Youl Lee, Hi-Deok Lee, Ga-Won Lee, “The Short Channel Effect Immunity of Silicon Nanowire SONOS Flash Memory Using TCAD Simulation”, TRANSACTIONS ON ELECTRICAL AND ELECTRONIC MATERIALS, vol. 14, no. 3, p. 139, Jun 2013.