
채널 폭에 따른 나노와이어 GAA MOSFET의 GIDL 전류 특성

제영주*, 신혁*, 지정훈*, 최진형* 박종태*

*인천대학교

GIDL current characteristic in nanowire GAA MOSFETs with different channel Width

Yeong-ju Je*, Hyuck Shin*, Jung-hoon Ji*, Jin-hyung Choi*, Jong-tae Park*

*Incheon National University

E-mail : kawasakikoko@gmail.com

요 약

본 연구에서는 채널 폭 변화에 따른 나노와이어 GAA 소자의 GIDL 전류 (Gate Induced Drain Leakage Current)를 측정하고, hot carrier 스트레스를 인가하였을 때 소자의 GIDL전류특성 변화를 분석하였다. 소자의 길이는 250nm로 고정시키고 채널 폭이 10nm, 50nm, 80nm, 130nm인 소자들을 사용하여 측정하였다. 스트레스 전의 소자를 측정한 결과 채널 폭이 감소할수록 GIDL전류가 증가하였고, 채널 폭이 증가할수록 구동전류는 증가함을 확인하였다. Hot carrier 스트레스에 따른 GIDL 전류 측정값의 변화율은 채널 폭이 감소할수록 큰 변화율을 보였다. 또한, 채널 폭이 감소할수록 또 hot carrier 스트레스 후 GIDL 전류가 증가하는 이유를 소자 시뮬레이션을 통하여 확인하였다.

ABSTRACT

In this work, the characteristics of GIDL current in nanowire GAA MOSFET with different channel width and hot carrier stress. When the gate length is fixed as a 250nm the GIDL current with different channel width of 10nm, 50nm, 80nm, and 130nm have been measured and analyzed. From the measurement, the GIDL is increased as the channel width decreases. However, the derive current is increased as the channel width increases. From measurement results after hot carrier stress, the variation of GIDL current is increased with decreasing channel width. Finally, the reasons for the increase of GIDL current with decreasing channel width and r device. according to hot carrier stress GIDL's variation shows big change when width and the increase of GIDL current after hot carrier stress are confirmed through the device simulation.

키워드

Nanowire GAA MOSFET, GIDL current, Hot carrier stress,

I. 서 론

무어의 법칙(Moore's law)에 따른 planar 구조 MOSFET의 미세화가 나노 스케일로 축소되므로 기존의 MOSFET에서는 누설전류 증가에 따른 전력 소비 증가가 집적회로의 bottle-neck 이 되고 있다. 여러 가지의 누설 전류 중에서 게이트와 드레인의 overlap 영역에서 발생하는 GIDL 또는 Band To Band Tunneling (BTBT) 전류는 축소화된 소자에서 더욱 심각한 문제점으로 부각되고 있다.[1][3] 또한, 저전력 CMOS 소자의 동작 특성과 신뢰성을 결정하는데 있어서 누설전류는 점점 더 중요한 요소가 되고 있다.[7][8]

본 논문에서는 나노와이어 GAA MOSFET을 사용하여 채널 폭의 변화와 hot carrier 후에 증가하는 GIDL 전류를 측정하고 분석하였다. 사용된 소자는 게이트 길이가 250nm 이고 채널 폭은 10nm, 50nm, 80nm, 130nm 이다. 또 hot carrier 인가하기 전과 후의 채널 폭 별로 GIDL 전류의 변화 정도를 비교하였다. 마지막으로 시뮬레이션을 통하여 전계 분포를 비교 및 분석하여 채널 폭에 따른 GIDL 전류 특성을 분석하였다.

II. 측정에 사용된 소자사양 및 시뮬레이션

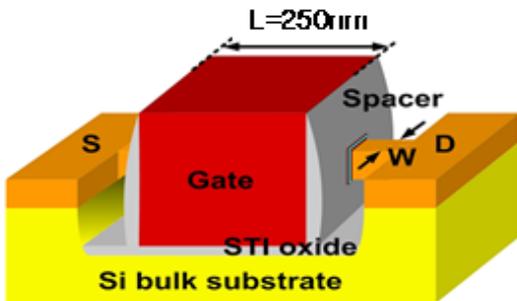


그림 1. 나노와이어 GAA MOSFET 소자 구조

그림 1은 나노와이어 GAA MOSFET의 소자 구조를 나타낸 것이다. Bosch process 방식으로 P-type (100)기판에 채널 폭은 10nm~130nm, 높이는 10nm, 채널 길이는 250nm로 제작되었다. 반응성 이온 식각(reactive-ion-etching)을 통해 채널과 기판을 분리하고 두께가 70nm인 TEOS를 STI방식으로 격리하였다. LPCVD 방식을 이용하여 터널링 옥사이드 2nm, 트랩 층 2nm 와 차단 옥사이드 2nm를 증착하였으며 총 옥사이드 두께는 6nm이다. 3차원 소자 시뮬레이터인 ATLAS 소프트웨어를 사용하여 GIDL 전류 측정조건에서 구한 표면 전계를 통하여 측정결과를 확인하였다.

III. 결과 및 고찰

3.1 채널 폭에 따른 GIDL전류

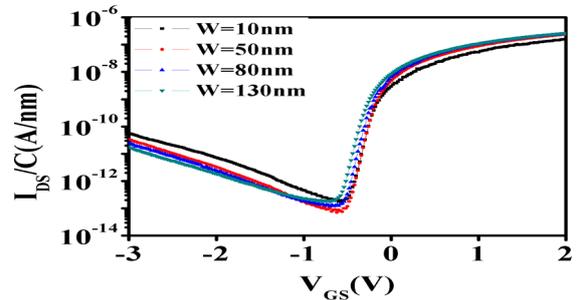


그림 2. 채널 폭에 따른 GIDL

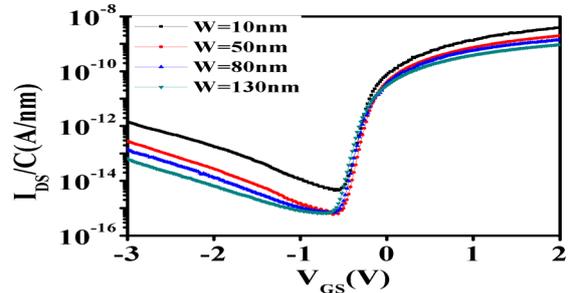


그림 3. 둘레로 나눈 채널 폭에 따른 GIDL

그림 2는 스트레스트전의 나노와이어 GAA MOSFET의 채널 폭 변화에 따른 GIDL 전류와 ON 전류를 나타낸 그래프이다. 채널 폭이 작을수록 GIDL 전류가 증가함을 확인할 수 있었고, 반대로 ON 전류는 채널 폭이 큰 소자가 큰 것을 확인할 수 있었다. GIDL 전류가 채널의 전체 둘레 길이 때문에 폭에 따라 다른지를 확인하기 위하여 둘레길이에 따른 GIDL 전류를 분석하였다. 그림 3은 초기 나노와이어 GAA MOSFET의 채널 폭 변화에 따른 GIDL을 둘레($C=높이 \cdot 2 + 채널 폭 \cdot 2$)로 나눈 그래프로서 GIDL 전류의 특성은 변하지 않게 나타났다. 그림 3으로부터 채널 폭이 작을 수록 GIDL 전류 밀도가 더 큰 것으로 해석할 수 있다.

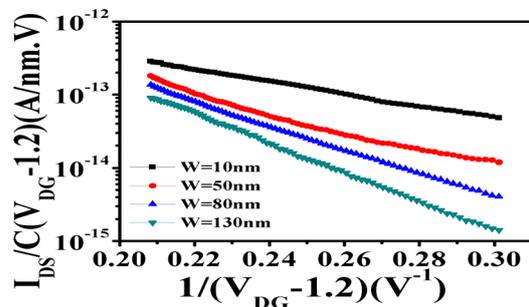


그림 4. $\ln[Id_s/(V_{ds}-1.2)]$ 와 $1/(V_{ds}-1.2)$ 관계

그림 4는 그림 1의 측정 결과를 분석하기 위하여 $\ln[I_{DS}/(V_{DS}-1.2)C]$ 와 $1/(V_{DS}-1.2)$ 관계를 나타낸 것이다. 일반적으로 GIDL 전류 밀도는 다음 식 (1)과 같이 표현된다.

$$J = A \cdot E_s \cdot \exp(-B/E_s) \quad (1)$$

여기서 A는 pre-exponential 변수이고, B는 유효질량이 포함된 물리적인 의미가 부여된 변수이다. 그리고 E_s 는 표면에서의 수직전계로 수식 (2)와 같이 표현된다. [2]

$$E_s - 3D = \frac{V_{DG} - 1.2}{3R \ln(1 + T_{OX}/R)} \quad (2)$$

여기서 R은 나노와이어 반경으로 본 연구에서는 채널 폭에 해당한다. 수식 (2)를 (1)에 대입하여 x축은 $1/(V_{DS}-1.2)$ y축은 $\ln[I_{DS}/(V_{DS}-1.2)W_{eff}]$ 평면으로 간략화하여 분석하였고, V_{GS} 가 음의 방향으로 커지면 수식 (2)에 의해 R이 감소할수록 E_s 가 증가하였다. 그러므로, 채널 폭이 작은 소자일수록 그래프의 기울기가 완만해짐을 알 수 있었고, GIDL 전류가 커짐을 확인하였다. [11]

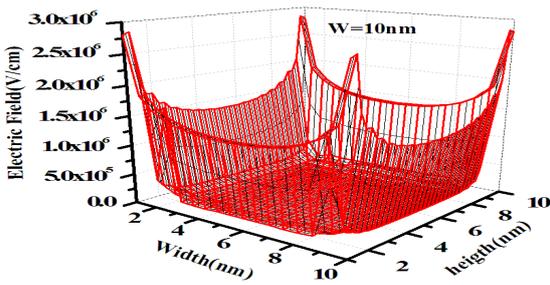


그림 5-a. 채널 폭 10nm일 때의 전계 분포도

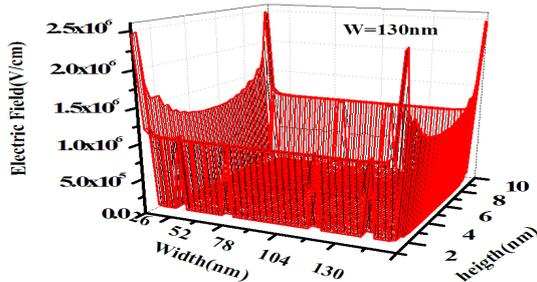


그림 5-b. 채널 폭 130nm일 때의 전계 분포도

그림 5-a와 b는 소자 시뮬레이션으로 구한 채널 폭이 10nm, 130nm일 때의 전계 분포도를 나타낸 것이다. 시뮬레이션은 $V_G = -3V$, $V_D = 1V$ 로 설정하였다. 채널 폭이 10nm, 130nm인 소자 모두 가장자리 부분에서 전계가 가장 크게 나타남을 볼 수 있었고, 채널 폭이 작을수록 E_s 가 큰 것을 시뮬레이션을 통해 검증하였다. 결국 채널 폭이 작을수록 GIDL 전류가 증가한 것은 채널 폭이 작을수록 표면 전계가 증가하게 되고 이로

인하여 GIDL 전류 밀도가 크기 때문에 사료된다.

3.2 Hot Carrier 현상에 의한 GIDL 특성

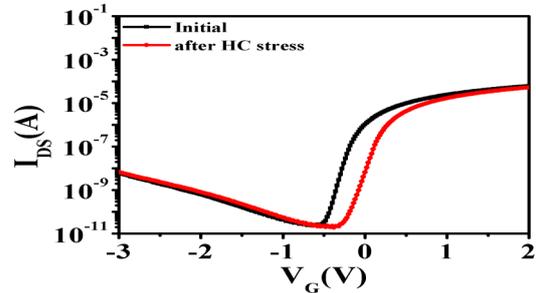


그림 6. Hot carrier 스트레스 전/후의 게이트 전압-전류 특성

그림 6은 hot carrier 스트레스 전/의 게이트 전압-드레인 전류 특성을 나타낸 것이다. 그림으로부터 hot carrier 스트레스를 인가한 후에 GIDL 전류는 증가하였고, 구동전류는 감소함을 알 수 있다. 스트레스 후에 GIDL 전류가 증가한 것은 스트레스로 인하여 계면상태 밀도가 증가하게 되고 이로 인하여 가전대와 전도대 사이의 터널링 전류가 증가했기 때문이다. 그리고 스트레스 후에 드레인 전류가 감소한 것은 계면상태에 전자가 트랩핑되어 음전하를 만들게 되므로 문턱전압의 증가와 더불어 전류가 감소하게 된다.[13]

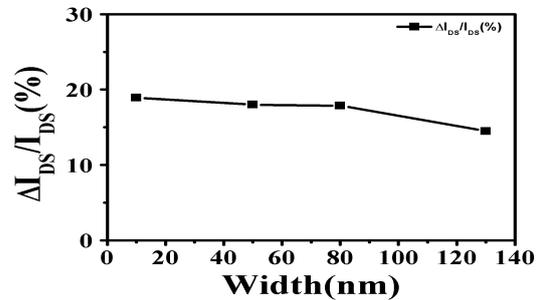


그림 7. 채널 폭에 따른 $\Delta I_{DS}/I_{DS}(\%)$

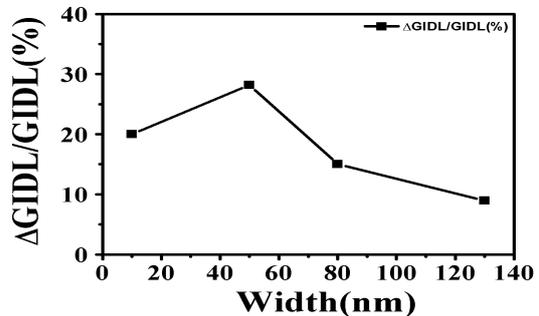


그림 8. 채널 폭에 따른 $\Delta GIDL/GIDL(\%)$

그림 7과 8은 스트레스 전/후의 채널 폭에 따른 구동전류 변화율과 GIDL 변화율을 나타낸 그래프

이다. 그림7로부터 스트레스 후에 드레인 전류 변화율은 채널 폭이 감소할수록 큰 것을 알 수 있다. 이는 이미 발표된 다른 연구결과와 같은 것으로 채널 폭이 작을수록 게이트 쪽으로 향하는 수직전계가 크기 때문이다. [4] 그리고 그림8로부터 GIDL 변화율은 채널 폭이 감소함에 따라 증가하는 것을 알 수 있다. 그림에서 채널 폭 50nm 소자가 채널 폭 10nm소자보다 큰 것은 측정 오류로 사료된다. 전체적으로 채널 폭이 감소할수록 계면상태 밀도 생성이 많으며 이로 인하여 드레인 전류 변화율과 GIDL 전류 변화율이 증가하는 것으로 사료된다.

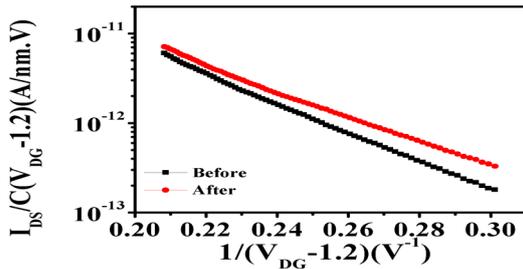


그림 9. hot carrier 스트레스 전후의 $\ln[I_{DS}/(V_{DS}-1.2)C]$ 와 $1/(V_{DS}-1.2)$ 관계 ($W=80nm$)

그림 9는 hot carrier 스트레스 전후의 $\ln[I_{DS}/(V_{DS}-1.2)C]$ 와 $1/(V_{DS}-1.2)$ 관계를 나타낸 것이다. 일반적으로 hot carrier 스트레스 전과 후의 식(1)의 변수 B는 식(3)과 식(4) 에서 (4)와 같은 수식으로 모델링된다.[5][6]

$$B = \frac{\pi m_r^{1/2} E_g^{3/2}}{2qh} \quad (3)$$

$$B_i = \frac{\pi m_r^{1/2} (E_c - E_t)^{3/2}}{2qh} \quad (4)$$

여기서 m_r 은 유효질량, E_t 는 에너지밴드의 중앙에 위치한 계면 전하의 에너지 레벨을 의미한다. hot carrier 스트레스 이후에 m_r 은 같지만 에너지 갭($E_c - E_v$)은 생성된 계면 전하의 에너지에 의해서 $E_c - E_t$ 로 감소하게 된다. 그러므로, 변수 B는 hot carrier 스트레스를 인가한 후에는 감소하게 되고 그림 9와 같이 기울기가 완만해짐을 확인할 수 있다. [9]

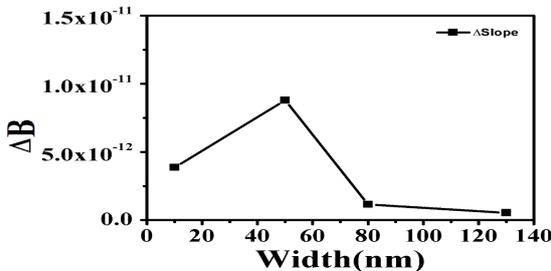


그림 10. 채널 폭에 따른 $\ln[I_{DS}/(V_{DS}-1.2)C]$ 와 $1/(V_{DS}-1.2)$ 관계 그래프의 기울기 변화

그림 10은 전체 채널 폭에 따른 $\ln[I_{DS}/(V_{DS}-1.2)C]$ 와 $1/(V_{DS}-1.2)$ 관계 그래프의 기울기 변화인 변수 B의 변화를 나타낸 것이다. 그림으로부터 채널 폭이 작을수록 변수 B의 변화율이 증가하는 것을 알 수 있다. 채널 폭 50nm 소지의 변수 B변화가 큰 것은 앞에서 서술한 것과 같이 측정 오류로 사료된다. 즉 채널 폭이 작을수록 hot carrier에 의한 소자 열화가 심하므로 변수 B의 변화율은 증가되어야 되는 것으로 사료된다. 커지는 것을 알 수 있었다. [12]

IV. 결 론

채널 폭에 따른 나노와이어 GAA MOSFET를 사용하여 hot carrier 스트레스 전/후의 GIDL 전류 특성을 측정 분석하였다. Hot carrier 스트레스 전의 GIDL 전류는 채널 폭이 작을수록 큰 것을 알 수 있었다. 이는 소자 시뮬레이션 결과와 같이 채널 폭이 작을수록 표면 전계가 증가하기 때문이다. Hot carrier 스트레스 후의 GIDL 전류는 증가하는 것을 알 수 있었는데 이는 스트레스 후에 드레인 전류 증가가 큰 것으로부터 계면 전하 밀도가 증가하였기 때문이다. 특히 채널 폭이 감소할수록 스트레스 후에 드레인 전류 변화율과 GIDL 전류가 증가하는 것을 알 수 있었다. 이는 스트레스 후에 생성된 계면전하의 에너지 레벨이 에너지 갭내의 중앙에 위치하고 이로 인하여 밴드 사이에 터널링 전류가 증가하였기 때문이다.

참고문헌

- [1] Sang Gu Jung, "Optimization In SONOS Flash Memory Device Based On The Charge Detection Methode Using GIDL Current : GIDL 전류를 이용하여 저장된 전하를 검출하는 SONOS 플래시 메모리의 최적화" (2012).
- [2] Yang-Kyu CHOI, Daewon HA, Tsu-Jae KING and Jeffrey BOKOR, "Investigation of Gate-Induced Drain Leakage(GIDL) Current in Thin Body Devices: Single-Gate Ultra-Thin Body, Symmetrical Double-Gate, and Asymmetrical Double-Gate MOSFETs" (2003).
- [3] T.Hoffmann, G.Doornbos, I. Ferain, N. Collaert, P. Zimmerman, M. Goodwin, R. Rooyackers, A. Kottantharayil, Y. Yim, A. Dixit, K. De Meyer, M. Jurczak and S. Biesemans "GIDL (Gate-Induced Drain Leakage) and Parasitic Schottky Barrier Leakage Elimination in Aggressively Scaled HfO2/TiN FinFET Devices" EEE electron device letters Pages: 725 - 728 (2005)
- [4] Jae HOON LEE, Hong Tae Park, "Crystallographic-orientation-dependent GIDL current in Tri-gate MOSFETs under hot carrier stress"(2014)
- [5] A. Bouhdada, S. Bakkali, A. "Touhami Modelling of gate-induced drain leakage in relation to technological parameters and temperature" (1977)
- [6] Tahui Wang, Tse-En Chang and Chimoon

- Huang, "Interface Trap Induced Thermionic and Field Emission Current in Off-State MOSFET's" IEEE electron device letters Pages: 161 - 164 (1944)
- [7] T. T. Zeru et al, "Implementation of electrochemical methods for metrology and analysis of nano electronic structures of deep trench DRAM" (2012)
- [8] Sang bin Jeong, Sungwon Yoo, Hyunseul Lee, Youngsoo Seo, Hyoungwoo Ko, Kyul Ko, Hyunok Jeon and Hyungcheol, Shin "New method for extracting Gate Induced Drain Leakage (GIDL) at planar MOSFET using new method" (2015)
- [9] Ng R, Wang T, Liu F, Zuo X, Chan M. "Vertically stacked silicon nanowire transistors fabricated by inductive plasma etching and stress-limited oxidation." IEEE electron device letters vol. 30, Pages: 520 - 522 (2009)
- [10] N. Din, V. Mohan, A. Kumar, J. Vasi, V. Ramgopal, B. Cheng, et al. "Analysis of floating body effects in thin film conventional and single pocket SOI MOSFETs using the GIDL current technique" IEEE electron device letters vol. 23, Pages: 209 - 211 (2002)
- [11] Solomon P, Laux S, Shi L, Cai J, Haensch W. "Experimental and theoretical explanation for the orientation dependence gate-induced drain leakage in scaled MOSFETs. In: Device research" IEEE electron device letters Pages: 263 - 264 (2009)
- [12] Chan T, Chen J, Ko P, Hu C. "The impact of gate-induced-drain leakage current on MOSFET scaling." IEEE electron device letters vol. 33, Pages: 718 - 721 (1987)
- [13] M. Satish, S.Manhas, K. Gaurav, et al. "Vertical silicon nanowire gate-all-around field effect transistor based nanoscale CMOS" IEEE electron device letters vol. 32, no. 8 (2011)