

# 불평등 부하 상태에서의 전하 균등화를 위한 연속모드 결합 인덕터 벽 플라이백 컨버터 설계

박정현, 박종후  
승실대학교

## Design to Continuous Conduction Mode Coupled-Inductor Buck-Flyback converter for charge balancing under unbalanced loads

Jeong Hyun Park, Joung Hu Park  
Soongsil University

### ABSTRACT

본 논문에서는 새로이 제안되는 연속모드 벽 플라이백 컨버터를 사용하여 차지 밸런싱 방법을 제안한다. 이 컨버터는 벽 컨버터의 고효율과 플라이백 컨버터의 다출력에 초점을 맞추었다. 기존의 플라이백 컨버터는 효율이 떨어지는 단점을 지니고 있기에 온 타임에는 벽 컨버터를 이용, 오프타임에는 플라이백 컨버터를 이용하여 기존 플라이백 컨버터의 단점을 보완시켰다. 차지 밸런싱이 가능한 방법을 제안하며, 부하를 출력단의 개수에 맞추어 나누어 차지 밸런싱을 맞추었다. 그에 따른 조건에 대한 식을 증명하였고, 실제로 100W급 하드웨어를 제작하여 제안되는 회로를 검증하였다.

### 1. 서 론

근래에는 신재생에너지를 저장할 수 있는 고용량 저장 수단에도 연구를 진행 중에 있다. 하지만 현재 신재생에너지 발전 시스템은 복수의 입력전원으로부터 전력을 부하로 공급하는 구조를 가지고 있는데, 이 입력전원은 독립적으로 구성되어 있고, 최대 전력점이 다르기 때문에 밸런싱 회로가 없는 경우 각각의 직렬형 저장장치 충전량에 편차가 생길 수 있다. 이러한 단점을 보완하기 위해 직류 직류 컨버터에 차지 밸런싱 회로를 추가한 회로를 제안한다.

기존의 차지 밸런싱이 추가된 컨버터가 아닌 새로이 제안하는 이 컨버터는 단일 결합 인덕터로 구성된 벽 컨버터와 플라이백 컨버터를 제안하여 고효율의 차지 밸런싱 컨버터를 검증하였다. [2]

### 2. 본 론

#### 2.1 다 출력 벽-플라이백의 동작특성

제안된 논문의 회로는 그림1과 같은 회로로써 변압기를 기준으로 1차측은 벽 컨버터, 2차측은 다출력 플라이백 컨버터로 구성되어 있다. 회로의 모드는 온 타임과 오프 타임 두 가지 모드로 나뉘어 있으며, 회로해석은 기존의 벽 컨버터와 플라이백 컨버터의 회로해석과 동일하다.[2]

#### 2.1.1 벽-플라이백 컨버터의 회로해석

본 논문의 회로에서는 벽 컨버터와 플라이백 컨버터를 이용했으므로 온 타임 일 때 식(1) 오프타임 일 때 식(2)를 연립하

여 식 (3)을 구할 수 있다 [1]

$$(\Delta i_{L_m})_{closed} = \left( \frac{V_s - V_o}{L_m} \right) DT \quad (1)$$

$$(\Delta i_{L_m})_{open} = \frac{-V_o(1-D)T}{2L_m} \left( \frac{N_1}{N_2} \right) \quad (2)$$

$$\frac{V_o}{V_i} = \frac{D}{D + \frac{N_1(1-D)}{2N_2}} \quad (3)$$

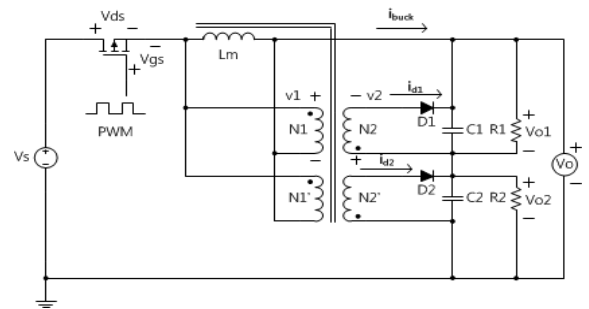


그림 1. 다 출력 벽 플라이백 컨버터 구조

#### 2.1.2 벽-플라이백 컨버터의 밸런싱 원리와 조건

본 논문 회로의 밸런싱은 등가적으로 아날로그 AND를 기본 원리로 하고 있다. 즉 그림1에서의 다이오드 중에서 부하에 걸리는 전압이 작게 걸리는 쪽으로 전류가 흐르게 된다.

다시 말해 온 타임일 때 양 부하는 크기가 다르기 때문에 다른 값의 전압을 띄게 되고 오프 타임일 때 다이오드에 흐르는 전류로 인하여 양 부하에 걸리는 전압을 밸런싱 해준다.

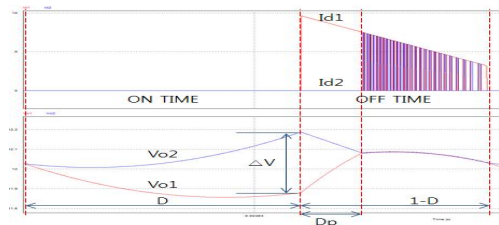


그림2. 다이오드 전류, 출력 전압 파형

(1) 스위치 온 타임

해석을 하기 위해서는 부하  $R1 < R2$ 라 가정하였다.

그림2와 같이 각 전압의 변화량을 계산하기 위해서 부하와 병렬로 연결된 커패시터의 전압을 이용할 수 있다.

$$\Delta V_{o1(OV)} = \int_0^{DT} (i_{Lm} - i_{o1}) dt \quad (4)$$

$$\Delta V_{o2(OV)} = \int_0^{DT} (i_{Lm} - i_{o2}) dt \quad (5)$$

$$\Delta V = \Delta V_{o2(OV)} - \Delta V_{o1(OV)} \quad (6)$$

(2) 스위치 오프 타임

커패시터 전압 공식은 다음과 같다.

$$\Delta V_{o1(OFF)} = \frac{1}{C} \int_{DT}^{D_p T} (i_d - i_{o1}) dt \quad (7)$$

식(7)을 이용하여 첫 번째 부하의 전압 변화량을 구할 수 있다. 오프 타임일 때 전류흐름은 그림1의 플라이백 회로는 작동하지 않고 오로지 벡 회로만 작동한다. 그러므로  $i_c = i_d - i_{o1}$ 이 성립이 된다.

그림2에서의 오프 타임은  $D_p$ 까지  $I_{d1}$ 이 흐르지 않는다. 이는 플라이백 컨버터회로 즉, 아날로그 AND회로의 특성을 이용하여 전압이 더 작은  $R1$ 으로 흐르게 되고, 마침내  $V_{o1}$ 이  $V_{o2}$ 보다 커졌을 때  $D_p$ 구간은 끝나게 되고 이후  $V_{o1}$ 과  $V_{o2}$ 는 서로 커지고 작아짐을 반복하며 한 주기가 끝나게 된다. 본 논문에서는 이러한 구간이 있을 때 밸런싱이 된다고 판단하였다.

$$\Delta V_{o2(OFF)} = \frac{1}{C} \int_{DT}^{D_p T} (i_d - i_{buck}) dt \quad (8)$$

그림2에서  $D_p$ 구간에서는  $i_{d2}$ 가 흐르지 않기 때문에  $C_2$ 에 흐르는 전류는 오로지  $i_{buck}$ 만 존재한다. 그러므로 식

$$(8)에서 i_{buck} = \frac{V_{o2}}{R_2}가 성립하게 된다.$$

식(7), (8)로

$$\Delta V = \Delta V_{o2(OFF)} - \Delta V_{o1(OFF)} \quad (9)$$

즉, 식(9)를 정리하면 식(10)과 같다.

$$\frac{\Delta V}{\frac{NV_{o1}}{DR_2} - \frac{V_{o1}}{R_1} + \frac{V_{o2}}{R_2}} = (D_p - D) T \frac{1}{C} \quad (10)$$

식(6)을 식(10)에 대입하여  $D_p$ 를 구할 수 있다.

여기서  $D_p \approx 1$ 일 때 밸런싱이 가능한 부하  $R_1, R_2$ 차이의 최대 경계점이다.

### 2.1.3 벡-플라이백 컨버터의 전력분석 및 설계

설계를 위해서는 식(3)에 주어진 사양만으로 식을 변형시킬 필요가 있다.

$$\frac{V_o}{V_i} = \frac{2N'D}{2N'D+1-D} = M, N' = \frac{N_2}{N_1}, N = \frac{N_1}{N_2} \quad (11)$$

본 논문의 회로는 벡과 플라이백으로 나뉠 수 있다. 이는 곧 각각에 전력을 구할 수 있다.

$$P_{buck} = V_o i_{on} = V_o D I_{Lm, on} = V_o I_o D \frac{N'}{N'D+1-D} = P_o M \quad (12)$$

$$P_{fly} = \frac{V_o}{2} i_{OFF} = \frac{V_o}{2} (1-D) \frac{I_{Lm, on}}{N'} = \frac{V_o (1-D)}{2N'} I_o \frac{N'}{N'D+1-D} \quad (13)$$

$$= \frac{P_o}{2} \left( \frac{1-D}{N'D+1-D} \right) \times 2 = P_o (1-M)$$

효율적인 설계를 위해서는 벡 컨버터 비율이 높게 설계를 하는 것이 좋다.

### 3.2 다 출력 벡-플라이백의 실험

위 실험에서의 변압기 권선은 동축 케이블을 이용하여 제작하였다. 효율측정은 2802 TWO CHANNEL POWER ANALYZER (Xitron Technologies)를 사용하여 측정 하였다. 회로의 자세한 설계 사양 표는 다음 표1과 같다.

$V_i$	입력전압	50[V <sub>dc</sub> ]
$V_o$	출력전압	24[V <sub>dc</sub> ]
P	전력	100[W]
$f_{sw}$	스위칭 주파수	30[kHz]
D	듀티 비	0.53
$C_1, C_2$	출력 커패시터	100[μF]
$D_1, D_2$	다이오드	MBRF20200CT
Q	스위칭 MOS펫	IRFP4568
$L_m$	자화인덕턴스	100[μH]
$N_1 : N_2 : N_2'$	턴 비	1:2:2

표1. 벡 플라이백 컨버터 설계 사양

### 3.2.1 벡-플라이백 컨버터의 실험 결과

다음은 실제 벡 컨버터의 파형과 효율 추이이다.

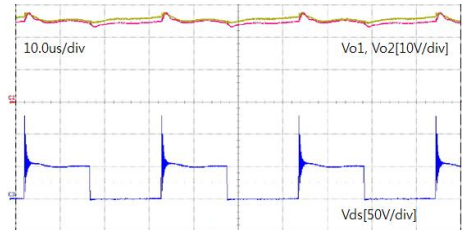


그림3. 벡 플라이백 컨버터 하드웨어의  $V_{o1}, V_{o2}, V_{ds}$  파형

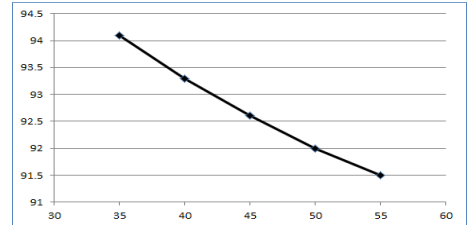


그림4. 벡 플라이백 컨버터의 입력전압에 따른 효율 추이

## 3. 결 론

본 논문에서는 차지 밸런싱을 한 회로에 적용한 벡 플라이백 컨버터를 제작하고 효과적인 설계방법을 제안하였다. 자화 소자의 개수를 최소화하여 경제성을 좋게 하였고 밸런싱이 가능한 경계구간을 수식으로 증명하였다. 또한 100W급 실제 하드웨어를 제작하여, 이론적인 분석과 비교 확인하여 제안된 컨버터의 성능을 검증하였다.

본 논문은 미래창조과학부의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. NRF 2014R1A1A1003964)

### 참 고 문 헌

- [1] Daniel W.Hart. "Power Electronics" 281-283p, 2011.2
- [2] 박정현, 김경탁, 박종후, "전하 균등화를 위한 연속모드 결합 인덕터 벡 플라이백 컨버터", 대한전기학회 전기기기 및 에너지변환시스템부문회 춘계학술대회 논문집, 2015.4