

고주파 스위칭 dc-dc 컨버터 하드웨어 최적 설계를 위한 PCB Layout 분석

김동식*, 주동명**, 이병국**, 김종수*†
 대진대학교*, 성균관대학교**

PCB Layout Analysis for Optimal Hardware Design of High frequency Switching DC-DC Converter

Dong Sik Kim*, Dong Myoung Joo**, Byoung Kuk Lee**, Jong Soo Kim*†
 Daejin University*, Sungkyunkwan University**

ABSTRACT

본 논문에서는 GaN FET과 같이 고주파 스위칭이 가능한 문턱전압이 매우 낮은 전력반도체 소자의 안정적 구동을 위해 기생성분을 최소화 할 수 있는 PCB Layout 설계 방법에 대해 고찰한다. PCB Track의 길이 및 배치에 따른 기생 인덕턴스 등의 기생성분을 정량적으로 분석하고, Faulty 턴 온에 가장 직접적인 문제를 야기하는 ac loop 인덕턴스 최소화 설계 방법을 제시하며 실험으로 검증한다.

1. 서론

SiC나 GaN과 같은 WBG(Wide Band Gap)반도체를 이용한 전력 소자의 연구가 전지구 중심으로 활발히 수행 되고 있다. 특히 GaN HEMT는 이중접합에 의한 HEMT(High Electron Mobility Transistor)구조로 기존에 dc dc 컨버터에 많이 사용되는 Si MOSFET보다 스위치 도통 손실이 낮고 및 빠른 스위칭 동작이 가능 하다. 이로 인해 dc dc 컨버터의 전반적인 효율 향상을 기대 할 수 있다.

하지만 WBG 소자의 경우 일반적으로 매우 낮은 문턱전압을 가지기 때문에 PCB의 스트레이 인덕턴스로 발생 되는 스파이크 전압이 GaN HEMT의 낮은 문턱전압과 높은 스위칭 주파수로 동작으로 시스템의 문제를 야기 시키는 faulty 턴 온이 발생한다. 따라서 시스템 효율과 안정성을 저해 시킨다.^{[1][2]}

본 논문에서는 GaN HEMT를 PSFB(Phase Shift Full Bridge) dc dc 컨버터에 적용하여 PCB Track의 길이 및 배치에 따른 인덕턴스 등의 기생성분을 정량적으로 분석하고 Faulty 턴 온에 가장 직접적인 영향을 주는 ac loop 인덕턴스 최소화 설계 방법을 제시하여 실험을 통해 검증 한다.

2. Theory analysis

2.1 시스템 사양

PCB Track의 인덕턴스의 특성을 검증하기 위해 600W PSFB dc dc 컨버터의 회로도를 설계 하였으며, 1차 측은 Full Bridge 구조이며 2차 측은 센터 탭 구조로 설계 하였다.

표 1은 GaN HEMT의 주요 성분을 나타낸다. 게이트 구동에 영향을 주는 Q_{GS} , Q_{GD} 가 매우 작다. 따라서 GaN HEMT 구조로 매우 작은 Output 커패시턴스 및 밀러 커패시턴스를 가

표 1 GaN HEMT 주요 파라미터

Table 1 Key Parameter for GaN HEMT

Parameters	RFJS1506Q (GaN FET)
V_{DS}/I_D	650V/15A
$R_{DS(ON)}$	85mΩ
t_{on}/t_{off}	18ns / 20ns
Q_G	15.7nC
Q_{GD}	3.2nC
Q_{GS}	2.8nC
$C_{oss(er)}$	26pF
$V_{th(Min/Max)}$	1.2V/2.5V

지기 때문에 빠른 On/Off 동작이 가능하며, 이로 인해 매우 큰 dv/dt 발생 된다. 따라서 게이트 노이즈는 더 크게 발생 될 것으로 예상된다.

2.2 Ac-loop Inductance

그림 1은 풀 브릿지의 스트레이 인덕턴스를 나타낸다. L_D 와 L_S 는 노이즈에 주된 원인이다. L_D 는 오버슈트 드레인 소스 전압에 영향을 끼치며, L_S 는 스파이크 게이트 소스 전압에 영향을 끼친다. 스위치 양단에 오버슈트를 야기 시키는 전압 방정식은 식 (1)과 같다.

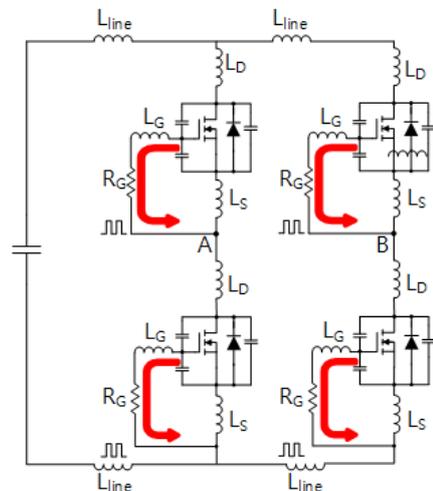


그림 1 기생 성분 및 부유 인덕턴스가 고려된 회로

Fig. 1 Parasitic element and stray inductance considered circuit

$$V_{Ls} = L_s \frac{di}{dt} \quad (1)$$

di/dt가 고정인 조건에서 L_s 가 증가 할수록 스파이크 전압이 비례한다. 따라서 faulty 턴 온을 방지하기 위해서 L_s 를 최소화 하는 것이 중요한 설계 고려사항이다.

2.3 PCB inductance^[3]

PCB의 스트레이 인덕턴스는 PCB 두께, 길이, 홀의 크기 등 여러가지 요소들에 의해서 결정된다. 식 (2)는 이러한 요소들의 고려된 PCB Track의 스트레이 인덕턴스가 발생하는 실험식을 나타낸다.

$$L_{line} = 2x \cdot \ln\left(\frac{5.98h}{0.8w+t}\right) \quad (2)$$

x는 패턴의 길이, w는 패턴의 폭, h는 PCB 두께, t는 패턴의 두께를 나타낸다. 실험식에서 알 수 있듯이 PCB 패턴의 폭 및 두께는 스트레이 인덕턴스에 반비례 하지만 그 영향이 크지 않고, PCB 패턴의 길이는 스트레이 인덕턴스에 비례하며 영향이 매우 크다는 것을 알 수 있다. 또한 식(3)은 PCB Via의 인덕턴스를 나타낸다.

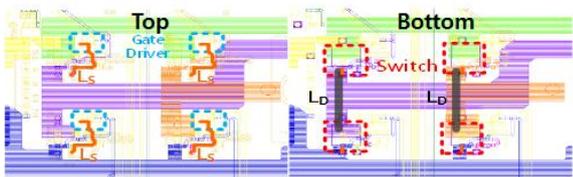
$$L_{via} = \frac{h}{5} \left[1 + \ln\left(\frac{4h}{d}\right) \right] \quad (3)$$

d는 Via 홀의 지름을 의미하며, Via 홀의 지름은 스트레이 인덕턴스에 반비례 하지만 그 영향이 크지 않고 PCB의 두께가 스트레이 인덕턴스에 비례하며 영향이 매우 크다는 것을 알 수 있다.

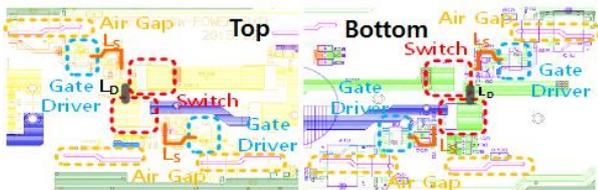
3. 실험 결과

3.1 PCB Layout

그림 2는 PCB 트랙의 L_s , L_D 길이를 Ver.2.0과 같이 줄였으며, 표 2은 PCB 패턴의 주요 성분을 나타낸다. Ver.2.0은 PCB 패턴을 최대한 짧게 설계 했으며, 게이트 드라이버 턴 오프 패스에 BJT를 추가하여 L_s 를 최소화 하였다.



(a) PCB Ver.1.0



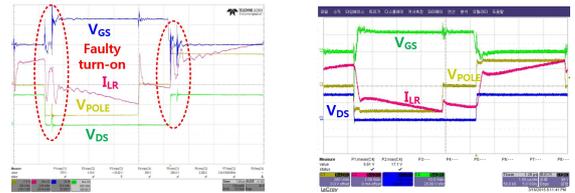
(b) PCB Ver.2.0

그림 2 PCB 트랙
Fig. 2 PCB Layout of track

표 2 위상천이 폴 브릿지 DC-DC 컨버터의 설계 사양
Table 2 Design Specification for PSFB DC-DC Converter

Parameter	ver1.0	ver2.0
x	59mm	18.4mm
h	1.5mm	1.5mm
w	1mm	1mm
L_s (계산값 / 측정값)	54nH / 47nH	17nH / 29nH

3.2 Waveform



(a) Ver. 1.0 Waveform

(b) Ver. 2.0 Waveform

그림 3 PSFB dc-dc 컨버터의 주요 파형

Fig. 3 PSFB dc-dc converter key waveform

그림 3은 PCB 스트레이 인덕턴스를 표 3과 같이 적용할 때의 파형이다. Ver. 1.0은 스파이크 전압 및 전류 왜곡 현상이 발생한다 하지만 Ver. 2.0은 스트레이 인덕턴스가 감소하여 스파이크 전압과 전류 왜곡 현상이 줄어들었다.

4. 결론

본 논문에서는 GaN HEMT를 적용한 PSFB dc dc 컨버터의 PCB 스트레이 인덕턴스에 대해서 분석 하였다. 스트레이 인덕턴스에 따른 영향을 비교하기 위해 PCB Ver.1.0과 Ver.2.0을 비교 분석 하였다. PCB 패턴의 길이가 줄어들수록 L_s 가 감소했으며, 이로 인해 스파이크 전압 및 전류 왜곡 현상이 감소 하였다. 따라서 Faulty 턴 온을 제거하면 시스템의 효율 및 안정도가 높아질 것으로 예상된다.

Acknowledgment

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임. (No. NRF-2013R1A1A1076109)

참고 문헌

- [1] Jung Hoon Ahn, Comparative Loss Analysis of Si MOSFET and GaN FET Power System, 전력전자학회 2013년도 추계학술대회 논문집, 2013.11, 190-191 (2 pages)
- [2] Luo, Fang, Design Considerations for GaN HEMT Multichip Half bridge Module for High Frequency Power Converters, CPES Conference 2014, Blacksburg, VA (April 6-8, 2014)
- [3] AN 1229, Simple Switcher PCB Layout Guide, Texas Instruments, SNVA054C June 2002 Revised April 2013