

# 플라이백 구조의 역률 개선을 위한 단상과 삼상 회로의 분석

김형식, 방영재  
건국대학교

## A Simulation Study to Enhance the Power Factor for Flyback Topology

Hyung Sik Kim, Young Jae Bang  
Konkuk University

### ABSTRACT

본 논문에서는 플라이백 구조의 전력 변환기의 역률 개선을 위한 삼상 구조의 회로를 제안하였다. 펄스 형태로 에너지를 방전하는 시스템의 전원 장치를 플라이백 구조로 채택하는 경우 인덕터와 커패시터에 의해 역률이 크게 저하된다. 이를 개선하기 위하여 3상의 스위칭 회로를 제안하고 시뮬레이션을 통하여 기존 단상회로와 비교하여 역률이 0.62에서 0.95로 개선됨을 확인하였다.

### 1. 서론

전력 변환기 중 플라이백(flyback) 구조는 기본적으로 전기적 절연(isolation)을 제공할 수 있기 때문에 인체에 대한 전기 안전성이 반드시 구비되어야 하는 의료기기 등에 많이 활용되고 있다<sup>[1]</sup>. 그러나 연속적인 직류 전압을 공급하는 일반적인 전원 공급 장치(power supply) 이외에 펄스 형태로 수십 킬로 전압(kilo voltage) 이상의 높은 전력을 방전(discharge)하는 단속적(discontinuous)인 시스템에서 에너지를 공급하기 위한 전원장치로 플라이백 구조를 채택하였을 경우 플라이백 인덕터(inductor)와 커패시터에 의해 역률이 크게 저하되어 높은 효율을 달성하기 어렵다. 또한 동일 전력선을 사용하는 타 기기에 도 영향을 끼치게 되어 이에 대한 보완이 필요하다<sup>[3]</sup>.

따라서 본 논문에서는 이를 개선하기 위하여 세 개의 플라이백 구조를 병렬로 구성하고 각각의 스위칭 소자의 스위칭 시비율을 60°로 겹치도록 하여 입력 전류가 연속적으로 흐르게 하는 삼상(3 phase)의 회로 구조를 제안하였다. 컴퓨터 시뮬레이션을 통하여 회로 구조의 유효성을 검증하였고 역률(power factor)을 계산하여 회로의 크기는 커지지만 단상일 경우 0.62의 역률에서 0.95로 역률이 개선됨을 확인하였다.

### 2. 본론

#### 2.1 제안된 3상 플라이백 구조

그림 1에 제안된 3상 플라이백 구조를 나타내었다. 입력 220 Vrms / 60 Hz의 교류 선전압을 브리지회로로 정류하여 311 volts의 직류전압을 입력으로 사용한다. 일반적인 플라이백 구조를 사용한 전원 공급 장치와 비교하여 3 phase 스위칭 방식의 특징적인 점은 스위칭 전원에서 발생하는 고조파와 위상차를 극복하기 위한 방법으로 세 개의 변압기를 사용한다는 점

이다.

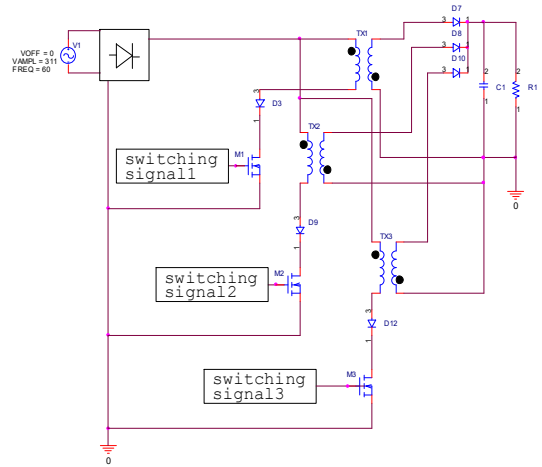


그림 1 제안된 3상 방식의 플라이백 구조  
Fig. 1 A proposed three-phase flyback topology

그림 2에 제안한 3상 구조의 스위칭 신호를 나타내었다. 스위칭 주파수는 1 kHz 이고 듀티비는 50% 이며 각각의 신호는 120°의 위상차를 갖도록 하여 스위칭 신호와 신호 간에 60°씩 겹치는 구간이 발생하도록 하여 입력전류가 연속적으로 흐를 수 있도록 하였다. 제안된 회로 구조를 OrCAD Capture version 9.2 (Cadence Inc., USA)로 회로 도면을 그리고 PSpice A/D 로 동작을 확인하였다. 도면에 사용된 개별 부품(discrete part)들은 이상적인(ideal) 다이오드, 커패시터 (90 μF), MOSFET를 사용하였으며 부하는 500 Ω의 저항을 사용하였다. 플라이백 인덕터는 이상적인 트랜스포머를 사용하였고 결합도(coupling)는 0.98로 하였다. 권선비는 1:2로 하였다. 역률의 계산은 PSpice의 Trace 기능을 이용하여 식 1을 계산하였다.

$$PF = \frac{P_{avg}}{P_{app}} = \frac{V_{rms} \times I_{rms} \times \cos\theta}{V_{rms} \times I_{rms}} \quad (1)$$

스위칭 신호는 vpulse 모델을 이용하였으며  $V_1=0V$ ,  $V_2=12V$ ,  $TR=0.01 \mu sec$ ,  $TF=0.01 \mu sec$ ,  $PW=0.5 ms$ ,  $PER=1 ms$ 의 입력 변수를 사용하였으며 각 펄스간 0.34 ms의 지연(delay)을 가지도록 하였다. 고속 푸리에변환(Fast Fourier Transform; FFT)는 PSpice에서 제공되는 기능을 이용하였다.

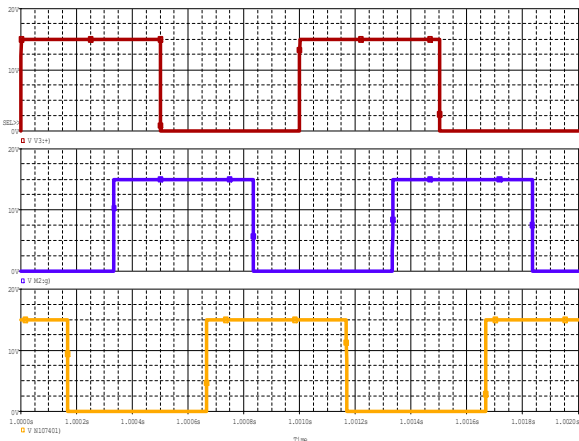


그림 2 제안된 3상 구조의 스위칭 신호  
Fig. 2 Switching signal waveform for proposed three-phase flyback topology

### 3. 결 과

그림 3의 (a)와 (b)에 단상의 플라이백 구조와 제안된 삼상의 플라이백 구조에 대한 PSpice 결과를 나타내었다. 기존의 플라이백 방식의 전원 구조와 본 논문에서 제안한 스위칭 방식의 전원 장치를 컴퓨터를 이용하여 시뮬레이션하고 각각의 역률을 계산하였다. 시뮬레이션 결과 파형은 입력선 전원의 전압과 전류이다. 그림 3(a)는 단상의 플라이백 구조에 대한 결과이다. 시뮬레이션 결과 전원 스위칭에 의하여 불연속적인 전류 공급이 발생 하는 것을 확인하였다. 또한 입력 전원의 전압과 전류 사이에 위상차가 발생하는 것을 확인하였다. 전원 전압과 전류의 위상차 그리고 고조파 왜곡은 역률 저하의 원인이 된다. 시뮬레이션 결과 역률은 약 0.62로 계산되었다.

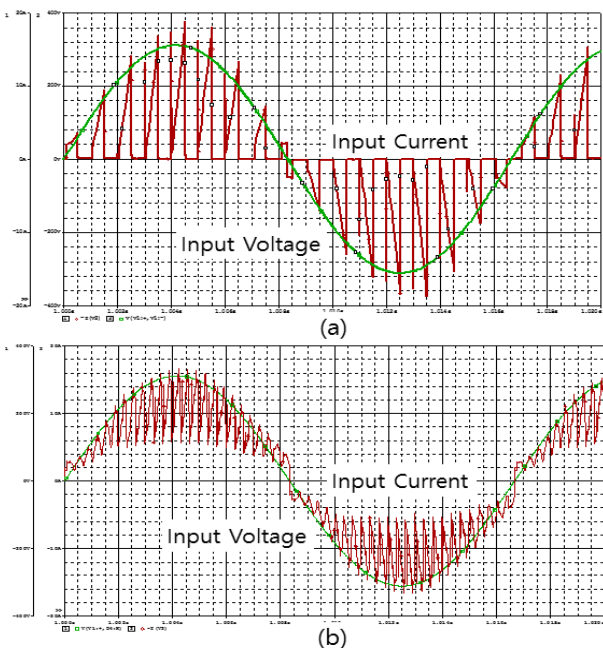


그림 3 플라이백 회로 구조에 대한 컴퓨터 시뮬레이션 결과; (a) 단상 구조 (b) 삼상 구조  
Fig. 3 Simulation results for flyback topology; (a) one-phase (b) three-phase

그림 3(b)는 제안한 삼상의 플라이백 구조에 대한 결과이다. MOSFET를 스위칭하는 신호는 각각 120도의 위상차를 두어서 서로 겹치는 구간이 발생하기 때문에 단상의 구조와 비교하여 전원 전류가 연속적으로 공급되며 전류가 전압과 위상차 없이 전압을 추종하고 있는 것을 확인 하였다. 또한 고속 푸리에 변환(FFT)을 통하여 단상 방식과 비교하여 고조파 성분이 확연히 감소한 것을 확인 하였다. 시뮬레이션 결과 역률은 약 0.96으로 높게 계산되었다. 시뮬레이션 결과를 통하여 제안된 3상의 플라이백 구조와 스위칭 방식으로 역률이 크게 향상되는 것을 확인하였다.

### 4. 결 론

본 연구에서 제안한 3 phase 스위칭 방식은 세 개의 플라이백 인덕터가 서로 겹치게 동작하면서 교류 선전원의 입력 전류를 연속적으로 흐르게 하는 방식으로 역률이 개선되는 효과를 얻었다. 특히 이 방식의 장점은 세 개의 인덕터가 순차적으로 스위칭에 의해 도전하기 때문에 낮은 스위칭 주파수로도 스위칭으로 역률개선 효과를 얻을 수 있다. 이는 전자기방해(EMI)와 스위칭 소자의 스위칭 손실(switching loss)을 감소할 수 있으며 소자에 흐르는 전류의 크기도 감소할 수 있어 안정성을 추가로 확보할 수 있다. 또한 플라이백 인덕터는 단속적인 펄스 형태의 출력 방전 시 전류 제한용의 용도로도 사용할 수 있는 장점도 있다. 비록 단상의 회로구조보다 시스템의 크기는 커지지만 고역률을 보장하면서 방전 장치용으로 사용되는 고가의 전원장치에 비해 낮은 비용으로도 구현할 수 있는 장점이 있다. 이러한 회로 구조의 동작 확인을 위하여 향후 실제 구현과 방전 실험으로 검증이 필요할 것이다.

본 연구는 산업통상자원부와 한국산업기술진흥원이 지원하는 경제협력관산업 육성사업으로 수행된 연구결과입니다 (R0004491).

### 참 고 문 헌

- [1] R. Falinow, "Technical and Practical Aspects of Magnetic Nerve Stimulation", J. of Clinic. Neurophysiol., Vol. 8, No. 1, pp. 10 25, 1991.
- [2] R.D. Varembe, Ceneve, "Limitation of emission of harmonic currents in low voltage power power supply systems for equipment with rated current greater than 16A per phase", Commission Electrotechnique International. IEC 61000 3 4, Switzerland, 1998.
- [3] I. Kasikci, "A new method for power factor correction and harmonic elimination in power systems", Harmonics and Quality of Power, Proceedings. Ninth International Conference on Vol. 3, No. 3, pp. 810 815, 2000, October.