

ITER 전원장치 Local Controller Design Status Summary

서재학, 유민호*, 오종석, 최정완, 최지현, 신현국, 박형진*, 이락상*, 김창우*
국가핵융합연구소, 다윈시스*

Status Summary of Local Controller for the ITER 전원장치

J.H. Suh, M.H. Yoo*, J.S. Oh, J.W. Choi, J.H. Choi, H.K Shin, H.J. Park*, L.S. Lee*. C.W. Kim*

National Fusion Research Institute, Dawonsys*

ABSTRACT

ITER AC/DC Converter Local Controller는 플라즈마 제어 시스템에서 요구하는 전압 전류 명령에 따라 초전도 코일에 전류를 공급하고 컨버터 System 자체 보호 기능, 초전도 코일 시스템 이상 시 Bypass 및 코일 에너지를 계통에 회생하여 에너지를 방전하여야 한다. 코일 별로 플라즈마 제어에 필요한 높은 전압 전류는 전원 장치의 직렬 접속이 요구되고(2직렬, 4직렬, 6직렬) 제어적으로 이들 제어 시스템들은 신뢰도가 높은 디지털 설계를 요구 한다. 본 논문은 다 직렬 전원 장치 제어를 위한 Local Controller의 설계 내용을 논의하고자 한다.

1. ITER AC/DC Converter 구조

그림 1은 4Q AC/DC 컨버터의 구조를 나타내며 6pulse Bridge 4set가 정역으로 접속된 구조이다. Closing 신뢰도 향상과 코일 보호를 위해 코일 전류의 Bypass는 기계적 S/W인 PMS(Protective Make Switch)가 담당하며 SCR bypass는 PMS가 Closing하기 전 구간만 동작하는 것으로 pulse 정격으로 제작 된다. 부하전류 양의 20%이상 구간에서 FY, FD, 음의 20% 이상 구간에서 RY, RD가 동작하며 ±10% 구간에서 FY, RD가 순환전류 모드로 동작하며 그 이외의 구간에서 FY, RD가 6pulse 모드로 동작 한다. TF 컨버터는 RY, RD가 없으며 ±650V/±325Volt 2가지 출력 전압이 요구되며 68kA 정격 이다.

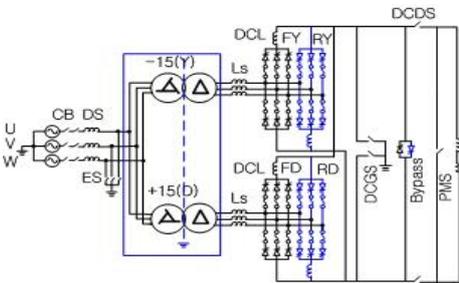


그림 1 4Q AC/DC 컨버터의 구조
Fig. 1 Configuration of 4Q AC/DC converter

2. HILS System 구성

2.1 ITER AC/DC Converter 제어기 구조

그림 2는 4Q AC/DC 컨버터 제어기의 구조를 나타내며 플라즈마 제어시스템으로부터 Real time으로 명령되는 제어 값은 CCR에서 받아서 Seq제어기에서 알파에 다시 명령을 전달하는

데 직렬 구조인 경우 무효전력이 최소화되도록 각 직렬 컨버터가 출력 해야할 전압을 결정하여 명령하게 된다. Seq, Alpha, ADC 제어기는 실시간으로 프로세싱되는 각 신호를 인터럽트 주기로 데이터를 저장하여(TRM) 컨버터 동작 분석에 이용하고 0.1초 주기로 데이터를 PSH에 보내게 되고 PSH에서는 EPICS PV화하여 데이터를 모니터링하게 된다. TRM데이터는 CCR 명령에 의하거나 컨버터 자체 고장시 데이터 저장이 Stop되고 저장된 데이터는 PSH로 보내져서 과형을 분석 할 수 있다.

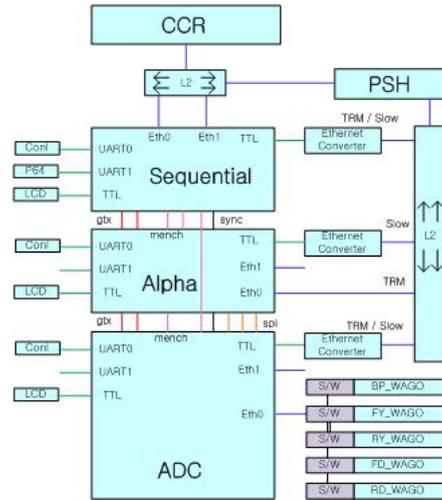


그림 2 4Q AC/DC 컨버터의 제어기 구조
Fig. 1 Configuration of 4Q AC/DC converter control system

2.2 직렬 컨버터 제어기 구조

그림3은 6직렬 컨버터 제어기의 구조를 나타낸 것으로 LCC_1~LCC_6 각 제어기는 그림 2의 Alpha, ADC와 동일한 구조를 가진다. 각 컨버터는 그림1의 컨버터 구조와 동일하며 각 컨버터 출력은 직렬 접속된다. 플라즈마 운전 관점에서 6직렬 컨버터는 단일 시스템이 되며 단일 출력 전압 명령이 CCR로부터 Seq에 전달되면 Seq는 계통에서 무효전력이 최소가 되도록 6unit 컨버터 각각이 출력해야할 전압을 계산 한 후 각 알파제어기에 명령한다. CCR과 Seq간의 통신방식은 !GbE으로 하며 Seq와 각 알파는 Xilinx GTX통신을 한다. 통신의 신뢰도와 운전 가용성을 향상하기 위하여 manchester통신이 back up으로 동작하며 이들 6unit 각 알파는 seq에서 주는

Sync clock에 의해 인터럽터가 동작하여 동기화 운전을 한다.

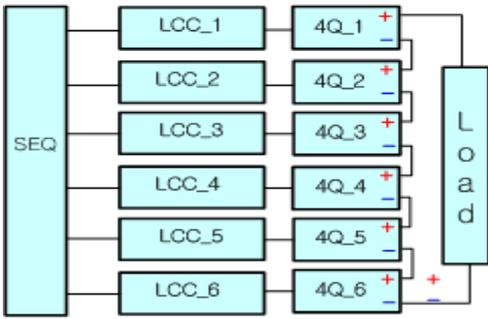


그림 3 6unit converter Series 제어기 구조
Fig. 3 Control block diagram of 6series converter

2.3 ITER AC/DC Converter Interlock 구조

그림 4는 각 알파의 Interlock system 구조를 나타낸 것으로 알파 제어기에서는 DCCT, ACCT 신호를 ADC한 결과 값으로부터 과전류를 판단하며, CPU 없이 Logic gate로 설계된 F LIC에서 과전류 설정은 알파보다 높게 설정하여 알파가 과전류 검출을 못했을 경우 2차적으로 검출하여 동작하며 순시 과전류나 컨버터 출력단이 이상 과전압이 부과로부터 발생한 경우 F LIC에서 Interlock 처리하여 계통으로부터 에너지 유입을 차단하고 초전도 코일 전류는 기계적인 스위치로 바이패스한다. 직렬 컨버터들의 인터락 동작을 위하여 각 컨버터에서 발생한 interlock event는 직렬 접속된 모든 컨버터에 동시에 전달하게 된다.

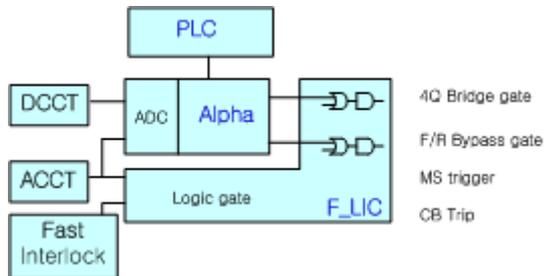


그림 4 ITER AC/DC Converter Interlock 구조
Fig. 4 Interlock system of ITER AC/DC Converter

2.4 Alpha 제어기 구조

그림 5는 설계된 알파제어기의 구조를 나타낸다. Xilinx ZYNQ7045FFG900 SOC가 프로세싱하며 Digital in/out port가 설계되고 ADC제어기와는 통신으로 ADC값을 받는다. SEQ는 알파제어기와 동일한 하드웨어를 사용한다. ADC 제어기로부터 받은 analog 신호를 이용하여 SEQ가 명령한 출력 전압을 출력하기 위한 gate pulse를 발생하여 출력 전압을 제어하고 컨버터 보호 동작을 한다.

2.5 ADC 제어기 구조

그림6은 ADC 제어기의 구조를 나타낸 것으로 Xilinx ZYNQ7045FFG900 SOC가 프로세싱하며 18ch 18bit ADC를 동일한 sampling 시간으로 제어하여 reading한 ADC 값으로부터 PLL프로세싱하여 Theta 정보를 알파 제어기에 전달하고 또한 ADC값을 알파제어기에 전달한다. ADC cycle마다 값을 저장하여 해상도가 높은 데

이터 분석이 되도록 한다.

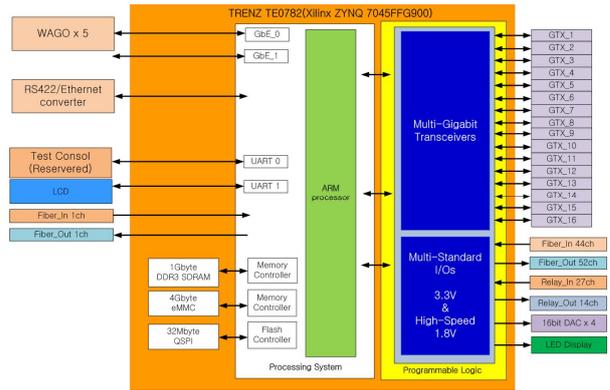


그림 5 알파제어기 구조
Fig. 5 Configuration of Alpha controller

컨버터단과 대지간의 높은 절연 전압 요구 때문에 의 전압신호는 모듈 단위로 ADC하여 Fiber Optic으로 알파제어기에 전달한다. 또한 ADC제어기는 많은 다병렬 SCR 들의 상태 감시를 위하여 WAGO I/O System들에서 수집되어 Modbus TCP/IP프로토콜로 데이터를 읽어서 프로세싱하고 데이터를 저장한다.

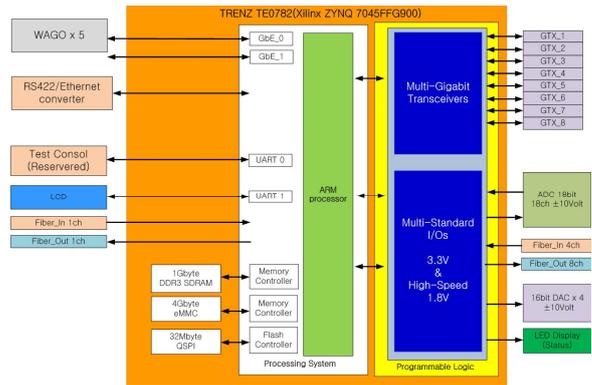


그림 6 ADC 제어기 구조
Fig. 6 Configuration of ADC Controller

3. 결론

본 논문은 한국에서 조달하는 ITER AC/DC Converter 제어기의 설계 내용으로 다 직렬 컨버터 제어시스템의 제어 구조와 인터락 시스템과 진단 모니터링 설계 내용이다. 이 들 제어 시스템은 제작 중이며 RTDS와 Real converter에서 신뢰성을 확인하게 된다.

“이 논문은 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 국책연구사업(No. 2007 2006995)의 연구결과임”

참고 문헌

- [1] 서재학, “ITER AC/DC Converter Control 검증을 위한 Hardware in the Loop Simulation(HILS) System 구축 및 실험”, 2015 추계전력전자학회, pp.221-222.
- [2] J.H.Suh, J.S.Oh, J.Choi, J.Goff, J.Tao, E.H.Song, P.Fu, G.S.Lee, K.S.Eom “KOREAN R&D ON THE CONVERTER CONTROLLER FOR ITER AC/DC CONVERTER”, SOFE 2011