

디지털 변환신호와 동기화된 클록을 사용하는 아날로그-디지털 변환기

최진호* · 장윤석

부산외국어대학교*·부경대학교

Analog-to-Digital Converter Using Synchronized Clock with Digital Conversion Signal

Jin-Ho Choi* · Yun-Seok Jang

Busan University of Foreign Studies · Pukyong National University

E-mail : jhchoi@bufs.ac.kr

요 약

전류컨베이어 회로와 시간-디지털 변환기를 이용하여 아날로그-디지털 변환기를 설계하였다. 전류컨베이어 회로를 이용하여 아날로그 전압의 크기를 샘플링한 다음, 전류원을 이용하여 샘플링 전압을 방전하면서 아날로그 전압을 시간정보로 변환하였다. 시간정보는 카운터 타입의 시간-디지털 변환기를 이용하여 디지털 값으로 변환되는데 이때 변환 에러를 감소시키기 위해 시간정보 펄스와 동기화된 클록을 생성하여 사용하였다.

ABSTRACT

Analog-to-Digital converter is designed using a current conveyor circuit and a time-to-digital converter. The analog voltage is sampled using the current conveyor circuit and then the voltage is converted to time information by the discharge of the sampling voltage. The time information is converted to digital value by the counter-type time-to-digital converter. In order to reduce the converted error the clock is synchronized with the time information pulse.

키워드

전류컨베이어회로, 아날로그-디지털 변환기, 카운터 타입, 동기화된 클록

I. 서 론

여러 가지 아날로그 정보를 신호처리 하기 위해서는 아날로그-디지털 변환기를 사용하여 아날로그 신호는 디지털 값으로 변환된다. 아날로그-디지털 변환기는 거의 모든 전자시스템에서 사용되는 회로로서 일반적인 아날로그-디지털 변환회로의 경우 빠른 동작속도와 정확도가 요구되어 진다. 이를 위해 다양한 방법의 아날로그-디지털 변환 구조가 제안되었다. 본 논문에서는 전류컨베이어 회로와 시간-디지털 변환회로를 이용하여 아날로그-디지털 변환기를 설계하고자 한다. 시간-디지털 변환회로는 신호변환 시작과 동시에

내부에서 클록을 생성하고 신호변환 멈춤과 동시에 클록 신호는 멈추도록 설계하였다. 시간 정보를 디지털로 변환하는 신호와 자체적으로 생성되는 동기화된 클록을 사용함에 따라 디지털 변환 에러 및 전력소모를 줄일 수 있는 장점이 있다. 본 논문에서 제안하는 아날로그-디지털 변환 회로도의 구성과 개념은 매우 간단하지만, 충분한 동작속도와 정확도를 구현할 수 있다.

II. 본 론

그림 1은 시간-디지털 변환기를 사용하는 아날로그-디지털 변환기의 개략도이다.

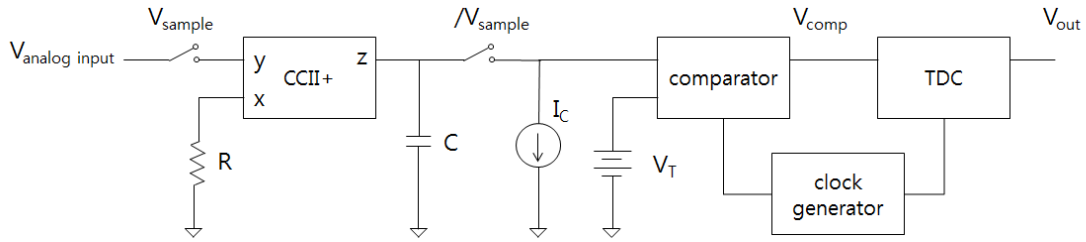


그림 1. 시간-디지털 변환기를 사용하는 아날로그-디지털 변환기의 개략도

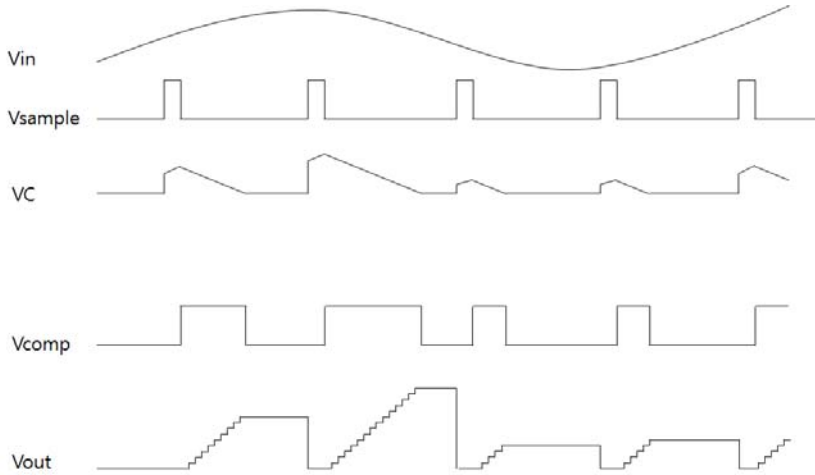


그림 2. 입출력 파형

그리고 회로의 동작 신호는 그림 2와 같다. 아날로그 입력신호는 전류컨베이어 회로에 의해 V_{sample} 전압이 high인 동안 커패시터에 전달된다. 이때 커패시터는 $V_{analog\ voltage}/R$ 크기의 전류에 의해 충전된다. 그러므로 커패시터에 충전된 전압의 크기는 식(1)과 같이 아날로그 입력 전압 $V_{analog\ voltage}$ 에 비례한다. 커패시터에 충전된 전압은 전류원 I_C 에 의해 일정한 크기의 전류로 방전된다. 이때 커패시터에 충전된 전압의 크기에 따라 방전 시간은 변화될 것이다. 즉, 비교기의 출력 전압이 high인 방전시간은 아날로그 입력전압의 크기에 비례한다. 그리고 방전전류 I_C 의 크기를 변화시키면 아날로그-디지털 변환기의 방전시간을 조절할 수 있다. 이로 부터 아날로그-디지털 변환의 분해능을 조절할 수 있다.

$$V_C \propto V_{analog\ voltage}/R \quad (1)$$

커패시터의 전압과 비교기의 기준전압 V_T 는 서로 비교되어 시간-디지털 변환기에 인가되는 시간 간격 신호가 된다. 시간 간격 신호는 식 (2)와 같이 아날로그 입력신호의 크기에 비례한다. 그러므로 TDC의 디지털 출력 값은 아날로그 입력값에 비례한다.

$$T_{V_{comp}=1} \propto V_C$$

III. 결 론

본 논문에서는 전류 컨베이어 회로, 비교기, 시간-디지털 변환기를 이용하여 아날로그-디지털 변환기를 제안하였다. 그리고 시간-디지털 변환기의 경우 아날로그 신호가 입력되면, 클록 신호를 생성하여 시간-디지털 변환회로가 동작하여 디지털 출력을 얻도록 설계하였다. 이 경우 아날로그 입력신호와 클록의 동기화로 인하여 디지털 변환 에러를 감소시킬 수 있으며, 클록의 동작에 따른 회로의 전력소모를 줄일 수 있는 장점이 있다.

참고문헌

- [1] J. H. Choi, "Time-to-Digital Converter Using Synchronized Clock with Start and Stop Signals," Journal of the Korea Institute of Information and Communication Engineering, vol. 21, no.5, pp.2805-2810, 2017.
- [2] T. Fusayasu, "A Fast Integrating ADC Using Precise Time-to-Digital Conversion," IEEE Nuclear Science Symposium Conference, pp.302-304, 2007.