고성능 루프내 필터를 위한 효율적인 SAO 하드웨어 설계

박승용 · 류광기

한밭대학교 정보통신전문대학원

Hardware Design of Efficient SAO for High Performance In-loop filters

Seungyong Park · Kwangki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : srrr.kr@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 고성능 루프내 필터를 위한 SAO 하드웨어 구조 설계에 대해 기술한다. SAO는 루프내 필터 내부 모듈이며, 블록 단위 영상 압축 및 양자화 등에서 발생하는 정보의 손실을 보상하는 기술이다. 하지만, HEVC의 SAO는 픽셀 단위 연산을 수행하기 때문에 높은 연산 시간을 요구한다. 따라서 본 논문에서 제안하는 SAO 하드웨어 구조는 고속연산을 위해 4x4 블록 연산과 2단 파이프라인 구조를 기반으로 한다. SAO 연산을 위한 정보생성 및 offset 연산구조는 병렬구조로 설계하여 연산시간을 최소화 하였다. 제안하는 하드웨어 구조는 Verilog HDL로 설계하였으며, TSMC 칩 공정 130nm 및 65nm 셀 라이브러리로 합성을 진행하였다. 130nm에서 최대 동작 주파수는 476MHz이고, 전체 게이트 수는 163k이다. 65nm에서 최대 동작 주파수는 312.5MHz이고, 전체 게이트 수는 193.6k 이다.

ABSTRACT

This paper describes the SAO hardware architecture design for high performance in-loop filters. SAO is an inner module of in-loop filter, which compensates for information loss caused by block-based image compression and quantization. However, HEVC's SAO requires a high computation time because it performs pixel-unit operations. Therefore, the SAO hardware architecture proposed in this paper is based on a 4x4 block operation and a 2-stage pipeline structure for high-speed operation. The information generation and offset computation structure for SAO computation is designed in a parallel structure to minimize computation time. The proposed hardware architecture was designed with Verilog HDL and synthesized with TSMC chip process 130nm and 65nm cell library. The proposed hardware design achieved a maximum frequency of 476MHz yielding 163k gates and 312.5MHz yielding 193.6k gates on the 130nm and 65nm processes respectively.

키워드

HEVC, In-loop filter, Sample Adaptive Offset, SAO

Ⅰ. 서 론

최근 고해상도 영상 서비스의 증가와 다양한 고용량 데이터 서비스로 인해 새로운 압축 표준인 HEVC가 2013년 4월에 국제 표준화로 제정되었다. HEVC는 Joint Collaborative Team on Video Coding(JCT-VC)에 의해 표준화 되었으며, 저해상도 영상부터 초고해상도 영상까지 다양한 해상도의 영상 압축을 지원한다. HEVC는 이전 영상 압축 표준인 H.264/AVC와 비교하여 약 50% 이상 개선된 부호화 효율을 갖는다[1].

HEVC의 기술 중 하나인 Sample Adaptive

Offset(SAO)은 압축에서 발생한 에러를 보정하기 위해 사용되며, 주관적인 화질을 향상된 영상을 출력하고 다음 참조 영상으로 사용되어 부호화 효율도 향상시킨다. 하지만 SAO 기술은 픽셀 단위 연산을 수행하기 때문에 높은 연산 시간을 가지고 있으며, 이러한 문제점을 해결하기 위해 많은 연구가 진행되고 있다[2-5]. 본 논문에서는 고성능 루프내 필터를 위한 효율적인 SAO 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 2단 파이프라인과 4x4 블록 기반 연산, 병렬 연산을 통해 연산 시간을 최소화 시켰다.

본 논문의 구성은 다음과 같다. 2장에서는 HEVC SAO 표준 기술에 대해서 기술하고, 3장에서는 제안하는 SAO 하드웨어 구조에 대해서 기술한다. 4장에서는 제안하는 하드웨어 구조의 합성 결과를 기술하며, 마지막으로 5장에서는 본 연구의 결론을 도출한다.

II. HEVC SAO 기술

HEVC SAO 기술은 원본 영상과 복원 영상을 이용하여 영상 압축에서 발생한 열화를 보상하는데 사용된다. SAO는 LCU 기반으로 수행하며, edge offset(EO)과 band offset(BO)으로 구분하여 진행된다. EO은 4개의 각도에 따라 클래스로 구분되며, 각 클래스에 따라 4개의 카테고리로 나눈다. BO은 픽셀이 표현 가능한 0~최댓값으로 구분하며, 입력되는 픽셀 값의 위치에 따라 오프셋 값을 구한다. 그림 1과 표 1은 EO의 클래스와 카테고리를 나타낸다.

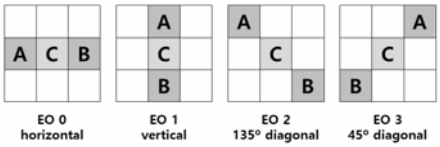

그림 1. EO의 클래스

표 1. EO의 카테고리

Category	Condition
1	C<A && C<B
2	(C<A && C==B) || (C<B && C==A)
3	(C>A && C==B) || (C>B && C==A)
4	C>A && C>B
0	None of the above

그림 2는 BO의 구조 및 오프셋 결정 예를 나타낸다. BO의 오프셋 결정은 시작되는 밴드의 위치에서 연속된 4개의 오프셋으로 결정된다.

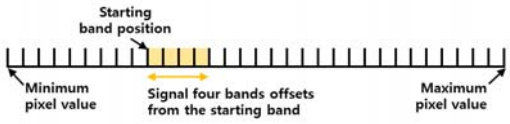

그림 2. BO 구간 및 오프셋 결정 방법

III. 제안하는 SAO 하드웨어 구조

SAO는 원본 픽셀과 복원 픽셀의 관계를 이용하여 EO과 BO의 정보를 수집하는 statistics collection(SC) 부분과 SAO의 모드를 결정하는 mode decision(MD) 부분으로 구분된다. 제안하는 SAO 하드웨어 구조는 SC 부분만 설계하였다.

제안하는 SAO 하드웨어의 구조는 2단 파이프라인 구조를 가진다. 파이프라인 구조는 4x4 블록 크기에 해당하는 원본 픽셀과 복원 픽셀의 차이와 EO 카테고리 결정, BO 픽셀 위치를 연산하는 P1 부분과 P1의 출력 값으로 오프셋을 합산하고 평균값을 구하는 P2 부분으로 구분된다. 또한, P2는 오프셋의 합산과 평균값을 동시에 연산하여, 레지스터의 사용을 최소화 하였다. 그림 3는 P2에서 사용되는 SUM_16 모듈의 구조를 나타내며, 4x4 블록 크기에 해당하는 16개 픽셀을 입력한다. 출력은 합산과 평균값을 가지는 8 비트 값이다.

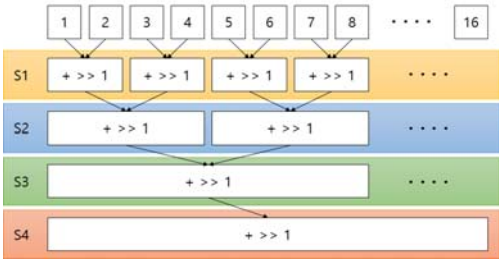

그림 3. 제안하는 SUM_16 모듈 구조

제안하는 SAO 하드웨어 구조의 EO에서는 16개의 SUM_16 모듈을 사용하며, BO에서는 32개의 SUM_16 모듈을 사용한다. 그림 3에서 1~16의 입력은 해당 클래스의 카테고리에 해당하지 않으면 0의 값과 CATE_SEL 신호가 0으로 입력되며, S1에서 입력된 CATE_SEL 신호들을 AND 연산을 통해 1일 경우 쉬프트 연산을 수행한다. AND 연산이 0일 경우에는 덧셈만 수행한다. S2에서는 1과 2를 OR 연산하고, 3과 4를 OR 연산 후 결과를 AND 연산하여 쉬프트 연산의 여부를 결정한다. S3 및 S4도 같은 연산을 수행한다.

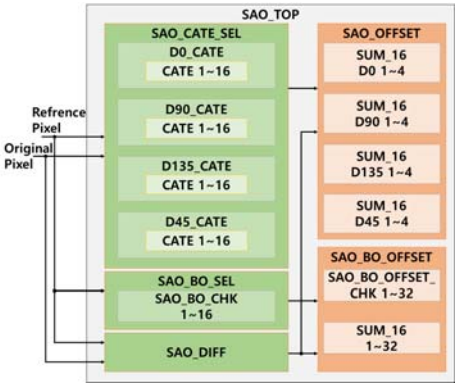

그림 4. 제안하는 SAO 하드웨어 구조

제안하는 SAO 하드웨어 구조는 그림 4와 같다. EO의 카테고리를 결정하는 SAO_CATE_SEL 모듈과 BO의 위치를 결정하는 SAO_BO_SEL 모듈, 원본 픽셀과 복원 픽셀의 차이를 구하는 SAO_DIFF 모듈, EO의 오프셋을 연산하는 SAO_OFFSET 모듈, BO의 오프셋을 연산하는 SAO_BO_OFFSET 모듈로 구성된다.

Ⅳ. 하드웨어 합성 결과

제안하는 하드웨어 구조는 130nm와 65nm 셀 라이브러리로 합성하였다. 표 2는 제안하는 하드웨어 구조의 합성 결과를 나타낸다. 제안하는 하드웨어 구조는 130nm 셀 라이브러리로 합성한 결과 최대 동작 주파수는 476MHz 이고, 게이트 수는 163.1k 이다. 65nm 셀 라이브러리로 합성한 결과 최대 동작 주파수는 312.5MHz 이고, 게이트 수는 193.6k 이다.

표 2. 제안하는 하드웨어 구조의 합성 결과

Process(nm)	130		65	
Frequency(MHz)	182	476	182	312.5
Gate count(k)	65.5	163.1	91.5	193.6
LCU Cycle	226	226	226	226

표 3은 비교 논문과의 하드웨어 합성 결과 비교이다. 비교 논문과의 비교를 위해 동작주파수는 182MHz로 설정하여 합성하였다. 합성 결과 제안하는 하드웨어 구조는 병렬 구조를 통해 게이트 수는 38.91% 증가하지만, LCU를 처리하는데 걸리는 사이클 수는 59.5% 감소하였다.

표 3. 하드웨어 합성 결과 비교

	[5]	Proposed
Process(nm)	65	65
Frequency(MHz)	182	182
Gate count(k)	55.9	91.5
LCU Cycle	558	226

Ⅴ. 결 론

본 논문에서 제안하는 고성능 루프내 필터를 위한 효율적인 SAO 하드웨어 구조는 4x4 블록 기반 SAO를 수행하며, 원본 픽셀과 복원 픽셀의 관계를 이용하여 EO과 BO의 정보를 수집하는 SC 부분을 포함한다. 제안하는 하드웨어 구조는 2단 파이프라인 및 병렬 합산 구조를 통해 연산 시간을 감소시켰으며, 덧셈과 쉬프트 연산을 동시에 수행하여 하드웨어 면적을 감소시켰다. 제안하는 하드웨어 구조는 130nm 셀 라이브러리로 합성한 결과 최대 동작 주파수는 476MHz 이고, 게이트 수는 163.1k 이다. 65nm 셀 라이브러리로 합성한 결과 최대 동작 주파수는 312.5MHz 이고, 게이트 수는 193.6k 이다.

감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터의 해외ICT전문인력활용촉진사업(IITP-2017-0-01681)과 해외인재스카우팅사업(IITP-2016-0-00352)의 연구결과로 수행되었음

참고문헌

[1] G. J. Sullivan, J. R. Ohm, W. J. Han, and T. Wiegand, “Overview of the High Efficiency Video Coding (HEVC) Standard,” IEEE Transactions Circuits and Systems for Video Technology, vol. 22, no. 12, pp. 1649- 1668, Dec. 2012.

[2] C. Fu, E. Alshina, A. Alshin, Y. Huang, C. Chen, C. Tsai, C. Hsu, S. Lei, J. Park, and W. Han, “Sample adaptive offsetinthe HEVC standard,” IEEE Transactions Circuits and Systems for Video Technology, vol. 22, no. 12, Dec. 2012.

[3] Y. Choi and J. Joo, “Exploration of Practical HEVC/H.265 Sample Adaptive Offset Encoding Policies,” IEEE SIGNAL PROCESSING LETTERS, Vol. 22, No. 4, Apr. 2015.

[4] J. Zhou, D. Zhou, S. Wang, S. Zhang, T. Yoshimura, and S. Goto, “A Dual-Clock VLSI Design of H.265 Sample Adaptive Offset Estimation for 8k Ultra-HD TV Encoding,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 25, No. 2, Feb. 2017.

[5] W. Shen, Y. Fan, Y. Bai, L. Huang, Q. Shang, C. Liu, and X. Zeng, “A Combined Deblocking Filter and SAO Hardware Architecture for HEVC,” IEEE Transactions on Multimedia, vol. 18, no. 6, pp. 1022-1033, Jun. 2016.