

# Junctionless FET로 구성된 적층형 3차원 인버터의 AC 특성에 대한 연구

김경원, 안태준, 유운섭\*

한경대학교 전기전자제어공학과

## AC Electrical Coupling of Monolithic 3D Inverter Consisting of Junctionless FET

Kyung-won Kim, Tae-Jun Ahn, Yun Seop Yu\*

Dept. of Electrical, Electronic and Control Eng., Hankyong National University

E-mail : kw224@naver.com

### 요 약

Junctionless FET(JLFET)로 구성된 적층형 3차원 인버터의 전기적 상호작용을 연구하였다. Inter Layer Dielectric (ILD) 두께에 따른 상단 JLFET의  $N_{gate}-N_{gate}$  정전용량과 전달 컨덕턴스의 특성 변화를 하단 JLFET 게이트 전압에 따라서 조사하였다. 상단과 하단 JLFET 사이 간격이 수십 nm 인 적층형 구조를 사용할 때에 두 트랜지스터의 거리에 따른 AC 전기적인 상호작용을 고려해야 한다.

### ABSTRACT

Electrical coupling of monolithic 3D inverter(M3D-INV) consisting of Junctionless FET(JLFET) was investigated. Depending on the thickness of Inter Layer Dielectric (ILD) between top and bottom JLFETs,  $N_{gate}-N_{gate}$  capacitance and transconductance  $g_m$  are changed by the gate voltage of bottom JLFET. Therefore, when using a stacked structure with the ILD below tens nm, AC electrical coupling between two transistors in M3D-INV should be considered.

### 키워드

3D IC, Junctionless FET, capacitance, transconductance, monolithic 3D inverter

## I. 서 론

반도체 집적 회로의 단위 면적당 집적되는 반도체소자의 수를 늘리는 무어의 법칙에 따라 단 순히 반도체의 크기를 줄이는 것이 아닌 3D 집적 회로에 대한 연구가 활발히 진행되고 있다 [1]. 적층형 3D 집적회로는 2개의 트랜지스터를 쌓아 올라가는 구조로, 현재의 스케일링에 의한 물리적 한계를 극복할 수 있다. JLFET(Junctionless-FET) [2]는 MOSFET과 구조상 같으나 도핑의 방식이 n/p/n, p/n/p와는 달리 n+/n/n+, p+/p/p+으로 구성되어 있으며, 게이트 전압에 의한 동작이 정반대로 나타나는 소자이다. 우리 그룹의 지난 연구 [3]에서는 JLFET로 구성된 적층형 3D 인버터(monolithic 3D inverter; M3D-INV)에서 적층된 트랜지스터 사이의 거리인  $T_{ILD}$ 가 50nm이하에서 급격히 문턱전압( $V_{th}$ ) 변화  $\Delta V_{th}$ 와 문턱전압 이하 기울기(subthreshold swing; SS) 변화  $\Delta SS$ 가 증가함을 보였다. 하지만 M3D-INV의 AC 특성에 대한 연구가 아직까지 이루어지지 않았다. 본 논문에서는 M3D-INV의 상단과 하단 JLFET간의 AC

전기적 상호작용에 대해 비교 및 분석한다.

## II. 본 론

M3D-INV의 구조는 트랜지스터 위에 다른 트랜지스터를 쌓아 올리는 구조이다. 이 때, 트랜지스터 사이에 Inter Layer Dielectric (ILD)가 사용된다. 이에 따라 상단 트랜지스터의 게이트는 하단 트랜지스터에 영향을 주지 않고 반대로 하단 트랜지스터의 게이트는 상단 트랜지스터에 영향을 줄 수 있다. 상단 트랜지스터는 N-type JLFET이고 하단 트랜지스터는 P-type JLFET로 구성되어 있다. N-type JLFET는 P-type JLFET의 게이트 전압  $V_{bg}$ 에 의해 영향을 받고, P-type JLFET는 아무런 영향을 받지 않는 상태의 구조이다. P-type JLFET의  $V_{bg}$ 를 0V, 1V로 변화해서 N-type JLFET의 게이트-게이트 정전용량  $C_{ngmg}$ 과 전달컨덕턴스  $g_m$ 을 시뮬레이션했다. 이번 시뮬레이션에서 처음에 지정한 구조 및 파라미터를 변화시키지 않았고 원하는 구조 및 파라미터 값만 변화시켜 가며 비교 실험을 진행하였다. 본 실험에서의

비교대상 초기 값은  $L_g=30$  nm,  $T_{si}=6$  nm,  $T_{ox}=1.5$  nm (SiO<sub>2</sub>), 소스 도핑 농도  $N_s=1 \times 10^{21}$  cm<sup>-3</sup>, 채널 도핑 농도  $N_c=1 \times 10^{18}$  cm<sup>-3</sup>, 드레인 도핑 농도  $N_d=1 \times 10^{21}$  cm<sup>-3</sup>,  $N_{ldd}=1 \times 10^{19}$  cm<sup>-3</sup>로 하였다. 또한 P-type JLFET의  $V_{bg}$ 을 0, 1V로 나누어 실험하였다.

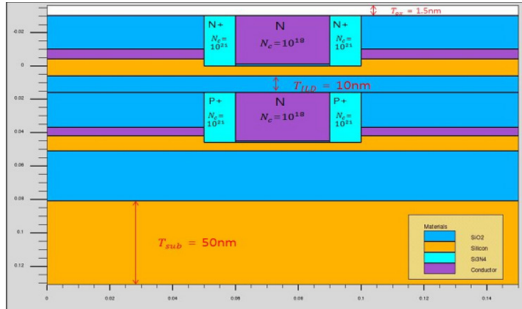


그림 1. M3D-INV의 구조

### III. 실험 결과

위에서 임의로 정한 초기 값으로 기본구조를 만들고 ILD 두께인 두 가지  $T_{LD}$ 값인 10nm, 100nm에 대해서 P-type JLFET의  $V_{bg}$ 을 0V, 1V로 변화시켜가며 게이트-게이트 정전용량  $C_{ngng}$ 를 비교하였다.

그림 2는  $T_{LD} = 10, 100$  nm에서 P-type JLFET의 게이트 전압  $V_{bg} = 0V, 1V$ 인 경우에  $C_{ngng}$ 를 시뮬레이션한 결과를 나타낸다.  $T_{LD}=10$  nm인 경우에  $V_{bg} = 0, 1$  V에서  $C_{ngng} = 0.6$  fF 일 때  $V_{ng}$ 는 0.8, 0.98 V로  $\Delta V_{ng} = 0.09V$ 이다.  $T_{LD}=100$  nm인 경우에는  $V_{bg} = 0, 1$  V에서  $C_{ngng} = 0.6$  fF 일 때  $V_{ng}$ 는 0.8, 0.81 V로  $\Delta V_{ng} = 0.01V$ 이다.  $T_{LD} = 10$  nm일 때 적층된 두 JLFET 사이에 정전용량의 영향이 존재하나  $T_{LD} = 100$  nm에서는 정전용량의 영향이 거의 무시할 만하다.

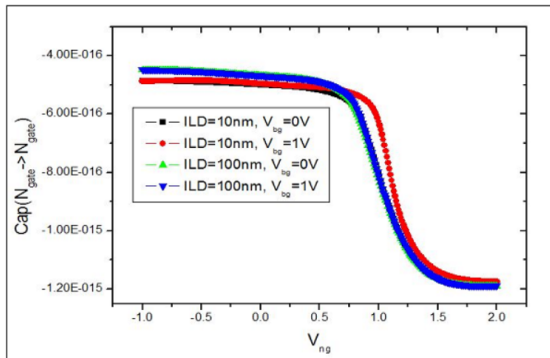


그림 2.  $T_{LD} = 10, 100$  nm 변화에 따른  $C_{ngng}$  비교 ( $L_g=30$ nm)

그림 3은  $T_{LD} = 10, 100$  nm에서 P-type JLFET의 게이트 전압  $V_{bg} = 0V, 1V$ 인 경우에 전달컨덕턴스  $g_m$ 을 시뮬레이션한 결과를 나타낸다.  $T_{LD} = 10$  nm인 경우에  $V_{bg} = 0, 1$  V에서 전달컨덕턴스  $g_m = -0.5$  mA/V일 때에  $V_{ng} = 0.9, 1.1$  V로  $\Delta V_{ng} = 0.2V$ 이고,  $T_{LD} = 100$  nm인 경우에는  $V_{bg} = 0, 1$  V에서 전달컨덕턴스  $g_m = -0.5$  mA/V일 때에  $V_{ng}$ 는 0.85, 0.87 V로  $\Delta V_{ng} = 0.02$  V이다.  $T_{LD} = 10$  nm일 때 적층된 두 JLFET 사이에 전달컨덕턴스의 영향이 조금 존재하나  $T_{LD} = 100$  nm에서는 전달컨덕턴스의 영향이 거의 무시할 만하다.

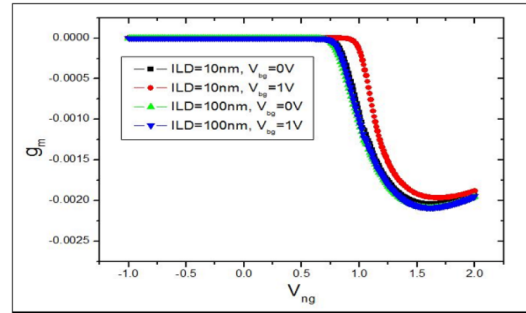


그림 3.  $T_{LD} = 10, 100$  nm 변화에 따른 전달컨덕턴스  $g_m$  비교 ( $L_g=30$ nm)

### IV. 결론

JLFET로 구성된 M3D-INV의 캐패시턴스와 전달컨덕턴스 조사를 통한 AC 상호작용 대해서 설명했다.  $T_{LD}$  변화에 따른  $C_{ngng}$ 와  $g_m$  특성 결과를 보면  $T_{LD}$ 가 커질 경우에  $V_{ng}$ 의 영향을 적게 주는 것을 확인할 수 있다.

### 참고문헌

- [1] M. Vinet, *et. al.*, "3D monolithic integration: Technological challenges and electrical results," *Microelectronic Engineering*, Vol. 88, pp. 331-335, 2011.
- [2] Elena Gnani, *et. al.* "Theory of the Junctionless Nanowire FET," *IEEE Trans. Electron Devices*, Vol. 58 pp.2903-2909, 2011.
- [3] K.-W Kim, *et. al.* "Electrical Coupling of Monolithic 3D Consisting of Junctionless FET," *2016 Fall Conference of KIICE*, pp.614 ~ 615, 2016.