

시간 차 감지기를 사용한 고속 위상고정루프

고기영* · 최혁환 · 최영식

*부경대학교

Fast locking PLL with time difference detector

Gi-Yeong Ko* · Hyuk-Hwan Choi · Young-Shig Choi

*Pukyong National University

E-mail : qw8956@daum.net

요 약

본 논문에서는 시간 차 감지기와 LSI(Lock Status Indicator)를 사용하여 빠른 위상고정 시간을 갖는 위상고정루프를 제안하였다. 제안된 위상고정루프는 1.8V 0.18 μ m CMOS 공정을 사용하여 설계하였고, Hspice 시뮬레이션을 통해 회로의 동작을 검증하였다. 다음은 요약문입니다.

ABSTRACT

A novel structure of fast locking phase locked loop (PLL) with time difference detector and Lock status indicator (LSI) is proposed in this paper. Fast locking time is achieved using LSI. It has been simulated and proved by HSPICE in a CMOS 0.18 μ m 1.8V process.

키워드

PLL, fast locking time, small size chip

I. 서 론

위상고정루프(Phase Locked Loop; PLL)는 각종 무선 통신 시스템과 고속의 시스템이 필요로 하는 다양한 주파수를 가진 신호와 고속 클럭 신호를 만드는 것 등에 널리 사용되고 있다. [1]-[3]에서의 구조는 복수의 루프와 능동 루프필터를 사용함으로써 복잡한 구조가 되어 크기와 설계의 어려움이 있다. 빠른 위상고정 시간과 넓은 대역폭, 좋은 지터 특성을 얻기 위해 새로운 적응적 위상고정루프 구조, 빠른 위상 고정시간과 낮은 위상 잡음 특성을 얻기 위해 단계적 대역폭 변화 방식을 이용한 디지털 위상고정루프를 이용한 구조들이 연구되었다. 본 논문에서는 제안된 전하펌프를

사용하여 루프필터에 하나의 커패시터만을 사용하였고, 또한 LSI(Lock Status Indicator)회로를 사용함으로써 빠른 위상고정 시간을 얻을 수 있다.

II. 제안된 1차 루프필터를 사용하는 위상고정루프 회로

그림 1의 제안한 위상고정루프는 위상여유가 "0"이 되는 하나의 커패시터로 구성된 1차 루프필터를 사용하나 추가된 회로에 의해 안정하게 동작한다. 이는 위상고정루프에서 가장 큰 면적을 차지하는 루프필터의 커패시터 면적을 줄여 집적화를 가능하게 해준다.

그림 1의 위상고정루프는 기존의 위상고정루프와 달리 루프필터 커패시터를 1차로 사용하여 집적화가 가능하도록 한 것이다. 제안된 위상고정루프는 위상·주파수 검출기의 출력신호를 바로 전하펌프로 들어가는 것이 아니라 시간 차 감지기를 (Early-late Detector) 통과하고 전하펌프에 들어가게 된다. 전하펌프는 시간 차 감지기에서 나오는 출력 S1, S2 외에도 분주기의 출력 중 한 신호를 입력으로 하여 만든 K1, K2 신호를 입력으로 받게 된다.

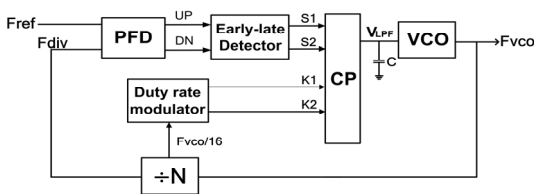


Fig. 1 Proposed PLL structure

그림 2는 시간 차 감지기 신호들의 파형을 보여주고 있다. UP신호가 DN신호보다 앞서게 될 때 S1은 “Low” 상태가 되고, S2는 “High” 상태가 된다. 이는 DN신호가 UP신호보다 앞서게 될 때까지 유지된다. DN신호가 UP신호를 앞서게 되면 S1은 “High” 상태가 되고, S2는 “Low” 상태가 된다.

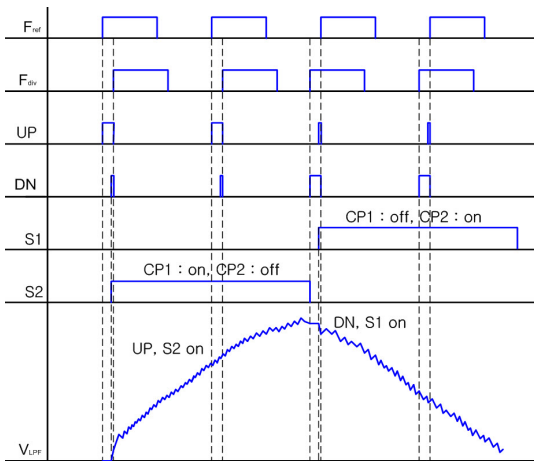


Fig. 2 Time difference detector waveform

III. 시뮬레이션 결과

제안한 구조의 위상고정루프는 1.8V 0.18 μ m CMOS 공정을 사용하여 시뮬레이션 하였다. 15.625MHz의 입력주파수를 가지고 분주비는 64이며, 출력 주파수는 1GHz이다. 기존 위상고정루프와 제안한 위상고정루프는 모두 1차 루프필터를 사용하였으며, 변수 값은 $I_{CP}=25\mu A$, $C=100pF$, $K_{VCO}=330MHz/V$ 이다.

제안한 구조의 경우 그림 3이 보여주듯이 위상 고정 시간이 약 60us가 되고 전압 변동폭은 2.4mV가 된다. 표 1에서 기존의 1차 루프필터를 사용한 결과와 비교하여 커패시터 값을 고려했을 때 충분히 빠르고 작은 값으로 위상이 고정되는 것을 확인할 수 있다.

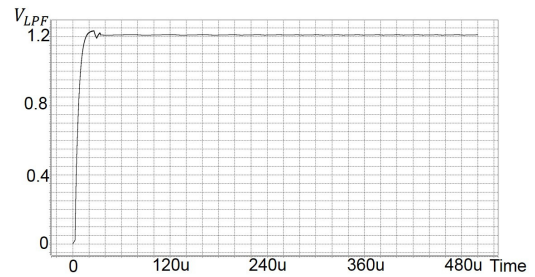


Fig. 3 Proposed PLL. V_{LPF} waveform.

Table. 1 Lock time and loop filter voltage characteristic

	Conventional PLL	Proposed PLL
Lock time	Oscillation	60us
전압 변동 폭	Oscillation	2.4mV
한주기에 발생하는 전압 변동 폭	Oscillation	0.08mV

IV. 결론

본 논문에서는 기존의 구조로는 충분하지 않은 위상여유로 인하여 안정하게 동작을 할 수 없는 하나의 커패시터로 구성된 1차 루프필터를 사용하더라도 안정하게 동작하며 위상 고정시간이 짧은 위상고정루프를 제안하였다.

REFERENCES

- [1] J. Craninckx and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer", *IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, vol. 33, no. 12, pp. 2054-2065, Dec. 1998.
- [2] Y. Koo, H. Huh, Y. Cho, J. Lee, J. Park, D. Jeong, and W. Kim, "A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems", *IEEE Journal of Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.
- [3] B. Catli, A. Nazemi, T. Ali, S. Fallahi, Y. Liu, J. Kim, M. Abdul-Latif, M. R. Ahmadi, H. Maarefi, A. Momtaz, and N. Kocaman, "A 2sub-200 fs RMS jitter capacitor multiplier loop filter-based PLL in 28 nm CMOS for high-speed serial communication applications", *Custom Integrated Circuits Conference*, pp. 1-4, 2013.