

본 연구는 한국과학기술정보연구원이 미래창조과학부 과학기술 진흥기금으로 수행하는 2017 ReSEAT프로그램지원에 의해 수행되었으므로 이에 감사드립니다.

### Vertical probe pin의 Barrel방식 Au도금기술 Au Plating of Vertical probe pin by Barrel Type

김유상<sup>a\*</sup>, 윤희탁<sup>b</sup>

<sup>a\*</sup>한국과학기술정보연구원 전문연구위원(E-mail: kiysjnsc@reseat.re.kr), <sup>b</sup>현대도금(주) 대표이사(E-mail: hdyht@hanmail.net)

**초 록:** 최근 첨단 기능화 되고 있는 반도체의 회로는 증가하고 칩의 브릿지도 점점 증가하고 있다. 반면에 제품은 소형화 되고 회로폭은 미세화 하고, 피치는 감소하고 있다. 이에 회로의 정확한 검사를 위해서는 Probe Pin의 신뢰성을 중요시하게 되면서 도금기술의 고품질화가 요구되는 실정이다. 본연구에서는 Probe Pin과 내구성과 금도금 피막의 두께를 확보하여 국산 반도체 검사장비 시장을 선도 할 수 있도록 금도금피막의 두께와 밀착성 확보와 함께 굽힘시험시 박리와 크랙방지를 위한 기초연구를 수행하고자 하였다.

### EPIG 표면처리에서의 무전해 팔라듐 피막 특성 및 확산에 관한 연구

#### A Study on electroless palladium layer characteristics and its diffusion in the electroless palladium immersion gold(EPIG) surface treatment

허진영<sup>a\*</sup>, 이창면<sup>a</sup>, 구석본<sup>a</sup>, 전준미<sup>a</sup>, 이홍기<sup>a</sup>, 허욱환<sup>b</sup>

<sup>a\*</sup>한국생산기술연구원 표면처리그룹 소재분석센터(E-mail: isedang@kitech.re.kr), <sup>b</sup>(주)익스틀

**초 록:** 본 연구에서는 고신뢰성 인쇄회로기판이나 플립칩 패키지에 적용되는 범프 표면처리에서 널리 사용되는, ENIG나 ENEPIG 대체를 위한 electroless Pd/immersion Au(EPIG)에 대하여 연구하였다. Transmission electron microscopy(TEM) 분석 결과 형성된 Au layer는 crystalline, Pd layer는 amorphous 임을 확인하였으며, 열처리 후 X-Ray photoelectron spectroscopy(XPS)를 통하여 EPIG층이 하부 copper의 확산방지막으로서 효과가 있음을 알 수 있었다. 또한, 비정질 Pd layer가 확산을 방지하기 위하여는 일정수준 이상의 두께가 필요하며, 그 두께는 35~65nm 수준임을 알 수 있었다.