

다중입력 에너지 하베스팅 시스템을 위한 저전력 벡-부스트 변환기

조길제 · 광명진 · 임주안 · 유종근

인천대학교

Low-Power Buck-Boost Converter for Multi-Input Energy Harvesting Systems

Gil-Je Jo · Myoung-Jin Kwak · Ju-An Im · Chong-Gun Yu

Incheon National University

E-mail : giljae94@naver.com

요 약

본 논문에서는 다중 입력 에너지 하베스팅 시스템을 위한 저전력 벡-부스트 변환기를 설계하였다. 설계된 회로는 3개의 입력 채널로부터 수확되는 에너지를 실시간 병합한 후, 저장 커패시터에 저장하는 역할을 한다. 하나의 외부 인덕터를 사용하고 Arbiter를 이용한 시간분할 기법을 적용하여 벡-부스트 변환기의 구조를 간략히 하였다. 또한 시스템의 효율을 향상시키기 위해 변환기의 컨트롤러 회로들은 전류소모가 최소화 되도록 설계하였다. 제안된 회로는 0.35 μm CMOS 공정으로 설계하였다. 모의실험 결과 설계된 회로는 3개의 입력 채널이 모두 활성화 되었을 때 최대 490nA의 전류를 소모하며, 최대 전력효율은 92%이다. 설계된 회로의 칩 면적은 1310 μm x 1100 μm 이다.

ABSTRACT

This paper presents a low-power buck-boost converter for multi-input energy harvesting systems. The designed circuit combines the energy harvested from three input channels in real time and stores it in a storage capacitor. The structure of the buck-boost converter is simplified by using one external inductor and applying time division technique using an arbiter. In addition, to improve the efficiency of the system, the controller circuits of the converter are designed so that current consumption is minimized. The proposed circuit is designed with 0.35 μm CMOS process. Simulation results show that the designed circuit consumes up to 490nA of current when all three input channels are active, and the maximum power efficiency is 92%. The chip area of the designed circuit is 1310 μm \times 1100 μm .

키워드

Buck-boost converter, Multi-input energy harvesting, DC-DC converter, Arbiter

1. 서 론

에너지 하베스팅(energy harvesting)기술은 빛, 열, 진동 등 버려지고 있는 다양한 에너지를 수집하여 전기에너지로 재활용 하는 기술을 말한다. 최근 신재생에너지의 중요성이 부각됨에 따라 이 기술도 점점 부상 중이고. 이에 따른 연구가 활발히 진행 중이다[1-5].

지금까지 에너지 하베스팅 기술에 대한 연구는 빛, 진동, 열 등 단일 에너지원을 이용한 연구가 주를 이루고 있다. 한 가지 유형의 에너지 변환

소자만을 사용하는 경우에는 에너지 하베스팅이 환경 변화에 매우 민감하며, 따라서 응용분야가 제한적일 수밖에 없다. 최근 여러 에너지원을 사용하는 다중입력 에너지 하베스팅 기술에 대한 연구가 활발히 진행되고 있다. 여러 개의 에너지를 동시에 수확하는 방법으로는 스위칭 유형의 DC-DC 변환기 구조가 많이 사용되고 있으며, 여러 개의 인덕터를 사용하는 방식[1]과 하나의 인덕터를 공유하는 방식[2-5]이 제안되고 있다.

본 논문에서는 다중입력 에너지 하베스팅 시스템을 위한 저전력 벡-부스트 변환기를 설계하였다. 여러 개의 입력 채널에서 수확된 에너지를 병

이 논문은 IDEC 지원에 의해서 일부 수행되었음.

합하기 위해 fixed-priority arbiter 회로를 사용하였으며, 하나의 외부 인덕터를 사용하여 벡-부스트 변환 동작을 하도록 하였다. 또한, 컨트롤 회로의 전력소모를 최소화하기 위해 다양한 저전력 소모 기술들을 적용하였다. 이번 설계에서는 3개의 입력 채널을 대상으로 하였으나, 제안된 방법은 더 많은 입력에서도 적용가능하다.

II. 회로설계 및 검증

2.1 제안된 Buck-Boost Converter

그림 1은 본 논문에서 제안하는 에너지 하베스팅 응용을 위한 Buck-Boost Converter의 블록도이다. 제안된 회로는 Arbiter, DCDC Controller, Bias circuit, VD(Voltage Detector), Start-Up Block과 L (인덕터), Cst(저장커패시터)로 이루어져있다. 하베스팅된 세 에너지들은 Arbiter에서 우선순위를 정해 우선순위대로 인덕터에 전류형태로 저장되며 컨트롤러를 통해 Cst의 승압에 기여하게 된다. BIAS회로는 reference voltage 및 current를 만들며, Start-Up회로는 초기 안정적인 Bias동작 환경이 구성되지 않았을 시 소자로부터 하베스팅된 에너지를 직접 Cst로 보내 승압시켜주는 회로이다. VD는 Cst가 일정 전압이상이 되면 Start-Up Block의 동작을 정지시킨다.

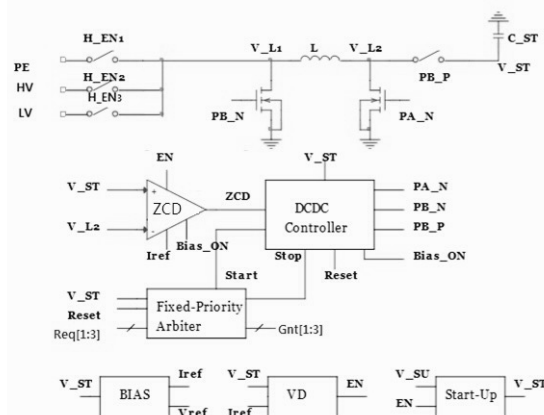


그림 1. Buck-boost Converter 블록도

2.2 Arbiter

그림2는 Arbiter의 블록도이다. Arbiter는 세 입력으로부터 우선순위를 정해우선순위가 높은 입력으로부터 인덕터에 에너지를 저장시킬 수 있도록 하며, DCDC Controller에 Req(Request)신호를 넘겨 주는 역할을 한다. DCDC Controller에 Req를 보내고 stopb를 받아 Gnt(Grant)신호를 내보내 준다. 이때 Gnt 신호에 의해 세 입력중 우선순위가 높은 입력이 인덕터로 저장 된다.

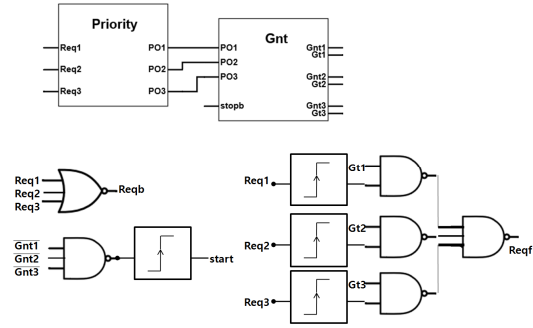


그림 2. Arbiter 블록도

2.3 VD(Voltage Detector)

VD는 Cst에 저장된 Vst를 감지 하여 기준전압 이상에서 EN신호를 내보내주는 회로이다. Ibias와 Vref에는 Bias회로에서 Iref와 Vref를 받는다. VD에는 Cst에 저장되는 Vst가 들어온다. 디바이딩 시 전류소모를 적게하기 위해 width가 큰 p-Mos를 이용했다.

2.4 SU(Start-Up)

그림 3은 SU의 블록도이다. SU는 우선순위가 가장 높은 입력의 전압 VBF1과 두 번째로 높은 전압 VBF2로부터 다른 블록들을 거치지 않고 저장커패시터에 전압을 바로 저장해주어, 작동 초기 블록들이 제 동작을 바로 할 수 있게 해준다. Cst의 전압 Vst가 일정 이상이 되면 작동을 멈춘다. Simple HV와 Level shifter, 스위치로 구성 되어있다.

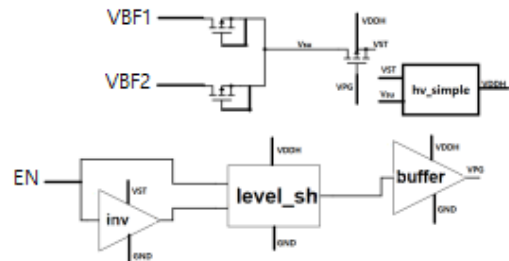


그림 3. Start up 블록도

2.5 DDC(DCDC Controller)

DDC(DCDC Controller)는 세 스위치 PA_N, PB_N, PB_P의 ON/OFF를 제어하는 역할을 한다. 각 Phase마다 스위치의 ON/OFF여부가 결정 된다. 그림 4는 각 Phase를 나타낸 그래프이다. PHA는 입력이 충분히 하베스팅되어 일정 전압 이상이 되면 인덕터로 전류를 보내 에너지를 저장하는 상태이다. PHB는 Req가 끝나면 진입하는 상태로, 인덕터에 저장된 에너지를 이용해 저장커패시터의 전압 Vst를 승압 시키는 상태이다. PHA 상태일 때는 PA_N이 'on'되며 PHB 상태일 때는 PB_N, PB_P 스위치가 'on'이 된다.

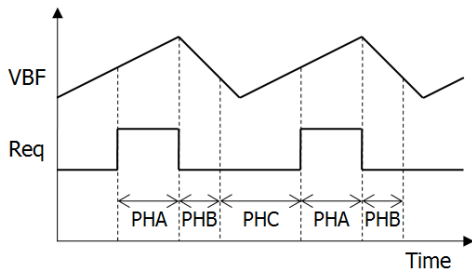


그림 4. Phase 그래프

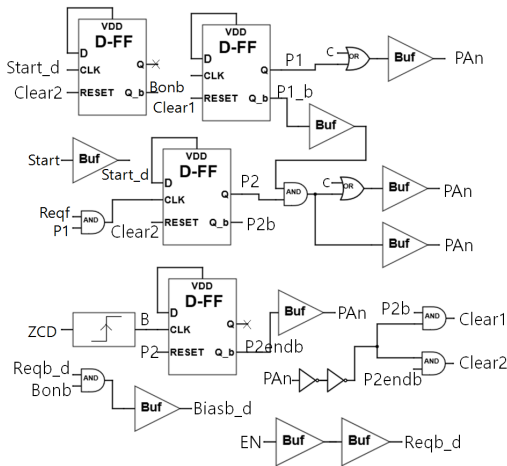


그림 5. DCDC Controller 회로도

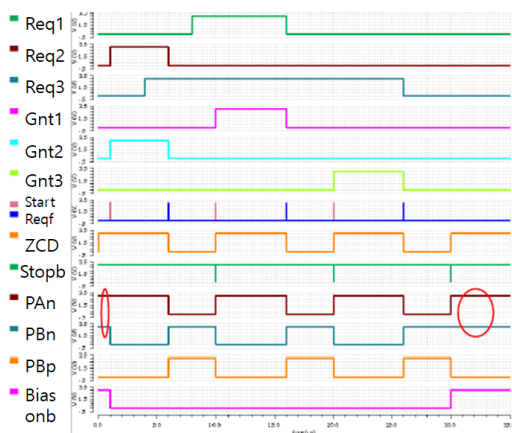


그림 6. DCDC Controller 동작 그래프

그림 5는 DDC의 회로도이다. D플립플롭을 통해 각 신호를 Triggering하는 방식으로 제어한다. Arbitrer로부터 start 신호를 받아 동작을 시작하게 되는데 start 신호를 받으면 Bonb는 'LOW'가 되어 ZCD CMP를 동작시킬 준비를 하고 P1이 'High'가 되어 PHA 상태로 진입, PAn 신호가 'High'가되어 PA_n 스위치를 'on' 시킨다. PHA가 끝나는 시점은 Arbitrer로부터 Req가 falling 하는 시점, 즉 Reqf 신호를 받는 시점으로, Reqf 신호를

받으면 P2가 'HIGH'가 되어 PHA를 종료 시키고 PHB 상태로 진입한다. PHB 상태로 진입함에 따라 PBn, PBp가 'High'가 되고 PA_n을 'off', PB_n, PB_p 스위치를 'on' 시킨다.

PHB는 ZCD신호가 Rising 할 때 종료 되는데, 이것은 Vst가 VL2보다 커져 역전류가 흐르기 직전의 상황이다. 이것을 ZCD(Zero Current Detector)가 감지하며 ZCD신호의 Rising edge를 Edge Detector가 감지하여 P2endb 신호가 'Low'가 되고 PHB가 종료하게 된다.

회로내의 일부 Buffer들은 신호를 Delay 시키기 위해 사용되었으며 이 소자들 은 각 신호들의 잘못된 Triggering을 방지하여 오작동 및 소모전류 낭비를 최소화 시킨다. PAn이나 PBn 신호가 출력되기 전 C신호와 OR화 된 것은 PHA도 아니며 PHB도 아닌 Request가 존재 하지 않는 PHC 상태(그림 4)에서 인덕터를 그라운드로 고정시켜 VL2의 잘못된 Ringing현상을 방지하고자하기 위함이다.

그림 6은 DCDC Controller의 Transient 해석 결과이며 모든 신호가 이상 없이 작동하고 있음을 나타내고 있다. PAn, PBn이 PHC상태에서 VL2의 Ringing현상을 방지 하기 위해 'High'를 유지하고 있음을 확인 할 수 있다.

2.6 Zero Current Detect Comparator

그림 7은 ZCD CMP의 회로도 이다. ZCD CMP는 회로도 와 같이 Hysteresis comparator이다. 인덕터 오른쪽 노드의 전압 VL2와 Vst를 비교하여 Vst에서 VL2로 역전류가 흐르지 못하도록 Zero Current를 Detecting 한다. VST가 VL2보다 높을 때 ZCD='1'을, VL2가 VST 보다 높을 때 ZCD='0'을 출력한다. 전류소모를 줄이기 위해 PHA 상태와 PHB 상태일 때만 동작하며 Bias_ onb 신호가 이를 제어한다. Tail current 단과, Tail current단의 Current mirror 단 그리고 출력단에 스위치를 두어 스위치 off시 전류를 흐르지 못하게 막는 한편 출력단의 전압을 거의 VDD까지 끌어 올려 놓음으로써 이중으로 제동 할 수 있도록 설계 했다. 테일 커런트를 세갈래로 나뉘는데, 이것은 Parasitic cap을 분산시켜 전류패스가 원활히 형성 되도록 하기 위한 것이다. 이로써 CMP의 Delay time을 줄이는 효과를 볼 수 있다. Bias_ onb = '0' 일 때는 IBas가 Reference 전류의 60배 만큼 흐르고 Bias_ onb = '1' 일 때는 전류가 거의 흐르지 않는다.

2.7 DCDC Converter

그림 8은 제안된 DCDC Converter의 테스트벤치 회로의 Transient 시뮬레이션 결과로, Vst가 3V이상까지 잘 승압됨을 확인 할 수 있다. 부하저항에 따른 효율 그래프를 그림 9에 보였다. 설계된 회로의 최대 전력 효율은 92%이다. 제안된 회로는 0.35um CMOS 공정으로 설계되었으며, 레이아웃

도면을 그림 10에 보였다. 설계된 회로의 칩 면적은 패드를 포함하여 $1310\mu\text{m} \times 1100\mu\text{m}$ 이다.

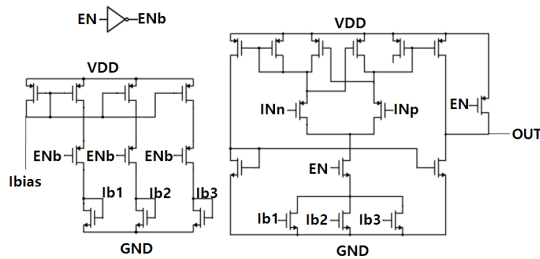


그림 7. ZCD CMP 회로도

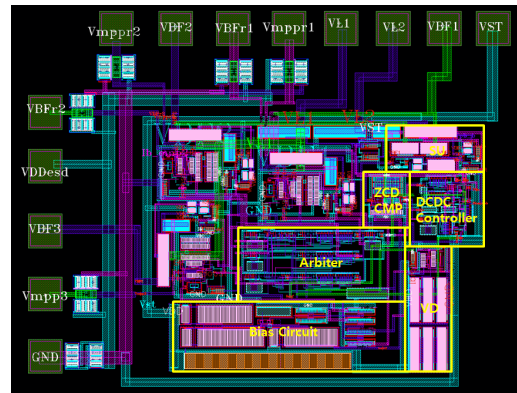


그림 10. 제안된 회로의 레이아웃 도면

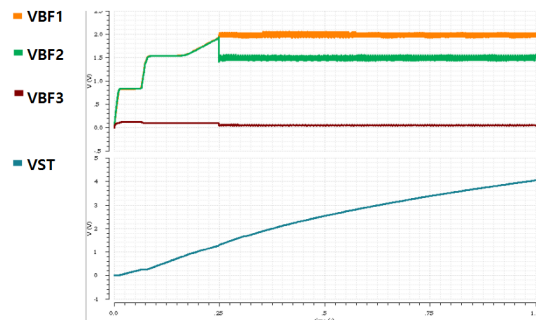


그림 8. DC-DC Converter 동작그래프

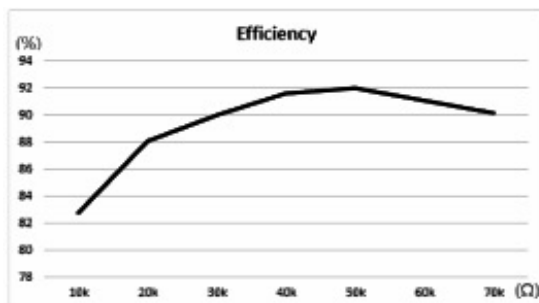


그림 9. 제안된 DC-DC Converter의 효율

III. 결 론

본 논문에서는 다중 입력 에너지 하베스팅 시스템을 위한 저전력 벡-부스트 변환기를 $0.35\mu\text{m}$ CMOS 공정을 이용하여 설계하였다. 설계된 회로는 3개의 입력 채널이 모두 활성화 되었을 때 최대 490nA 의 전류를 소모하며, 최대 전력효율은 92%이다. 설계된 회로의 칩 면적은 패드를 포함하여 $1310\mu\text{m} \times 1100\mu\text{m}$ 이다. 제안된 벡-부스트 변환기는 저전력 소모 특성과 작은 면적을 차지하기 때문에 다중입력 에너지 하베스팅이 필요한 다양한 응용분야에 적용될 수 있다.

References

- [1] Y. C. Kuo, Y. M. Huang, L. J. Liub, "Integrated circuit and system design for renewable energy inverters," International Journal of Electrical Power & Energy Systems, Volume 64, pp. 50-57, 2014.
- [2] S. Bandyopadhyay and A.P. Chandrakasan, "Platform Architecture for Solar, Thermal, and Vibration Energy Combining With MPPT and Single Inductor", IEEE JSSC, pp. 2199-2215, 2012.
- [3] Y. S. Yuk, et.al., "An energy pile-up resonance circuit extracting maximum 422% energy from piezoelectric material in a dual-source energy-harvesting interface," 2014 Dig. Tech. Papers in IEEE ISSCC, pp. 402-403, 2014.
- [4] M. Dini, A. Romani, M. Filippi, V. Bottarel, G. Ricotti, and M. Tartagni, "A Nanocurrent Power Management IC for Multiple Heterogeneous Energy Harvesting Sources", IEEE Trans. Power Electronics, Vol. 10, No. 10, pp. 5665-5680, Oct. 2015.
- [5] M. Dini, A. Romani, M. Filippi, and M. Tartagni, "A Nanocurrent Power Management IC for Low-Voltage Energy Harvesting Sources", IEEE Trans. Power Electronics, Vol. 31, No. 6, pp. 4292-4304, June 2016.