

커플드 인덕터 인터리브드 전압 밸런서의 소신호 분석 및 제어기 설계

변형준, 박정민, 박태화, 김범준, 원충연
성균관대학교

Small signal Analysis and Controller Design of Interleaved Voltage Balancer with Coupled Inductor

Hyung-Jun Byun, Jung-Min Park, Tae-Hwa Park, Bum-Jun Kim and Chung-Yuen Won
SungKyunKwan University

ABSTRACT

본 논문은 양극성 저압 직류배전망 구성을 위한 커플드 인덕터를 활용한 인터리브드 전압 밸런서의 소신호 분석 및 제어기 설계를 제안한다. 커플드 인덕터를 활용한 인터리브드 구조의 전압 밸런서는 출력 캐패시턴스 및 전체 인덕턴스를 줄일 수 있는 이점 있으나, 결합계수 및 인터리브드 입력으로 인한 회로 분석의 어려움이 존재한다. 본 논문은 이를 해결하기 위해 커플드 인덕터 등가회로를 통한 인덕턴스 결합 분석 및 제어 입력의 평균 계산법을 적용하여 소신호 모델링을 진행하고 제어기를 설계하였으며 이를 PSIM 시뮬레이션을 통해 검증하였다.

1. 서론

최근 연구되고 있는 양극성 저압 직류배전망은 단극성 배전망에 비해 안정성 및 전력 신뢰도의 이점을 가지나, 부하량 차이로 인해 양 버스 전압이 불평형이 될 수 있는 문제점을 갖는다. 이를 해결하기 위한 전압 밸런서는 양극성 배전망에 부하 불균형에 의한 전류 차를 보상하여 전압 버스 간의 전압 밸런싱 동작을 수행한다.

밸런싱을 위한 다양한 구조가 제안되었으며 출력 전류 리플 및 토폴로지의 부피 문제를 해결하기 위해 그림 1과 같은 커플드 인덕터를 활용한 인터리브드 전압 밸런서가 제안되었다. 하지만 해당 회로는 인터리브드 구조에 의해 입력이 늘어나게 되고, 커플드 인덕터는 인가전압에 따라 등가 임피던스가 바뀌어 회로 분석에 어려움이 있다^[1]. 본 논문에서는 이를 해결하기 위해 커플드 인덕터 등가회로를 통해 전압 밸런서의 동작을 상태공간 기법으로 분석하였으며 이를 바탕으로 소신호 분석 및 제어기를 설계하여 PSIM 시뮬레이션으로 검증하였다.

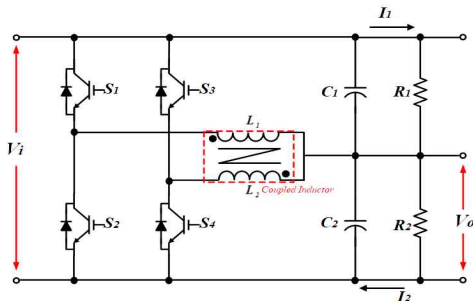


그림 1 커플드 인덕터를 활용한 인터리브드 전압 밸런서
Fig. 1 Coupled Inductor Interleaved Voltage Balancer

2. 본론

2.1 동작 및 커플드 인덕터 분석

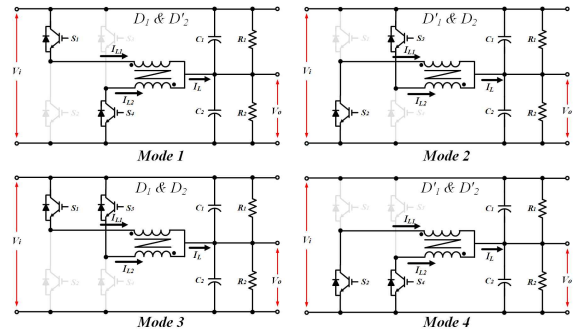


그림 2 커플드 인덕터를 활용한 인터리브드 전압 밸런서 동작모드
Fig. 2 Operation Mode of Coupled Inductor Interleaved Voltage Balancer

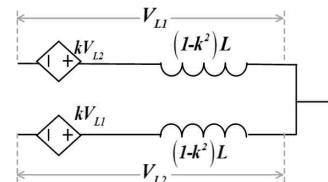


그림 3 커플드 인덕터 등가회로
Fig. 3 Equivalent circuit of Coupled Inductor

인터리브드 구조의 전압 밸런서는 총 4가지의 동작 모드를 가지고 있다. 각 인덕터 전압은 듀티비 D_1, D_2 에 의해 영향을 받으며, 자화전류 I_m 의 크기를 최소화하기 위해 D_1, D_2 는 같은 크기에 180° 위상차를 두고 동작하게 된다.

그림 3은 커플드 인덕터의 등가회로로 상하단 대칭구성이다. 등가회로는 자기 인덕턴스 L 과 결합계수 k 로 표현되며 인덕턴스 결합에 의해 상하단 전압이 상호적으로 나타난다. 이를 Voltage-Second Balance를 통해 나타내면 다음과 같다.

$$\begin{aligned} (1-k^2)L \frac{di_{L1}}{dt} &= (D_1 + kD_2)(v_i - v_o) + (D'_1 + kD'_2)(-v_o) \\ (1-k^2)L \frac{di_{L2}}{dt} &= (D_2 + kD_1)(v_i - v_o) + (D'_2 + kD'_1)(-v_o) \end{aligned} \quad (1)$$

이때 출력단 인덕터 전류는 상하단 인덕터 전류의 합이며 각각의 듀티비 D_1, D_2 를 평균으로 나타내면 아래 식과 같다.

$$D = (D_1 + D_2)/2 \quad (2)$$

$$\frac{di_L}{dt} = \frac{Dv_i - D'v_o}{0.5(1-k)L} \quad (3)$$

2.2 소신호 분석 및 제어기 설계

캐패시터 또한 상단과 하단을 대칭적으로 구성하게 되며 그림 1의 출력단에 KCL을 적용하여 나타낼 수 있다.

$$I_{c2} = C \frac{dv_o}{dt} = I_L + C \frac{d(v_i - v_o)}{dt} + \frac{V_i}{R_1} - v_o \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \quad (4)$$

$$\frac{dv_o}{dt} = - \frac{d(v_i - v_o)}{dt} = \frac{1}{2C} \left[I_L + \frac{v_i}{R_1} - v_o \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right] \quad (5)$$

식(3),(5)를 상태 공간으로 표현하면 다음과 같다.

$$x \equiv [i_L \ v_o]^T \quad (6)$$

$$A = \begin{bmatrix} 0 & -\frac{2}{(1-k)L} \\ \frac{1}{2C} & -\frac{1}{2C} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \end{bmatrix} \quad B = \begin{bmatrix} \frac{2D}{(1-k)L} \\ \frac{1}{2CR_1} \end{bmatrix} \quad C = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \quad (7)$$

$$C(sI - A)^{-1}B = \frac{1}{\Delta} \begin{bmatrix} \left(s + \frac{1}{2} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right) \frac{2D}{(1-k)L} - \frac{1}{(1-k)LCR_1} \\ \frac{D}{(1-k)LC} + \frac{1}{2CR_1} s \end{bmatrix} \quad (8)$$

$$\Delta = s^2 + \frac{1}{2C} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) s + \frac{1}{(1-k)LC}$$

식(6) ~ (8)을 통해 개루프 전달함수를 구할 수 있다.

$$G_{vd} = \frac{\hat{v}_o}{\hat{d}} = \frac{V_i}{(1-k)LCs^2 + 0.5(1-k)L \left(\frac{1}{R_1} + \frac{1}{R_2} \right) s + 1} \quad (9)$$

$$G_{id} = \frac{\hat{i}_L}{\hat{d}} = \frac{\left\{ 2Cs + \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \right\} V_i}{(1-k)LCs^2 + 0.5(1-k)L \left(\frac{1}{R_1} + \frac{1}{R_2} \right) s + 1} \quad (10)$$

$$G_{vi} = \frac{\hat{v}_o}{\hat{i}_L} = \frac{1}{2Cs + \left(\frac{1}{R_1} + \frac{1}{R_2} \right)} \quad (11)$$

그림 4는 전압 밸런서의 제어기 블록도로 비례 적분형 제어기 $K_p + K_i/s$ 를 사용하여 전류 제어기 및 전압 제어기를 설계하였다.

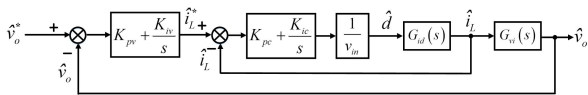


그림 4 전압 밸런서 제어기 블록도
Fig. 4 Block diagram of Voltage Balancer controller

2.3 시뮬레이션

불평형 부하에 따른 전압 버스 간 전압 밸런서 제어기의 동작 확인을 위해 PSIM 시뮬레이션을 진행하였다. 시뮬레이션 파라미터는 표 1과 같다.

표 1 시뮬레이션 파라미터

Table 1 Simulation parameters

파라미터	값	파라미터	값
V_i	380[V]	V_o	190[V]
C	200[μF]	L	500[μH]
f_s	20[kHz]	k	0.9
R_1	25[Ω]	R_2	12.5[Ω]

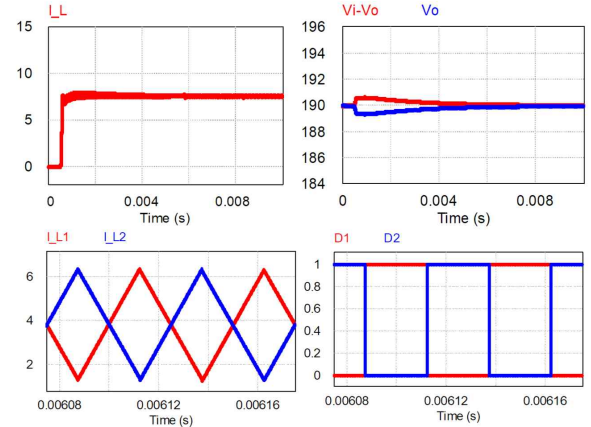


그림 5 전압 밸런서 PSIM 시뮬레이션 결과
Fig. 5 PSIM Simulation result of Voltage Balancer

그림 5는 상하단 부하 1.4[kW] 부하 평형상태에서 0.5[ms] 구간 하단 배전망 부하를 2.8[kW]로 변경한 불평형 배전망에서의 전압 밸런서 동작 PSIM 시뮬레이션 결과이다. 각 듀티비 D_1, D_2 는 제어기에 의한 출력 D 를 180°위상차로 동작하였으며 부하는 저항 부하로 모의하였다. 불평형 부하 전류 제어를 통해 부하 변경 시 출력 인덕터 전류가 전압 제어기 출력 불평형 전류지령에 수렴하는 것을 확인했으며, 이에 따른 출력 양극 전압 밸런싱 동작 통해 해당 회로의 소신호 분석 및 제어기 설계의 타당함을 검증하였다.

3. 결론

커플드 인덕터를 활용한 인터리브드 전압 밸런서 회로는 결합계수 및 인터리브드 입력으로 인한 회로 분석의 어려움이 존재한다. 본 논문은 이를 해결하기 위해 커플드 인덕터 등가회로를 통한 인덕턴스 결합 분석 및 듀티비를 평균으로 계산하는 방법을 적용하였으며 상태 공간 기법을 통한 소신호 분석을 진행하였고 전달함수를 도출하였다. 소신호 분석을 바탕으로 출력 인덕터 전류가 지령에 수렴하는 비례 적분 제어기를 설계하였으며 이를 PSIM 시뮬레이션을 통해 해당 소신호 분석 및 제어기 설계의 타당성을 검증하였다.

이 논문은 2019년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 2019R1A2C2007216)

참고 문헌

- [1] G. Zhu, B. A. McDonald and K. Wang "IEEE Transactions on power electronics : Modeling and Analysis of Coupled Inductors in Power Converter", vol. 26, no. 5, pp. 1355-1363, May 2011.