FPGA 를 이용한 프로토콜 연구 방법 제안

하경준*, 조창영*, 도영수*, 전재욱*
*성균관대학교 정보통신대학
g1004jay@g.skku.edu, jam56@g.skku.edu, cok2529@g.skku.edu, jwjeon@skku.edu

Proposal of Protocol Research Method Using FPGA

Kyoung-Joon Ha*, Chang-Young Jo*, Young-Soo Do*, Jae-Wook Jeon*
*College of Information & Communication Engineering, Sungkyunkwan University

요 약

특정 통신 프로토콜을 지원하는 물리 계층 트랜시버(PHY)가 없을 때 물리 계층의 부재로 인해 해당 프로토콜이 사용된 통신 시스템을 구현할 수 없다. 그래서 PHY 의 부재는 프로토콜 연구에 큰 걸림돌이 된다. 이런 경우 FPGA 로 물리 계층을 구현할 수 있다. FPGA 를 사용하면 목적과 상황에 맞춰 물리 계층을 구현할 수 있다는 장점이 있다. 통신 속도, 채널의 개수, 오류 검출 알고리즘 등 프로토콜의 다양한 요소를 사용자의 마음대로 구현할 수 있다. 본 논문에는 10Mbps 이더넷 통신에 대한 물리 계층을 FPGA 로 구현하는 실험을 담고 있다. 결과적으로 물리 계층의 구현에 성공했지만 검증에는 실패하였다. 실험에 사용된 보드에는 이더넷 PHY 가 장착되어 있었다. 이더넷 PHY 가 수신 신호를 간섭해서 물리 계층의 동작성을 검증할 수 없었다. 추후에 이더넷 PHY 를 제거하고 재실험을 진행할 것이다. 비록 검증에는 실패했지만, 실험을 통해 FPGA 로 물리 계층을 구현할 수 있음을 보이고 통신 프로토콜 연구 방법으로 이를 제안하고자 한다.

1. 서론

A. 배경

사용되는 통신 프로토콜에 따라 다양한 물리 계층 트랜시버(PHY)가 존재한다. 예를 들면, Lantiq 사의 PEF7071 칩은 MII 또는 RMII 인터페이스로 이더넷(Ethernet) 통신을 지원한다 [1]. 하지만 원하는 프로토콜을 지원하는 PHY 가 없을 수도 있다. 예를 들어, 이더넷 프로토콜 중 하나인 10Base-T1S 를 지원하는 PHY 는 현재 시중에 나와 있지 않다.

PHY 에서 원하는 프로토콜을 지원하지 않는다면 해당 프로토콜이 사용되는 통신시스템을 연구할 수 없다. 예를 들어, 10Base-T1S 프로토콜이 사용되는 통신 시스템을 연구하려 해도 PHY 의 부재로 인해 통신 시스템을 물리적으로 구현하지 못 하는 일이 발생한다. 본 논문에서는 이 문제에 대한 해결책으로 FPGA(Field Programmable Gate Array) 사용을 제안한다.

B. FPGA

FPGA 는 프로그래밍 가능한 논리소자의 배열이다. 사용자가 원하는 논리 그대로 HDL(hardware description language) 형태로 프로그래밍할 수 있다. 물리 계층 프로토콜을 HDL 로 프로그래밍만 해준다면 FPGA 로 물리 계층을 구현하는 것이 가능하다. FPGA 로 물리 계층을 구현하면 사용자의 필요에 따라 프로토콜을 정의할 수 있다는 장점이 있다. 통신 속도, 토폴로지, 라인의 개수, 오류 검출 알고리즘 등 다양한 요소를 사용자가 직접 정의할 수 있다.

C. 실험

본 논문에는 10Mbps 이더넷 통신에 대한 물리 계층을 구현하고 이를 이용하여 통신하는 실험을 담고 있다. 이더넷 10Base-T 프로토콜에서는 MAC(Media Access Controller)으로부터 수신된 비트 데이터가 오류 검출 알고리즘과 ADC(Analog to Digital Converter)의 과정을 거치고 아날로그 차동 신호(analog differential signal)로 출력된다. 하지만 이런 과정들을 모두 배제하고 MAC 으로부터 수신된 비트 데이터가 통신 속도에 따라 디지털 차동 신호로 출력되도록 하였다. 실험을 통해 FPGA 로 물리 계층을 구현할 수 있음을 보이고 이를 통신 프로토콜 연구 방법으로 제안하고자 한다.

2 장에서는 이더넷의 프레임과 MII 에 대해 설명한다. 3 장에서는 2 장의 내용을 활용하여 진행한 실험과 결과를 제시한다. 이어진 4 장에서는 future work 를 제시하고 5 장에서는 본 논문을 마무리 짓고자 한다.

2. 이더넷

A. 이더넷 프레임

이더넷은 data-link layer 인 LAN(local area network)에서 사용되는 통신이다. 이더넷은 각 기기의 고유 MAC 주소로 상호 간에 통신한다. 이러한 통신의 과정은 이더넷 프레임이라는 정해진 형식에 따라 이루어진다. 이더넷 프레임은 (그림 1)과 같다.

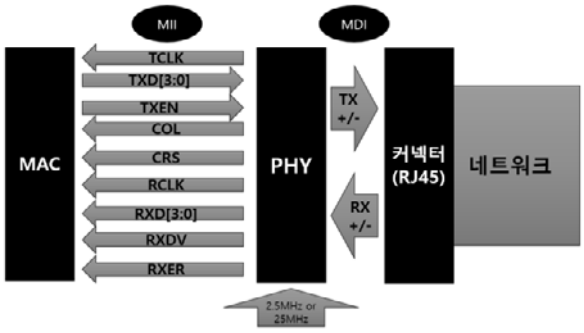
(그림 1) 이더넷 프레임.

프레임별 설명은 다음과 같다.

- Preamble 은 101010…10 이며 프레임의 시작을 알린다.
- SFD(start frame data)는 10101011 이며 프레임의 내용이 시작됨을 알린다.
- DA(destination address)는 수신지의 MAC 주소를 담고 있다.
- SA(source address)는 발신지의 MAC 주소를 담고 있다.
- Type/Length 은 상위 계층에서 사용된 프로토콜의 종류 또는 데이터의 길이를 담고 있다. 본 실험에서는 데이터의 길이를 담고 있다.
- Data 는 실제 데이터를 담고 있다. 만약 데이터가 46 바이트보다 짧으면 Pad(0 의 연속)로 채워진다.
- CRC 는 데이터에 오류가 있는지 검사하는 용도로 쓰인다.

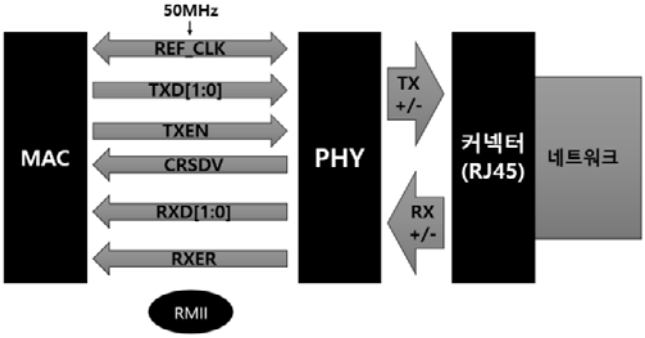
B. MII 와 RMII

(그림 2)에 명시되어 있듯이 MAC 과 PHY 사이의 인터페이스를 MII(Media Independent Interface)라고 한다.



(그림 2) MII.

(그림 2)에 명시된 것처럼 MII 에 사용되는 wire 의 개수는 총 15 개다. MCU 의 하드웨어 자원이 제한되어 있음을 생각한다면 이는 시스템 설계 시 큰 부담으로 작용할 수 있다. 이러한 단점을 보완할 수 있는 방식이 RMII(Reduced Media Independent Interface)다.

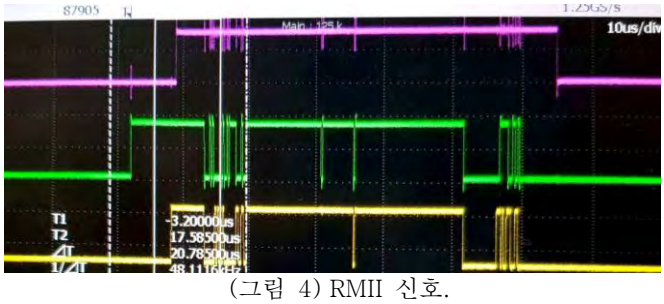


(그림 3) RMII 신호 구성.

(그림 3)에 명시된 것처럼 RMII 에 사용되는 wire 의 개수는 8 개뿐이다. 각 신호에 대한 설명은 <표 1>과 같다 [2].

<표 1> RMII 신호 설명

신호	설명
REF_CLK	MAC 과 PHY 가 공유하는 50MHz 클록
TXD[1:0]	TXD0 는 데이터의 짝수 번째 비트를, TXD1 은 홀수 번째 비트를 담고 있다. 예를 들어, 10101010 송신 시 TXD0 에는 1111, TXD1 에는 0000 이 송신된다.
TX_EN	Active 시 TXD0, TXD1 을 송신
RXD[1:0]	TXD0, TXD1 을 수신
CRS_DV	케리어 센스(CRS)와 수신 데이터 유효 플래그(RX_DV)가 합쳐진 것으로 2 개의 신호가 번갈아 나타난다.
RX_ER	수신 에러 플래그



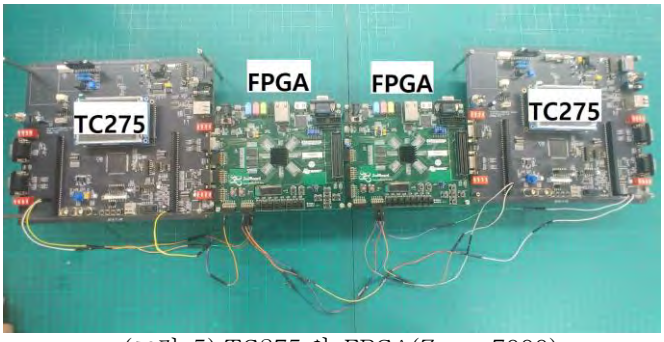
(그림 4) RMII 신호.

RMII 신호를 오실로스코프로 측정하였고 결과는 (그림 4)와 같다. 가장 위의 분홍색 파형은 CRSDV, 초록색과 노란색 파형은 RXD0, RXD1 의 파형이다. RXD0 와 RXD1 신호는 각각 데이터의 짝수 번째 비트와 홀수 번째 비트를 담고 있다. (그림 4)를 보면 RXD0 와 RXD1 이 수신될 때 CRS_DV 비트도 켜지는 것을 알 수 있다. 본 논문의 실험에선 이와 같은

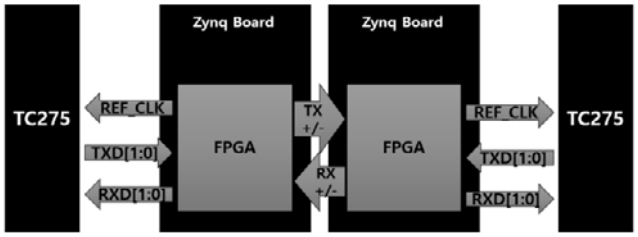
RMII 방식을 사용하여 통신할 수 있도록 시스템을 구성하였다.

3. 실험

A. 실험 진행



(그림 5) TC275 와 FPGA(Zynq-7000).



(그림 6) 실험 환경 블록선도.

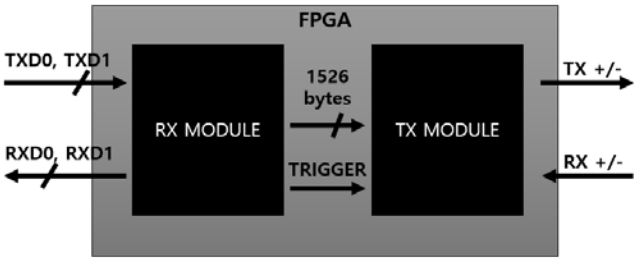
본 실험에서는 MAC 으로 Infineon 사의 MCU 인 TC275 를 사용했다. FPGA 로는 Digilent 사의 Zyng 보드인 Zynq-7000 을 사용했다. 실제 실험은 (그림 5)와 같이 진행하였으며 이를 블록선도로 나타내면 (그림 6)과 같다.

FPGA 를 이용하여 MAC 에서 온 비트 데이터와 10Mbps 차동 신호를 서로 변환해주는 물리 계층을 구현했다. 오류 검출 알고리즘과 ADC 기능은 구현하지 않았다. 단순히 MCU 에서 넘어온 비트 데이터를 10MBps 차동 디지털 신호(TX+/-)로, 반대쪽 FPGA 에서 넘어온 10MBps 차동 디지털 신호(RX+/-)를 비트 데이터(RXD[1:0])로 바꿔주도록 구현했다. MCU 와 PHY 가 공유하는 클록인 REF_CLK 는 FPGA 에서 만들어낸 50MHz 를 이용하였다. TC275 는 이더넷 프레임을 100ms 에 한 번씩 보내도록 설정했다. 송신하는 프레임은 <표 2>와 같다.

<표 2> 실험 – 송신 프레임

신호	설명
DA	0xE0CB4EECEF73
SA	0x1122334455
Type/Length	0x002E
Data	0xFFFFFFFEFF...FCFFFF

B. FPGA 구현

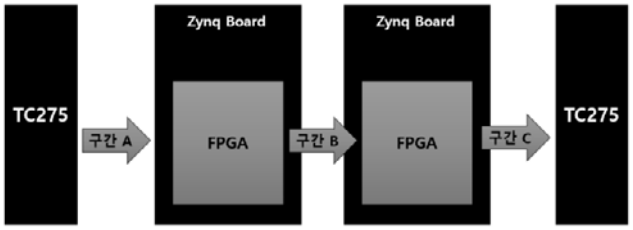


(그림 7) FPGA 모듈의 블록선도.

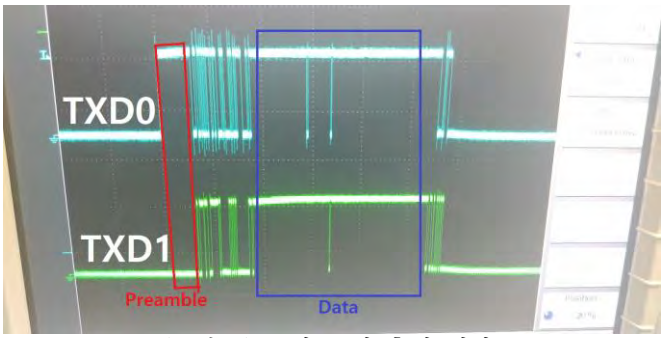
FPGA 는 Xilinx 사의 Vivado 프로그램을 이용하여 구현했다. 구현한 FPGA 모듈의 구조는 (그림 7)과 같으며 동작 알고리즘은 다음과 같다.

1. MCU 로부터 Preamble 과 SFD 프레임이 수신되면 RX 모듈이 활성화된다.
2. RX 모듈이 활성화되면 한 클록당 2 비트의 데이터를 수신한다. 데이터를 수신하면서 레지스터에 보관하며 비트 수를 카운트한다.
3. Length 프레임은 160~175 번째 비트에 존재하므로 카운트된 비트 수가 160~175 일 때 데이터 길이를 읽는다. 읽어 들인 데이터 프레임의 길이를 바탕으로 총 프레임의 비트 수를 계산한다.
4. 총 프레임의 비트 수를 바탕으로 수신되고 있는 프레임의 종료 시점을 알 수 있다. 프레임이 종료되면 RX 모듈은 수신을 중단하고 TRIGGER 신호를 보내 TX 모듈을 활성화한다. RX 모듈과 TX 모듈은 wire 로 연결되어 있다.
5. TX 모듈은 데이터를 디지털 차동 신호로 변환하고 발신한다.

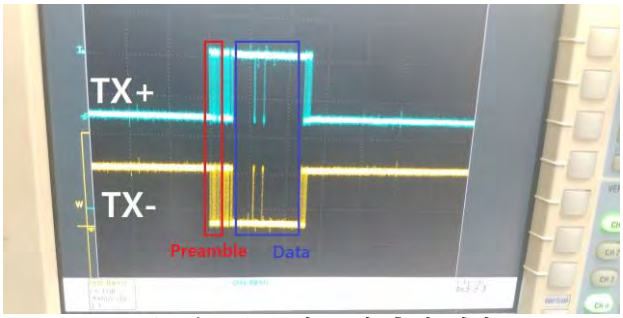
C. 실험 결과



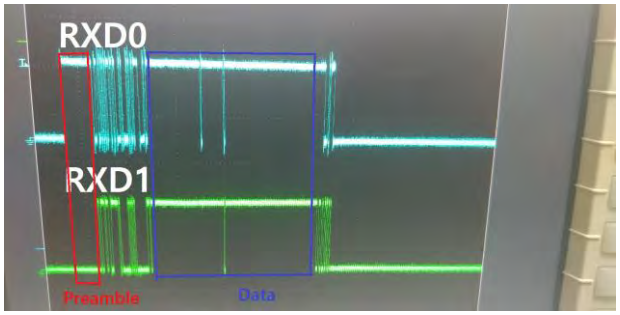
(그림 8) TC275 to TC275 통신 구간 정의.



(그림 9) 구간 A 의 측정 결과.



(그림 10) 구간 B 의 측정 결과.



(그림 11) 구간 C 의 측정 결과.

한쪽 MAC 에서 반대쪽 MAC 으로 송신하는 라인을 (그림 8)과 같이 A, B, C 총 세 구간으로 나누었다. A 구간은 MAC 과 FPGA 사이, B 구간은 FPGA 와 FPGA 사이, C 구간은 FPGA 와 MAC 사이를 나타낸다. 각 구간에 대한 데이터 송수신 신호를 오실로스코프를 이용하여 측정하였다. 측정 결과는 (그림 9~11)에 명시되어 있다. 측정 결과를 보면 Preamble 과 Data 를 육안으로도 확인할 수 있다. 또한, A 구간의 신호와 C 구간의 신호 파형이 일치하는 것을 확인할 수 있다.

위와 같이 실험을 진행하여 물리 계층은 성공적으로 구현했지만, 검증에는 실패했다. (그림 9~11)에 나온 것처럼 FPGA 의 비트 데이터와 디지털 차동 신호 간 변환은 성공적이었다. 하지만 TC275 에서 비트 데이터를 수신하지 못 하는 문제가 있었다.

본 실험에는 성균관대학교 자동화 연구실에서 개발된 TC275 기반의 보드가 사용되었는데, 이 보드에는 PEF7071 이더넷 PHY 가 장착되어 있다. 이 PHY 가 MAC 에서 수신하는 신호를 간섭하는 것으로 확인됐다. 신호가 high 상태일 때는 전압 레벨이 3.3V 가 나와야 하지만 보드에 장착되어 있던 PHY 로 인하여 전압 레벨이 약 2.1V 로 떨어졌다. 이로 인하여 MCU 에서 신호를 수신하지 못했다.

<표 2> 실험 결과

주체	역할	성공 여부
MCU	비트 데이터 발신	성공
FPGA	비트 데이터를 차동 디지털 신호로 변환	성공
FPGA	차동 디지털 신호를 비트 데이터로 변환	성공
MCU	비트 데이터 수신	실패

4. Future work

본 실험에 사용된 TC275 기반 보드에는 이더넷 PHY 가 장착되어 있었다. 장착돼 있던 PHY 의 수신 신호 간섭으로 인하여 데이터 수신에 실패하였다. 그래서 구현한 물리 계층에 대한 검증도 실패하였다. 추후에 장착되어 있던 이더넷 PHY 를 제거하고 재실험하려 한다. PHY 를 제거한 후 MCU 에서 수신한 데이터와 발신한 데이터를 비교해볼 것이다. 만약 데이터가 일치한다면 물리 계층의 동작성이 검증될 수 있다.

5. 결론

비록 검증에는 실패했지만, FPGA 로 간단한 물리 계층을 구현할 수 있었다. 이렇게 FPGA 를 사용하여 물리 계층을 구현하면, PHY 의 부재로 인해 연구하기 힘들던 통신 프로토콜도 연구할 수 있다. 또한, 새로운 통신 프로토콜을 개발하는 경우 또는 기존 프로토콜에 수정이 필요한 경우에도 이와 같은 방법을 이용하면 효율적인 연구가 가능할 것이다.

6. Acknowledgement

This work was supported in part by the Ministry of Science and ICT (MSIP), South Korea, through the G-ITRC Support Program supervised by the Institute for Information and Communications Technology Promotion (IITP) under Grant IITP-2018- 20150-00742.

참고문헌

[1] Lantiq Deutschland GmbH, "XWAY™ PHY11G (PEF7071) data sheet", 2012.
[2] RMII Consortium, "RMII Specification", page 3, 1998.