

技術解說

마이크로波 트랜지스터

마이크로波專門委員會

마이크로波와 같이 높은 領域의 周波數에서 使用되는 트랜지스터에서는 낮은 周波數에서 흔히 重要하지 않다고 假定하는 因子들이 主要한 役割을 하게 된다. 트랜지스터의 能動領域에서 마이크로波 適用을 이룩하려면 半導體에서 이러한 領域의 크기를 縮小해야만 하고 이렇게 하려면 웨이퍼와 패키지寄生은 極端으로 낮게 된다. 또한 이러한 滿足할만한 마이크로波 適用이 이루어져도 有用한 回路構成을 위해서는 適正한 임피던스 變換이 주어져야 한다.

一般的으로 트랜지스터의 能動領域은 될수록 작게 하는것이 妥當하다. 固體擴散, 寫眞石版(photolithography), 薄膜金屬化, etching, 組立등을 包含하는 製作工程에서도 마이크로波適用에의 限界에 대해서 注意하여야 한다. 低寄生패케지가 特別히 設計되어야 하고 試驗技術의 發展이 未洽한 이러한 周波數領域에서는 特히 트랜지스터의 特性化에 많은 努力이 傾注되어야 한다.

1. 마이크로波 트랜지스터의 例

여기서는 Ge, 프래너, 에피택셜, p-n-p, 擴散 베이스, 合金에미터 設計를 表示하고자 한다. 그림 1(a)는 트랜지스터 能動領域의 같은 크기의 그림을 表示하고 그림(b)는 크기가 表示된 ollector 接合과 에미터와 베이스領域의 設計圖이고 그림(c)는 트랜지스터 웨이퍼 또는 鑄이 附着된 低寄生패케지를 表示하는 것이고 外部回路와 어떻게 連結되는가가 보여지고 있다. 그림(d)는 多數 캐리어 不純物濃도를 웨이퍼面에서의 깊이의 函數로 그려진 圖表이다.

이 트랜지스터의 製作은 처음에 두께 0.01cm, 直徑이 約 2.5cm 인 Ge 슬라이스를 마련하는 것

으로 시작된다. 에피택셜基板이라고 하는 이材料는 充分한 Ga 으로 0.01 Ω -cm의 p型이 되도록 도핑한다. 固有抵抗 1 Ω -cm 인 p型에피택셜層이 2 μ 두께로 Ge 基板에 蒸着되고 SiO₂層이 0.35 μ 두께로 잇달아서 熱蒸着된다. SiO₂層에서 矩形베이스 윈도우를 잘라내기 위해서 寫眞石版과 化學etching 이 使用된다.

n型 베이스는 2×10^{19} 磷 原子/cm³의 定表面濃度에서 에피택셜層內로 0.3 μ 깊이로 擴散된다. 이 擴散동안에 SiO₂는 베이스 윈도우以外는 擴散이 안되게 한다.

두번째 酸化層은 0.25 μ 의 두께로 蒸着되고 에미터와 베이스接觸 윈도우는 第2의 寫眞石版과 etching過程으로 形成된다. 그리고 0.3 μ 두께의 Al 이 第2酸化層 表面에 高眞空 蒸發에 의해서 蒸着되고 第3의 寫眞石版etching으로 蒸着된 에미터 윈도우以外의 모든 部分을 除去한다.

에미터 윈도우에서 남아있는 Al 은 As 蒸氣가 담겨있는 霧圍氣에서 Ge와 融合된다. 이過程은 同時에 두 機能을 發揮한다. 즉 As 蒸氣는 베이스接觸 윈도우에서 n型表面을 크게 도핑하게 하여 음性 베이스接觸이 되게 하고, 液狀 Al-Ge는 에미터 윈도우에서 冷却에 따라 Al이 풍부한 Ge層을 再結晶化하여 p型에미터를 形成한다.

接合形成 다음 過程으로는 能動領域과의 接觸을 마련코저 Ti-Al層이 슬라이스에 蒸着된다. 第4의 寫眞石版과 etching은 이들 接觸의 型을 만든다. 結果的인 型은 接合領域外部의 SiO₂에 形成된 에미터와 베이스 본딩 패드(pad)를 包含한다. 이것은 베이스와 에미터는 個別的으로 接觸시키기에는 너무 작기 때문에 반드시 必要하다. 이렇게 하면 두 에미터와 세 베이스는 하나의 에

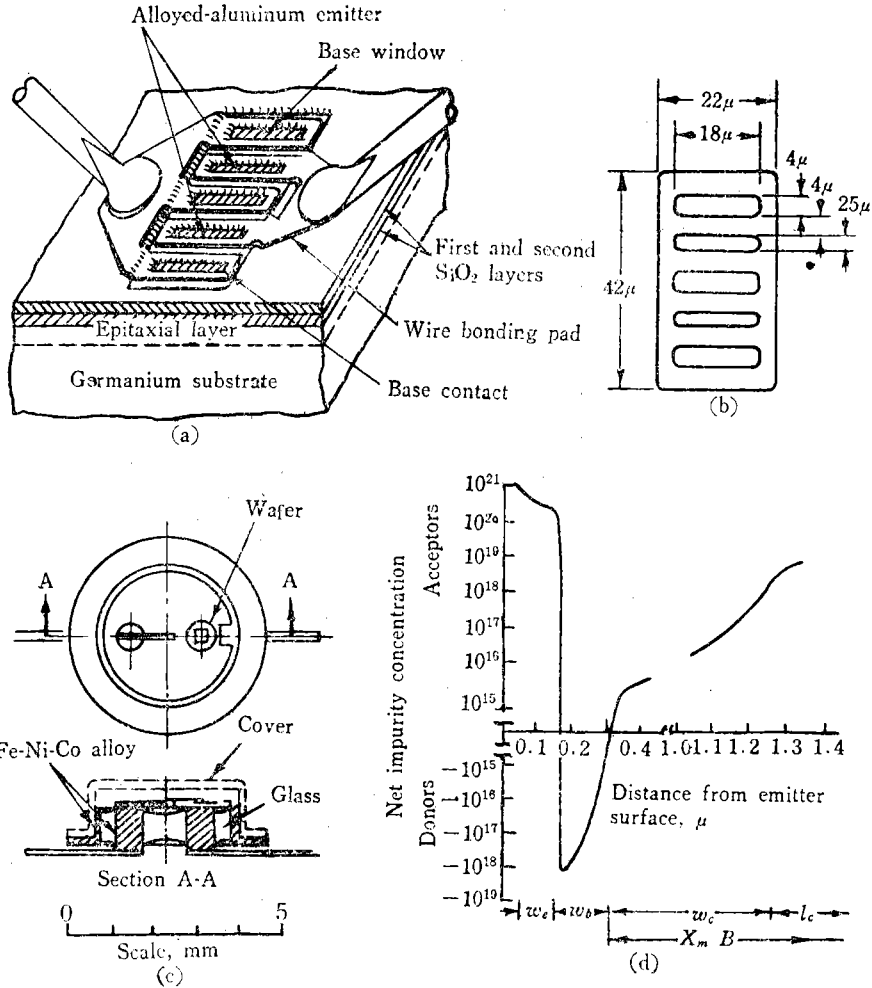


그림 1. (a) 트랜지스터 웨이퍼 (b) 콜렉터 접합, 에미터, 베이스 접촉의 크기 (c) 패키지 구조 (d) 불순물 농도

미터와 베이스導線(10 μ 直徑)에 의해서 小型化할 수 있다.

본딩形成에 이르는 모든 過程은 Ge 슬라이스에서 行하여 진다. 完成된 트랜지스터의 占하는 面積은 $25 \times 10^{-6} \text{cm}^2$ 以下이므로 2.5cm 直徑인 하나의 슬라이스에서는 數千個의 트랜지스터가 製作될 수 있다. 보통 단 하나의 트랜지스터가 한 패키지에 마운트된다. 이것은 콜렉터接觸인 에피택설基板과 트랜지스터 헤더의 金鍍金된 端子와 사이에 金-Ge 共融 본드의 方法으로 行하여진다. 실제로 웨이퍼의 크기는 0.04cm^2 로 하는것이 便利하고 슬라이스에서 이 거리로 中心-中心間의 間격으로 定하면 2.5cm Ge 슬라이스에서 約 2,500

個의 트랜지스터가 얻어진다. 그리고 그림(c)에서와 같이 웨이퍼는 콜렉터 端子에 마운트된다. 끝으로 에미터, 베이스, 外部回路와의 電氣的 連結은 10μ 金線을 熱壓縮 본딩方法으로 달어주면 된다.

이와같이 하여 만든 트랜지스터의 dc 特性曲線은 그림 2에서 보는바와 같다. 이 그림은 몇개의 베이스電流가 均等 増分일때에 콜렉터電流 對 콜렉터-에미터 間電壓을 表示한다. 여기에서 BV_{CES} 는 베이스와 에미터가 短絡일때 콜렉터-에미터間 降服電壓을 表示한다. I_{CBO} 는 베이스開放하고 -5V의 電壓이 콜렉터와 에미터間에 加해졌을 때의 逆漏洩電流이다. 이것은 出力임피던스를 制御

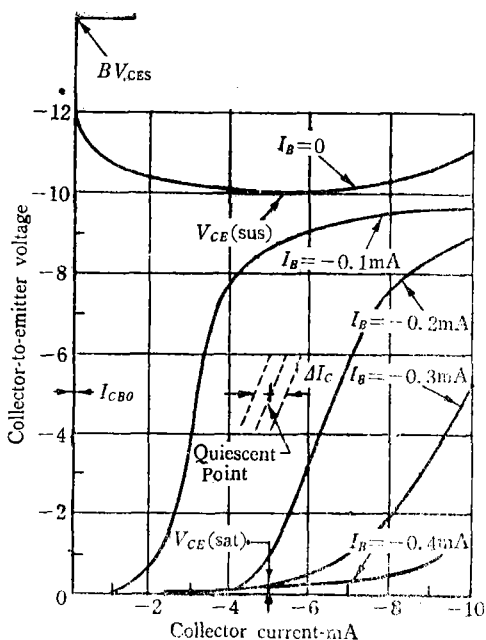


그림 2. 마이크로웨이브 트랜지스터의 특성곡선

하는 중요한 특성이자, 베이스開放 降服電壓曲線의 最小點은 維持電壓이다. 飽和電壓 $V_{CE(sat)}$ 는 에미터와 콜렉터接合이 모다 順方向바이어스가 되도록 充分한 베이스電流일때 트랜지스터에서 直列抵抗의 尺度가 된다. 이것은 스위칭回路에서 重要한 事項이다. Q點周圍로 表示된 點線은 出力特性이 Q點주위에서 베이스電流의 작은 增分과 더불어 어떻게 變化하는가를 보여준다. 短絡回路條件(定電壓)下에서 $\Delta I_C / \Delta I_B$ 의 比는 小信號 共通에미터 電流利得으로서 定義된다. 보통 β 나 h_{fe} 로 表示되는 이 特性은 이러한 트랜지스터에서 約 30의 값을 갖고 있다.

出力特性的 傾斜은 增加하는 電流와 電壓에 따라 減小하고 動作領域이 Q點에서 約 0.5V 以上으로 擴張되는 경우 베이스電流의 같은 增分에 대해서 콜렉터電流는 같은 增分으로 增加하지 않는다.

2. 製作技術上的의 問題

p-n-p Ge 트랜지스터, n-p-n Si 트랜지스터, p-n-p GaAs 트랜지스터등에 대한 理論的 計算에 의하면 extrapolated unity-gain frequency 는

10GHz 까지 接近할 수 있음이 밝혀지고 있다. 그러나 이의 達成은 電極크기, 間隔, 層두께 등에 대한 小型化의 實現性 與否에 달려있다.

擴散技術의 發達は 層두께를 submicron 크기로 實現하게 하였다. 프래너 트랜지스터와 寫眞石版 技術改良의 發達は 2.5 μ 幅과 2.5 μ 間隔으로 트랜지스터를 일관 製作하는것을 可能하게 하였다. 이러한 構造가 그림3에 보여지고 있다. 그림1(b)와 그림 3에 表示된 크기의 實現은 金屬, 機械, 化學等 工程의 正確한 操作에 달려있다.

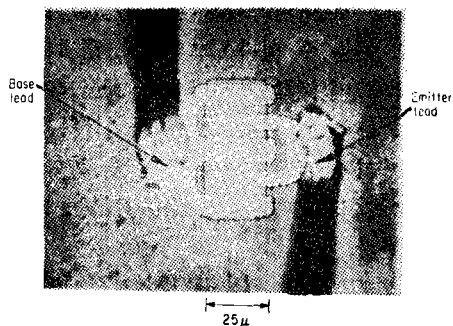


그림 3 Ge 마이크로웨이브 트랜지스터

2.1 콜렉터基體 材料

웨이퍼를 얇게 하는것과 擴散을 깊게하는 것은 實際的見地에서 만족할만한 것이 아님이 알려져 있다. 薄膜웨이퍼는 操作하기가 어렵고 깊은 擴散은 좋지 못한 不純物 分離效果를 가져오기 때문이다. 에피택설工程이 마이크로웨이브 트랜지스터製作에서 가장 成功的인 技術로 되어왔다.

에피택설層의 性質이 低周波트랜지스터에서 보다 마이크로웨이브 트랜지스터 設計에서 더 많이 要求되는 理由는 첫째 設計에 의해서 空乏層은 에피택설層에 걸쳐 完全히 擴散될 수 있고 基板面에서 높게 도핑된 領域까지 浸透할 수 있기 때문이다. 따라서 에피택설成長前의 에피택설基板面이 完全하고 基板-層間面의 質이 製造過程에서 高度로 維持될 것이 要求된다.

둘째로 에피택설層과 基板間의 面은 不純物 勻配의 領域을 表示하므로 프래너 트랜지스터 工程에서 固有部分인 熱處理는 不純物의 再分布를 가져오게 한다. 그러므로 에피택설基板의 도핑은

比較的 낮은 확산이어야 한다. 왜냐하면 理想的設計는 낮은 濃度에서 높은 不純物濃度인 階段狀轉移를 層間面에서 要求하기 때문이다.

現在の 技術은 Ge와 Si을 使用하여 마이크로波 트랜지스터에서 에피택셜層的 製作을 可能하게 할 수 있고 GaAs는 아직도 製作技術이 充分치 않은 것으로 알려지고 있다.

2.2 誘電體材料

플래너 트랜지스터設計는 擴散마스크의 原理에 基礎를 두고 이렇게 하므로서 콜렉터와 에미터接合의 面積을 縮小할 수 있다. 擴散마스크는 誘電材料이므로 트랜지스터의 非能動領域까지 넓은 接觸으로 만들 수 있다. 그러므로 電氣接觸은 트랜지스터의 全能動領域 만큼의 直徑크기를 갖는 導線으로 行할 수 있다. 또한 誘電材料은 pn接合을 絕緣시키는 데에도 좋은 役割을 한다. 現在の 마이크로波 트랜지스터의 誘電材料은 보통 SiO_2 가 使用된다.

Si에서는 高溫인 酸化 雰圍氣에서 酸化물이 成長된다. Ge는 ethyl-ortho-silicate의 熱再混合이나 다른 비슷한 silica 形成化合物에 依해 形成된 SiO_2 나 氣化된 silica로 만들어진다.

이러한 工程에서 問題가 되는것은 層의 薄膜에서 오는 마이크로波 트랜지스터의 均一性이다. 誘電材料은 본딩部分의 容量을 最小化하기 위해서는 두터워야 하는데, 이것이 너무 두터우면 Si 트랜지스터에서 成長期間에 擴散層의 많은 量이 形成에 消耗된다. 또 플래너 Ge에서 SiO_2 의 厚膜層을 熱蒸着시키는데 要하는 時間은 짧게 擴散된 베이스領域을 再分布시키기에 充分한 것이 된다는 點이다.

2.3 寫眞石版

이 技術은 먼저 n-p-n 베사 Si 트랜지스터의 酸化물마스크 에미터를 形成할때에 使用되었던 것이다. 이 工程은 처음에 100μ 크기의 面積을 限定하기 위해서 使用되었고 그後 그림 3에서와 같이 작은 $2.5\mu(0.0001\text{in.})$ 까지로 改良되었다. 後者의 크기를 갖는 二重擴散 Si 트랜지스터의 그림이 그림 4에 보여지고 있다. 이러한 製作은 調節工具

의 機械的 精密度, 建物振動, 測定能力, 寫眞石版네가티브의 端尖銳度, 化學的 etching의 調整能力 등에 依해서 制限을 받는다.

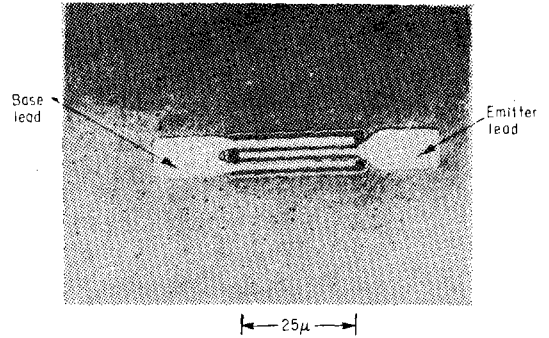


그림 4 Si 마이크로波 트랜지스터

3. 패키지設計

마이크로波 트랜지스터의 패키지의 機能은 内部에 있는 能動素子の 寄與를 低下함이 없이 外部로부터 保護하려는 것이다. 마이크로波 트랜지스터에서는 寄生을 最小化하도록 하는 많은 注意가 기울어져야 한다. 그림 1에서와 같은 패키지는 鐵-니켈-코발트合金으로 유리 絕緣體가 封合되어 만들어졌으며 낮은 寄生이 되도록 設計되어 있다. 패키지를 最適化하려면 並列容量이나 素子와 内部 및 外部直列寄生間을 잘 折衷하여야 한다. 예를 들면 比較的 큰 패키지로 하면 導線間의 넓은 間隔으로 因하여 낮은 電極間容量으로 할 수 있다. 그러나 이러한 構造로 하면 内部導線의 길이가 必要以上으로 길어지고 또한 構造上으로 콤팩트하지 못하므로 弱하게 될 可能性이 있다.

機械的見地에서 $10\sim 20\mu$ 直徑인 金線이 0.6mm 이상이면 안되고 이 작은 크기는 内部 支持部를 補強하므로서 使用可能하며 또한 内部直列 寄生을 最小化할 수 있다. 内部導線 인덕턴스의 값은 길이 0.6mm , 10μ 直徑인 金線일때 0.5nano H 이다.