

쇼트키-배리어 다이오드와 터널다이오드를 사용한 全加算器

(A Full Adder Using Schottky-Barrier Diodes and a Tunnel Diode)

林 寅 七*

(Lim, In Chil)

要 約

새로운 全加算器回로를 提案하고 그 動作特性에 關하여 論한다. 回路는 Schottky-Barrier 다이오드 트랜지스터 터널다이오드로서 構成되며 從來 提案되어 있는 回路의 動作餘裕도를 改善하고, 트랜지스터 베이스 바이어스電壓의 插入 等 回路構成上의 缺點을 除去하였다. 靜特性曲線을 利用하여 回路構成素子の 最適値를 求하고, 回路動作에 關하여 考察하였다.

Abstract

A new full-adder is proposed and its operation-characteristic is described. The circuit proposed here, was improved in operational stability and circuit-configuration. The circuit is composed of a tunnel diode, Schottky-barrier diodes. The circuit design and its operation is explained by considering the change of the load line when the input current is applied. The explanations are proved by experimental details.

I. 緒 論

半導體技術의 進歩와 함께 스위칭回로의 高速化가 눈부시게 進展되고 있다.

특히 最近 쇼트키-배리어 다이오드, 터널다이오드等을 使用하여 論理回路 記憶回路等을 高速化시키려는 研究가 널리 行해지고 있다.

TARU¹⁾, TADA²⁾等은 쇼트키-배리어 다이오드를 利用하여 트랜지스터의 스위칭 動作에 있어서의 불포화를 可能케 하였으며, 이 제안은 스위칭回로의 高速化에 많이 應用될 것으로 展望된다. 그리고 터널다이오드의 出現以後에 터널다이오드素子를 利用한 高速스위칭回로가 多數 제

안되어 있다. 터널다이오드스위칭 回路는 一般의 回路構成이 간단하고 高速스위칭 動作이 可能하다는 點外에 低레벨펄스에 對한 人力感도가 높은점, 소모전력이 적은점 等の 長點을 가지고 있으나, 이들 回路中에는 實用化를 爲하여서는 아직 解決하지 않으면 안될 問題點들을 갖고 있는 경우가 적지 않다.

本論文에서는 全加算器回로에 關해서 論한다. M. MORISUE 等은 터널다이오드를 利用한 새로운 高速全加算器回로를 提案했다.³⁾ 이 回路는 高速動作이 可能하며 回路構成이 比較的 간단하다는 特長이 있으나, 이 回路에 使用한 두 트랜지스터의 베이스에 各 各 다른 값의 바이어스電壓을 넣어야 하며, 이 바이어스電壓의 미소한 變動에도 回路가 正常的으로 動作하기가 어려워진다는 結論을 가지고 있다.

* 漢陽大學校 工科大學, 正會員
College of Engineering, Hanyang University

이와 같은 문제점을 解決하기 爲하여 새로운 全加算器回路를 設計하고, 그 動作特性을 提示한다. 本 論文에서 提案한 回路는 쇼트키-배리어 다이오드 터넬다이오드 및 트랜지스터를 使用했으며, M. MORISUE 등이 提案한 回路가 가진 缺點이 除去되고, 높은 動作餘裕度를 가진다.

靜特性曲線에 依하여 回路動作을 解析함으로써 回路構成에 있어서 各 콤포넌트의 最適值를 용이하게 求할 수 있게 하였다.

II. 全加算器回路構成

그림 1에 表示한 마와같이 回路는 한개의 터넬다이오드, 두개의 트랜지스터, 세개의 쇼트키-배리어 다이오드로서 構成한다. 入力信號가 들어오기 前에는 터넬다이오드特性上的 回路動作法은 第I正抵抗 領域에 位置하며 바이어스抵抗 R_7 을 通하여 흐르는 小電流의 大部分이 TD를 通하여 흐르게 된다. 따라서 이 電流를 充分히 적은 값으로 定한다.

Tr_1 및 Tr_2 는 高速스위칭動作이 可能한 NPN 트랜지스터로서 非導通狀態에서는 콜렉터에 電壓 V_{bc} , 또는 V_{bc} 가 그대로 나타난다. 導通時 飽和를 방지하기 爲하여 쇼트키-배리어 다이오드

SBD₂, SBD₃를, 트랜지스터의 베이스와 콜렉터 사이에 접속시킨다.¹⁾²⁾ SBD₁은 쇼트키-배리어 다이오드로서, 人力信號가 없을 경우와 있을 경우에 있어서의 SBD₁ 쪽(Carry Out 쪽) 回路와 TD 쪽(Sum 쪽) 回路에 흐르는 電流의 配分을 明確히 해주기 爲하여 插入한 素子이다.

R_5, R_6 는 R_7 를 흐르는 電流와 入力電流를 합한 電流 I_{bb} 가 SBD₁ 쪽 回路와 TD 쪽 回路에 나누어져 흐를때에 그 配分率을 定하기 爲한 抵抗으로서, 그 값의 決定은 다음 章의 設計方法에서 論한다.

III. 動作原理 및 回路設計

1. 回路動作

그림 1의 回路의 세 入力端子에 모두 入力信號가 없을 경우 電流 I_{bb} 는 主로 TD를 通하여 흐른다. 이때의 I_{bb} 를 I_{bb0} 라고 하면 I_{bb0} 는 近似的으로 다음과 같이 求해질 수 있다. 即

$$I_{bb0} \approx \frac{V_{bb}}{(R_7 + R_6)} \quad (1)$$

이 때의 P點의 電壓을 V_p 라고 하면 V_p 는

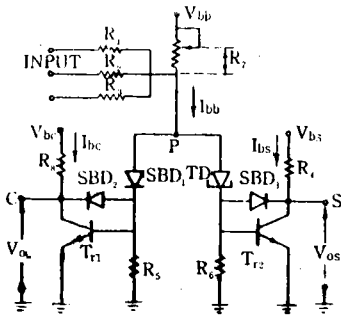
$$V_p = I_{bb0} \cdot R_6 + V_{TDO} \quad (2)$$

여기서 V_{TDO} 는 TD 양단간의 電壓이다. TD特性上的 回路動作點은 第I正抵抗 領域에 位置하므로, TD兩端間의 電壓은 R_6 兩端間의 電壓에 比하여 無示될 수 있을 만큼 적다.

I_{bb0} 의 값은, R_6 에 걸린 電壓이 Tr_2 를 遮斷狀態에 있도록 하는 範圍에 두며, 이 I_{bb0} 의 값에 따라 回路動作에 對한 펄스의 threshold level이 定해진다.

이 경우 Tr_1 도 차단상태에 있게 되므로 出力端子 S(Sum) 및 C(Carry)에는 V_{bc} , V_{bc} (V_{bc} 와 V_{bc} 는 실제로 同一한 電壓으로 함)가 出力電壓으로 나타나며, 負의 論理 眞理值를 適用하여 이들 出力電壓을 "0"으로 간주한다.

入力端子에 한개의 펄스가 加해져서, I_{bb1} 이 增加하여 I_{bb1} 으로 되었다고 가정한다. 이 때 TD에 흐르는 電流의 값은 TD의 바이어스點電流以下로 되게 한다. I_{bb} 가 增加하면 R_6 兩端間의 電壓이 增加하며, 이에 따라 Tr_2 는 導通狀態로 되고, 出力端子 S의 電壓이 下降한다(下降된 電壓을 "1"로 간주한다). 이 경우에도 아직 TD特性上的



- $R_1 = R_2 = R_3 = 100\Omega$
- $R_4 = R_8 = 1k\Omega$
- $R_5 = 2k\Omega$
- $R_6 = 750\Omega$
- SBD₁ = 1S1993
- SBD₂ = SBD₃ = 1S1659
- $Tr_1 = Tr_2 = 2SC1119$
- TD = 1T1122A
- (Ge. $I_p = 2ma$)

그림 1. 全加算器回路

Fig 1. Basic arrangement of the full adder.

動作點이 第1正抵抗領域에 存在하므로 TD 兩端間的 電壓이 낮은 狀態에 있어서 P 點의 電壓亦是 낮은 레벨을 지속한다. 따라서 SBD₁의 電流는 小量이어서 R₅ 兩端間的 電壓은 Tr₁이 導通狀態로 될 수 있는 電壓 以下에 있게 되고, 은 차단상태를 지속한다(即, 出力 C의 電壓은 "0"이다).

入力端子에 두개의 펄스가 加해질 경우의 I_{bb}를 I_{bb2}라고 하면 TD는 I_{bb2}에 依하여 스위칭한다. 이때 TD 特性上的 動作點은 第2正抵抗領域의 Valley 領域內에 있게 되어 TD에는 特性의 Valley 電流 即 적은 값의 電流가 흐르게 된다. 따라서 R₆ 兩端間的 電壓 即 Tr₂의 베이스電壓이 下降하여 Tr₂는 非導通狀態에 있게 된다(出力 S는 "0"). 이때 I_{bb2}는 TD를 흐르는 電流를 除外한 大部分의 電流가 SBD₁을 통하여 흘러서 R₅ 兩端間的 電壓 即 Tr₁의 베이스電壓을 上昇시키고 Tr₁을 導通狀態로 만든다(出力 C는 "1").

세개의 入力端子에 入力펄스가 加해지면 I_{bb}는 더욱 增加하여 SBD₁ 및 TD에는 各各 Tr₁, Tr₂를 導通狀態로 만들 수 있는 電流가 흐르게 된다. Tr₁, Tr₂가 同時에 導通狀態로 되면 出力 S 및 C는 모두 "1" 狀態로 된다.

2. 靜特性曲線에 依한 回路動作解析 및 回路設計
回路動作 過程을 면밀하게 分析하고, 回路를 構成하는 各 素子의 最適值를 求하기 爲하여 靜特性曲線을 利用할 수 있다.

그림 1의 回路에 使用한 SBD₁(1S1993), TD (Ge-2mA 1T1122A), Tr₁, Tr₂(TR 2SC1119의 베이스에미터間)의 電壓 電流特性을 그림 2에 表示했다. 그림 3의 SBD+TR(E-B)는 SBD₁과 Tr₁(베이스·에미터間)만을 直列로 接續시켰을때의 直列合成特性曲線이며 TD+TR(E-B)는 TD와 Tr₂(베이스·에미터間)만을 直列로 接續하였을 때의 直列合成特性曲線이다.

그림 4는 트랜지스터의 베이스·에미터間에 抵抗을 接續했을때 抵抗值에 따라 變化하는 TD+TR(E-B) 特性을 나타내었으며, 그림 5는 트랜지스터의 베이스·에미터間的 抵抗值에 따라 變化하는 SBD+TR(E-B)特性이다. 이 特性은 트랜지스터의 콜렉터 電流에 따라 多少 變化한다.

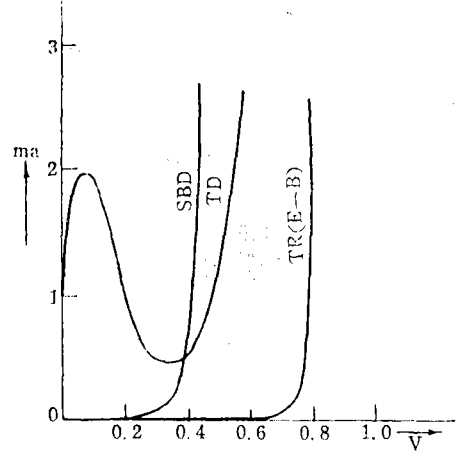


그림 2. SBD(1S1993), TD(1T1122A), TR(2SC1119)의 電壓電流特性
Fig 2. V-i Characteristics of SBD (1S1993), TD(1T1122A) and TR (2SC 1119)

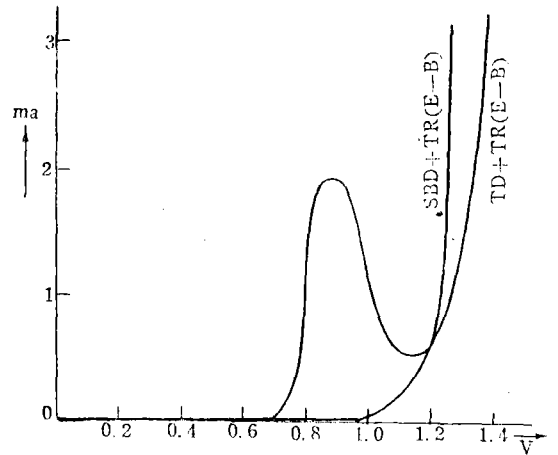


그림 3. SBD와 TR(E-B)間的 直列合成特性 曲線 및 TD와 TR(E-B)間的 直列合成特性 曲線
Fig 3. The series combination characteristics of SBD and TR(emitter-base) and TD and TR(emitter-base).

그림 6, 7은 트랜지스터의 콜렉터電流에 따라 變化하는 SBD+TR(E-B) 特性 및 TD+TR(E-B) 特性이다. 그림 5의 SBD+(TR/R_S) 特性을 그림 4의 TD+(TR/R₆)特性에 對한 負荷曲線으로 생각하여 回路動作을 살펴 볼때 V_{bb} 및 V_{bc}는 2~3V 이면 相當하며 그 以上の 電壓에 對해서는 特性의 變化가 顯著하게 나타나지 않으므로 電壓值를 上昇시킬 수 있다. 그림 8은 V_{bb}를 2V로

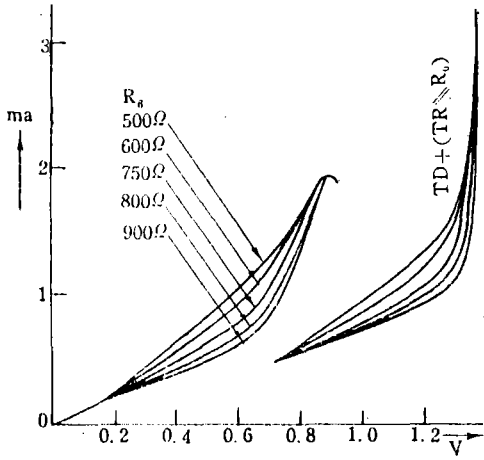


그림 4. Tr의 베이스-에미터간의 接續抵抗 R_6 의 값에 따르는 TD+TR(E-B)特性的 變化
 Fig 4. Characteristic of TD+TR(E-B) depending on the value of R_6 .

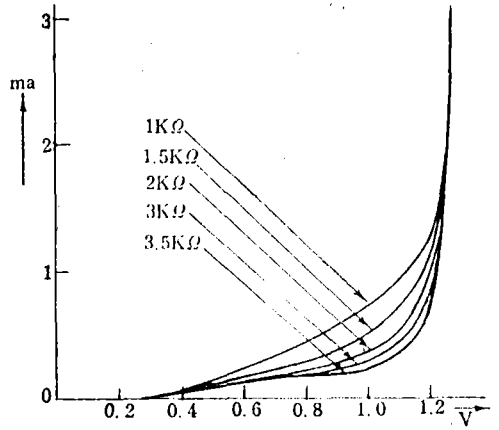


그림 5. TR의 베이스-에미터간의 接續抵抗 R_5 의 값에 따르는 SBD+TR(E-B)特性的 變化
 Fig 5. Characteristic of SBD+TR(E-B) depending on the value of R_5 .

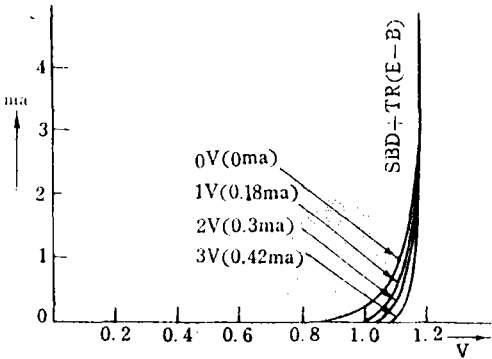


그림 6. V_{bc} 의 값에 따라 變하는 SBD+TR(E-B) 특성 () 內는 集電器 電流
 Fig 6. Characteristic of SBD+TR(E-B) depending on the value of V_{bc} .

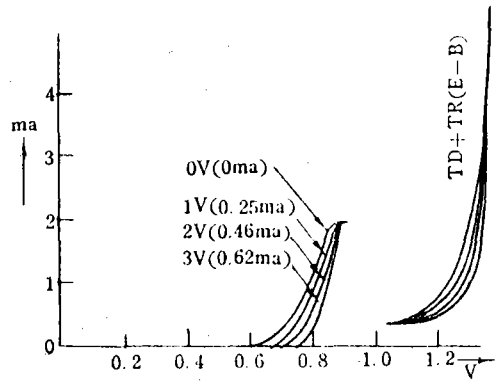


그림 7. V_{bs} 의 값에 따라 變하는 TD+TR(E-B) 특성, () 內는 集電器 電流
 Fig 7. Characteristic of TD+TR(E-B) depending on the value of V_{bs} .

하였을 때의 R_6 값에 따르는 $TD+(TR/R_6)$ 特性的 變化이다. 그림 9는 V_{bc} 를 2V로 취했을 때의 R_5 값에 따르는 $SBD+(TR/R_5)$ 特性變化이다. 이 $SBD+(TR/R_5)$ 曲線을 그림 8에 表示한 $TD+(TR/R_6)$ 曲線의 負荷曲線으로 생각한 경우 入力 펄스가 두개일 경우와 세개일 경우의 터널다이오드에 흐르는 電流의 差와, 定常動作餘裕度를 고려하면 R_6 는 700~800Ω 그리고 R_5 는 2KΩ 정도가 適當하다. 그림 10에 $R_6=800Ω$, $R_5=2KΩ$, $V_{bs}=V_{bc}=2V$ 일 경우의 回路動作을 나타내는 $TD+(TR/R_6)$ 에 對한 負荷線의 變化를 表示했다. 回

路에 入力펄스가 없을 때에는 回路의 動作點은 O 點에 있게 되며 TD를 通하여 i_c 의 電流가 흐른다. SBD_1 에는 I_{b0} 와 i_c 의 差에 해당하는 거의 O에 가까운 電流가 흐른다. 이때 그림 1의 回路의 點 P에 걸리는 電壓은 V_0 가 된다. R_6 및 Tr_2 에 흐르는 電流를 算出하기 위하여 TD의 特性曲線을, 저항 R_6 와 트랜지스터의 베이스-에미터간의 特性을 並列로 合成한 $R_6/TR(E-B)$ 特性的 負荷線으로 생각하고 V_0 를 바이어스電壓으로 하여 動作圖를 그리면 R_6 兩端間에 걸리는 電壓 V_{RTO} 가 나온다.

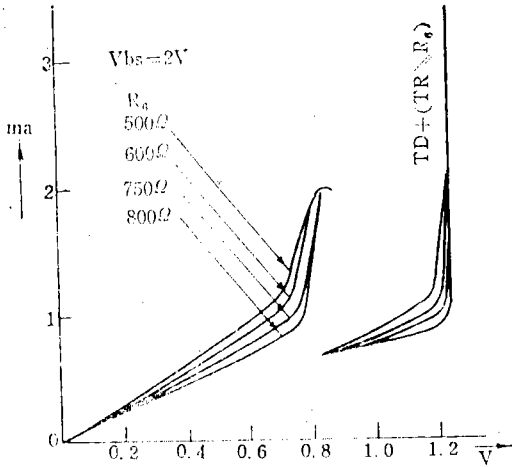


그림 8. V_{bs} 를 2V로 하였을 때의 R_6 값과 $TD+(TR/R_6)$ 특성의關係
Fig 8. Characteristics of $TD+(TR/R_6)$ vs. the value of R_6 when $V_{bs}=2V$.

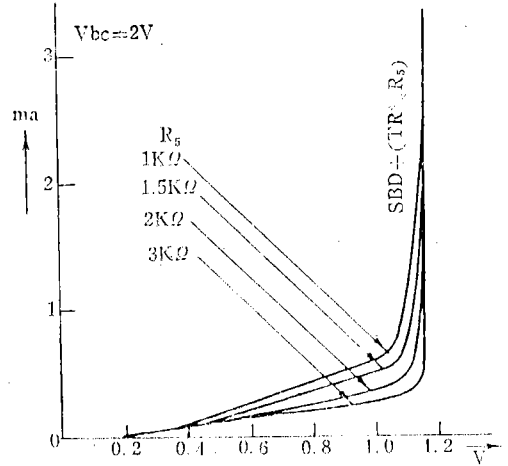


그림 9. V_{bc} 를 2V로 취했을 때의 R_5 값과 $SBD+(TR/R_5)$ 특성의關係
Fig 9. Characteristics of $SBD+(TR/R_5)$ vs. the values of R_5 when $V_{bc}=2V$.

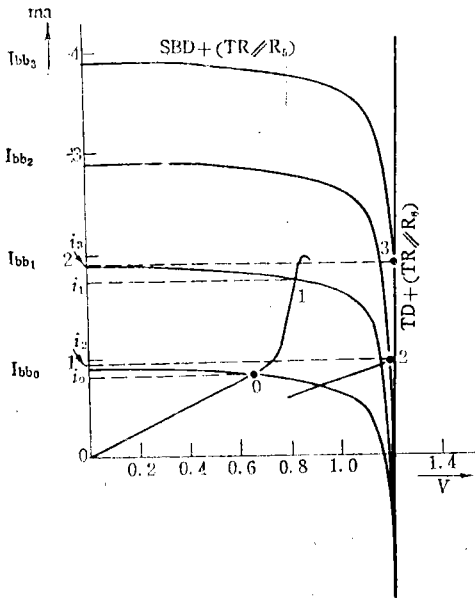


그림 10. $R_6=800\Omega$, $R_5=2k\Omega$, $V_{bs}=V_{bc}=2V$ 일 경우의 回路動作圖
Fig 10. Position of the load line of the characteristic $TD+(TR/R_5)$ depending on number of input pulses when $R_6=800\Omega$, $R_5=2k\Omega$ and $V_{bs}=V_{bc}=2V$

$R_6 \parallel TR(E-B)$ 特性上에서 V_{RTO} 에 해당하는 電流는 i_o 이나 이 i_o 에서 저항 R_6 의 V_{RTO} 電壓에 對한 電流 i_{RSO} 를 빼면 트랜지스터에 흐르는 電流 i_{TRS0} 가 算出된다. 即,

$$i_o - i_{RSO} = i_{TRS0} \approx 0 \tag{3}$$

入力端子에 한개의 入力펄스가 加해질 때 回路의 動作點은 點1에 位置하게 되며, TD 에는 i_1 의 電流가 흐른다. 이 경우에도 같은 方法으로서 트랜지스터에 흐르는 電流 i_{TRS1} 을 求하면

$$i_1 - i_{RS1} = i_{TRS1} \tag{4}$$

이 된다. 여기에서 i_{RS1} 은 入力펄스가 한개일 때 R_6 를 흐르는 電流이며 同 圖表를 使用하면 0.86 mA가 算出된다. 따라서 그림 2의 트랜지스터特性에서 0.86mA가 흐를 때는 트랜지스터가 導通狀態로 됨을 알 수 있다.

同一한 方法에 依하여

$$i_2 - i_{RS2} = i_{TRS2} \tag{5}$$

$$i_3 - i_{RS3} = i_{TRS3} \tag{6}$$

를 求할 수 있다. 여기서 i_2, i_3 는 加해지는 入力펄스數가 둘과 셋일 경우의 TD 에 흐르는 電流이고, i_{RS2}, i_{RS3} 은 그때에 R_6 에 흐르는 電流이며 i_{TRS2}, i_{TRS3} 은 트랜지스터에 흐르는 電流를 各々 나타낸다. 圖表로서 $i_{TRS2}=0.2mA$, $i_{TRS3}=1mA$ 가 各々 算出되고 i_{TRS2} 가 트랜지스터에 흐를 경우는 트랜지스터는 非導通狀態, i_{TRS3} 이 흐를 경우에는 트랜지스터가 導通狀態가 됨을 알 수 있다.

Carry Out 쪽의 트랜지스터 T_{r1} 에 흐르는 電

流도 同一한 方法에 依하여 구할 수 있다. 即, 入力펄스의 數가 0, 1, 2, 3個인 때의 回路의 動作點은 그림 10의 點 0, 1, 2, 3에 位置하게 되며 이 時 SBD_1 을 흐르는 電流는 各各 $I_{bb0}-i_0, I_{bb1}-i_1, I_{bb2}-i_2, I_{bb3}-i_3$ 이 된다. 이 네 경우에 P點의 電壓은 各各 V_0, V_1, V_2, V_3 이 되며, 이들 電壓을 바이어스로 하여, $R_5/TR(E-B)$ 特性에 對한 負荷線을 SBD_1 特性으로 생각하면, Tr_1 을 흐르는 電流가 求해 진다. 即 同一圖表에 依하여

$$(I_{bb0}-i_0)-i_{RC0}=i_{TRC0} \approx 0 \quad (7)$$

$$(I_{bb1}-i_1)-i_{RC1}=i_{TRC1} \approx 0 \quad (8)$$

$$(I_{bb2}-i_2)-i_{RC2}=i_{TRC2} \approx 1.5mA \quad (9)$$

$$(I_{bb3}-i_3)-i_{RC3}=i_{TRC3} \approx 1.6mA \quad (10)$$

이 各各 얻어진다. 여기서 $i_{RC0}, i_{RC1}, i_{RC2}, i_{RC3}$ 은 入力펄스數가 0, 1, 2, 3個일 때의 R_5 에 흐르는 電流이며, $i_{TRC0}, i_{TRC1}, i_{TRC2}, i_{TRC3}$ 는 以上 各 경우 Tr_1 을 흐르는 電流이다. (7)~(10)式에서 入力펄스數가 0 및 1일 경우는 Tr_1 은 非導通狀態로 되고, 2, 3일 경우는 Tr_1 은 導通狀態로 될 을 알 수 있다.

IV. 實驗的 考察

그림 11은 I_{bb} 의 값과 出力 S 및 C의 電壓關係를 나타내었다. 例로서 I_{bb0} 를 0.8mA로 하면 出力 S의 電壓 V_s 및 出力 C의 電壓 V_c 는 모두 높은 레벨의 電壓 即 "0" 狀態로 되어 있다. 1mA의 電流펄스가 한개 加해져서 그때의 I_{bb} 即 I_{bb1} 이 1.8mA라고 하면 出力 S는 "1"로 되고 出力 C는 "0" 狀態를 지속한다.

두 入力端子에 1mA의 펄스가 加해져서 I_{bb} 가 2.8mA로 되었다면 出力 S는 "0", 出力 C는 "1"

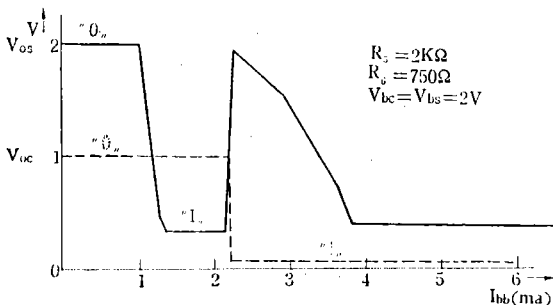


그림 11. I_{bb} 의 값과 出力 S 및 C와의 關係
Fig 11. output voltages S and C vs. I_{bb} .

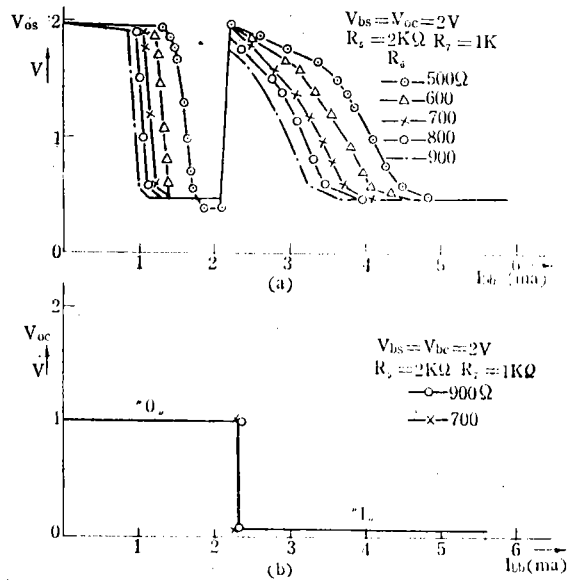


그림 12. $R_5=2k\Omega$ 으로 고정하고 R_6 을 變更改할 경우의 回路動作 a) 出力 S의 電壓 b) 出力 C의 電壓
Fig 12. Circuit operation depending on the value of R_6 (when $R_5=2k\Omega$) a) Voltage on output S vs I_{bb} . b) Voltage on output C vs. I_{bb} .

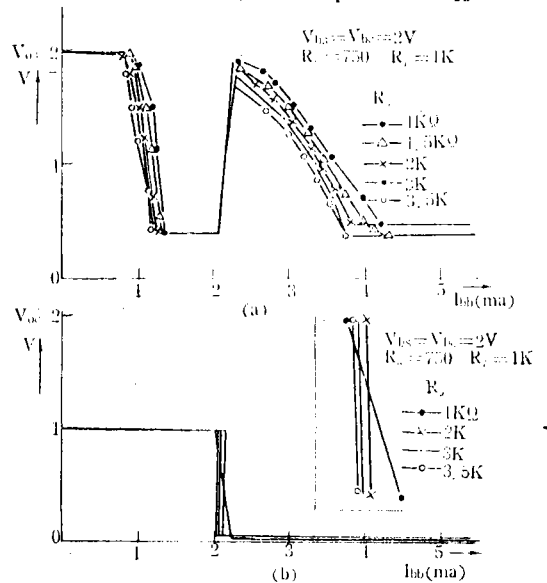


그림 13. $R_5=750\Omega$ 으로 고정하고 R_6 을 變更改할 경우의 回路動作 a) 出力 S의 電壓 b) 出力 C의 電壓
Fig 13. Circuit operation depending on the value of R_6 (when $R_5=750\Omega$) a) Voltage on output S vs. I_{bb} . b) Voltage on output C vs. I_{bb} .

狀態로 된다. 그리고 1mA의 入力펄스가 셋이 함께 加해지면 I_{bb} 가 3.8mA로 되어 出力 S 및 出力 C가 모두 "1"로 된다.

그림 12는 $R_5=2k\Omega$ 으로 고정하고, R_6 만을 變
 更시켰을 때의 回路動作狀態이다. 이때는 I_{b1} 를
 $1k\Omega$ 의 R_7 과 V_{b1} 로서 얻고 있으므로 III에서 論
 한대로 I_{b1} 는 R_7 과 R_5 의 크기에 따라 決定됨을
 고려하지 않으면 안된다. 여기서 R_6 의 값이 너무
 적어지면 한개의 펄스가 들어 왔을 때 出力 S
 가 "1"이 되는 電壓範圍가 좁아지며 또 R_6 가 너
 무 커지게 되면 入力펄스가 두개일 경우의 電壓
 範圍도 좁아져서 回路의 動作餘裕度가 좁아지게
 되므로 700~800 Ω 이 適當함이 나타난다.

그림 13은 R_6 를 750 Ω 으로 고정하고 R_5 를 變
 更할 때의 回路動作을 나타낸다. 이 경우 回路動
 作餘裕度を 고려하여 $R_5=2K\Omega$ 을 선택하는 것이
 適當함이 實驗結果上으로 보여진다.

V. 結 論

새로운 全加算器回路를 提案하고 그 動作特性
 에 關하여 論했다. 여기에 提示한 回路는 從來에
 提案되어 있는 回路가 가진 動作餘裕度の 狹小,
 트랜지스터 베이스-바티어스電壓의 挿入等 回路構
 成上의 缺點이 除去되어 있다. 回路는 쇼트키-
 배리어 다이오드, 트랜지스터 및 터널다이오드

로서 構成되며 高速動作을 爲하여 트랜지스터는
 非飽和狀態에서 동작하도록 되어 있다. 回路動作
 및 設計에 關하여 靜特性曲線을 利用하여 考察하
 였고, 實驗으로서 再確認하였다.

參 考 文 獻

- 1) Y. TARUI, Y. HAYASHI, H. TESHIMA, and
 T. SEKIGAWA: "Transistor Schottky-Barrier
 Diode Integrated Logic Circuit" IEEE Journal of
 Solid-State, Vol. SC-4, No. 1, pp 3-12, Febr-
 uary 1969.
- 2) K. TADA and JOSELUIS R. LARAYA: "Redu-
 ction of the Storage Time of a Transistor Using
 Schottky-Barrier Diode" Proc. of IEEE Vol. 55,
 pp. 2064-2065, November 1967.
- 3) M. MORISUE, T. SUMI and H. IMATA: "Full
 Adder Using Tunnel Diode" The Transactions
 of the Institute of Electronics and Communica-
 tion Engineers of Japan, Vol. 53-C, No. 9, pp.
 673-674, September 1970.
- 4) J. J. Amodei: "High-Speed Adders and Compar-
 ators Using Transistors and Tunnel Diodes"
 IEEE Trans. EC-13 pp. 563-575, October, 1964.