SCR 特性의 實現에 관한 硏究

논 문
22~2~10

A Study on Realization of SCR Characteristics

박 의 열*
(Ui Yul Park)

Abstract

This paper dealt with circuit modeling of SCR and gate turn-off SCR by using complementary symmetrical tansistor circuit, which is modified circuit of input current dependent, current stable negative resitance circuit. Operation of this circuit is estimated and analyzed, with which compared with conventional SCR modeling circuit.

Also operation and the design procedures are checked by experiments.

1. 緖 論

SCR는 電流安定負荷抵抗特性[1](CSNR라고 略記함)을 나타내며 負抵抗値의 크기가 작은 것[2,3]도 있고, SCR와 같이 그 크기가 크고 쉽사리 스윗칭現象을 나타내는 것도 있다. 著者는 旣發表한 電流安定負抵抗回路[4]를 變形하여 SCR과 같은 特性을 나타낼 回路를 考案하였다.

이 回路를 從來의 SCR모델回路[5]로서 쓰인 트랜지스터回路와 比較하고 그 類似性과 相違點을 찾았으며, 또 設計에 必要한 要點을 구하였다.

實驗을 通해서 回路의 諸元의 變更에 따르는 特性의 變化狀態를 檢討하여 設計에 必要한 事項을 確認코자 하였다.

다음에 이 回路가 素子의 모델링에 適用되는 範圍에 대하여 考察하였다. 特히 組立된 回路로서 SSS (silicon symmetrio switch) 또 gate turn-off SCR의 모델링回路 등으로 利用할 수 있음을 期待하였다.

2. 回路의 構成과 解析

(1) 基本回路의 構成

CSNR特性을 나타내는 回路로서 그림 1과 같은 것을 提案한 바[6] 있으며 그림 1과 같다. 이 回路의 電壓—電流特性에서 負抵抗値의 크기를 크게만들기 위하여 抵抗 r와 베이스回路의 抵抗 R_{11}과 R_{12}를 除去하였다. 이렇게되면 트랜지스터의 베이스電壓의 變化가 入力電流의 變化에 민감해지게 된다. 한편 Q_1과 Q_2의 콜렉터—에미터間에 並列로 抵抗 r_1과 r_2를 各各 挿入하여 人爲的으로 漏洩電流[8,9]의 크기를 調節할 수 있도록 하였다. 이렇게하는 結果 그림 4의 點B를 임의로 조절할 수 있게 된다. 이것을 基本回路로 삼아서 그림 2에 表示하였다.

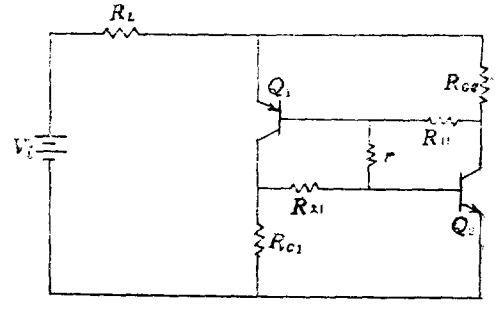

그림 1. 종래의 CSNR回路圖
Fig. 1. A conventional CSNR circuit.

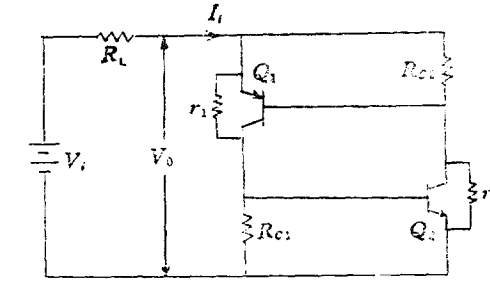

그림 2. 提案한 CSNR모델回路圖
Fig. 2. A proposed CSNR modeling circuit.

* 정회원 : 부산대학교 공과대학 조교수

그림 2의 回路의 等價回路를 그림 3에 表示하였다. 이 回路로서 바라는 SCR모델回路의 特性을 그림 4에 表示하였다.

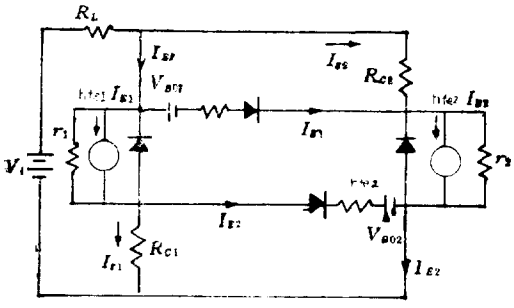

그림 3. 그림 2,2의 等價回路
Fig. 3. Equivalent circuit of Fig. 2.

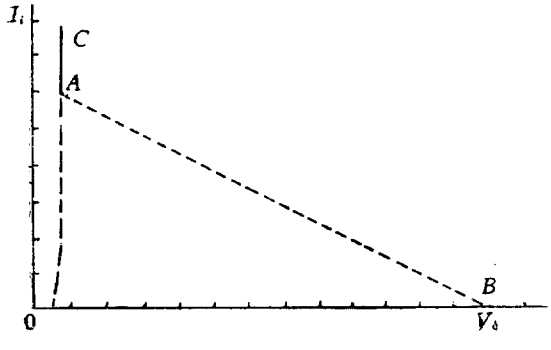

그림 4. 그림 2.의 回路의 電壓—電流特性
Fig. 4. V_0—I_i characteristics by circuit of Fig. 2.

(2) 基本回路의 動作

그림 2의 基本回路에서 V_i가 O에서 增加하고 Q_1과 Q_2의 어느 쪽 베이스에도 電流가 흐르지않는 範圍에서의 入力電流 I_{i0B}는 즉,

$$I_{i0F}=\frac{V_0-V_{CE1}}{R_{C1}}+\frac{V_0-V_{CE2}}{R_{C2}} \tag{1}$$

$$=V_0\left(\frac{1}{R_{C1}}+\frac{1}{R_{C2}}\right)-\left(\frac{V_{CE1}}{R_{C1}}+\frac{V_{CE2}}{R_{C2}}\right) \tag{2}$$

Q_1과 Q_2가 相補對稱(complementary symmetry)이고 各 數가 같고

$R_{C1}=R_{C2}\equiv R_C$, $V_{CE1}=V_{CE2}\equiv V_{CE}$이면

式(2)는 다음과 같다.

$$I_{i0B}=\frac{2V_0}{R_C}-\frac{2V_{CE}}{R_C} \tag{3}$$

또

$$I_{i0B}=I_{i1}+I_{i2} \tag{4}$$

$$=\frac{V_{CE1}}{r_1}+I_{CE01}+\frac{V_{CE2}}{r_2}+I_{CE02} \tag{5}$$

따라서

$$I_{i0B}=\frac{2V_{CE}}{r}+2I_{CE0}$$

$$\therefore\ I_{CE01}=I_{CE02}\equiv I_{CE0},\ r_1=r_2\equiv r \tag{6}$$

그림 4의 點B에서 電壓 V_s는, Q_1과 Q_2의 베이스電壓 V_{BE}에서 베이스電流 I_B가 흐르기 시작하는 쪽의 베이스電流차단電壓 V_{B0}에 이르렀을 때일 것이다.

여기서 V_s는, 즉,

$$\frac{V_{B0}}{R_C}=I_{CE0}+\frac{V_s-V_{B0}}{r} \tag{7}$$

$$\therefore\ V_s=\frac{\frac{r}{R_C}+1}{r\gamma+1}V_{B0} \tag{8}$$

$$\therefore\ r\equiv\frac{I_{CE0}}{V_{CE}} \tag{9}$$

V_{B01}과 V_{B02}가 같으면 勿論이고, Q_1과 Q_2의 어느 한 쪽의 I_B가 O보다 커지면 다른편 I_B가 거의 hfe倍되고 또 한 쪽의 B_B가 hfe^2I_B되고 또 다른 편의 I_B가 hfe^3I_B가 되어 各 I_B는 急速히 增大된다. 이것을 avalanche multi plication[7]이라고 말할 수 있을 것이다. 이 때 R_{C1}과 R_{C2}에 흐르는 電流 I_{i1}과 I_{i2}는 各 V_{BE}의 變化가 거의 없을 것이기 때문에, 별로 變化가 없을 것이다. 또 Q_1과 Q_2의 V_{CE}는 급히 減少하게될 것이다. 이러므로써 그림 4의 點B에서 點A로 電壓—電流가 變化한다. 點A에 이른 入力電壓 V_i에서 더욱 V_i를 增加하면 V_0는 약간 若干 增加하되 I_i는 크게 變하게될 것이다. 點A에서의 I_i를 I_{iA}라고 두면 I_{iA}는 그림 4이 I_k이며 V_i가 V_A및 R_L에서 구해진다.

곧

$$I_{iA}=\frac{V_i-V_k}{R_L} \tag{10}$$

그림 4의 點A에 이르렀을 때 電流增幅率을 Q_1과 Q_2에서 구해본다. 베이스電流對 콜렉터電流를 H_{FE}로 表示하면, I_{i1}과 I_{i2}가 各各 I_{B1}과 I_{B2}에 比해서 극히 微少하기 때문에 거의 1이 될 것이다. Q_1과 Q_2에서 구한 各 H_{FE}値는 다음과 같다. 즉

$$H_{FE1}=\frac{I_{B2}+I_{i1}}{I_{B1}}\fallingdotseq 1 \tag{11}$$

$$\therefore\ I_{i2}\ll I_{B1}$$

또

$$H_{FE2}=\frac{I_{B1}+I_{i2}}{I_{B2}}\fallingdotseq 1 \tag{12}$$

$$\therefore\ I_{i}\ll I_{B2}$$

(3) 基本回路의 變型

SCR特性의 모델回路에 있어서 그림 2의 r_1과 r_2를, 그리고 R_{C1}과 R_{C2}를 제거한 것도 있고, 또 r_1과 r_2를 제거하고 R_{C1}과 R_{C2}를 그대로 둔 것도 있다. 式(5)의 r_1과 r_2는 前述한 바와 같이 漏洩抵抗을 外部回路에서 調節한 것이라고 두고, R_{C1}과 R_{C2}를 베이스—에미터間의 人爲的인 漏洩抵抗[9] 〔註1〕으로 본다면, 2,2에서 計算한 H_{FE}値는 다르게 된다. 즉 Q_2의 베이스電流가 I_{i1}과 I_{B2}로써 構成되었다고 보고, Q_1에 대하여 같이 생각하

註 1: 文獻(9)에서는 "shortea-emitter"로써 具體化하고 있다.

면 여기서 구해지는 베이스電流對 콜렉터電流의 比를 H_{FE1L}, H_{FE2L}로 表示하면,

$$H_{FE2L}=\frac{I_{B1}+I_{E2}}{I_{B2}+I_{E1}} \tag{13}$$

$$H_{FE1L}=\frac{I_{B2}+I_{E1}}{I_{B1}+I_{E2}} \tag{14}$$

가 되고, Q_1과 Q_2가 相補對稱이고 各定數가 같고 $R_{C1}=R_{C2}\equiv R_C$이면 式(13)과 式(14)는 모두 1이 된다.

그림 5에 R_{C2}를 Q_2의 베이스—에미터間의 人爲的·漏洩抵抗으로 나타내어 等價回路를 表示하였다.

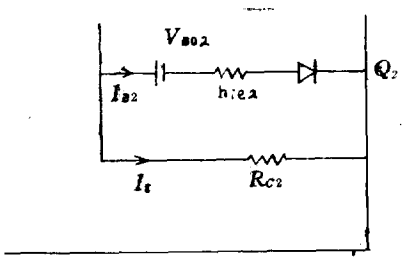

그림 5. 새로운 베이스—에미터等價回路
Fig. 5. New aspect of base-emitter configuration

(4) 게이트回路의 모델

그림 2의 回路의 R_{C1}의 兩端에 게이트回路를 마련하여, 그림 4의 點B에 이르기前의 V_0下에서 게이트電壓을 印加하여 Q_2의 V_{BE2}가 V_{BO2}를 넘게되면 앞서 말한 avalanche multiplication에 의해서 Q_1과 Q_2의 에미터電流는 增加할 것이다. 이때 게이트回路를 除去해 버리더라도, R_{C1}에서의 電壓降下가 Q_2를 充分히 電導할 수 있는 電壓이 되면, Q_2는 계속 動作하고 그대로 持續할 것이다.

그러나 게이트回路를 短絡해 했더니 Q_2의 I_B가 O이 되어서 Q_2의 콜렉터電流도 O이 될것이므로 그림 4의 點A에서 어느 經路를 지나든 點B에 복귀할 것이라고 본다. 이렇게되면 SCR의 모델回路로 받아드리기 보다 또 다른 點이 나타날 것이고, gate turn-off 特性의 모델 回路가 될것이다.

3. 回路設計의 要點

그림 2의 點B는 트랜지스터의 어느 한 쪽이 먼저 I_B를 흘리는 V_{BE}에 該當하는 V_{BO}와 R_C値 r値 그리고 그러한 條件下의 I_{CEO}에 의해서 決定된다. 먼저 V_s를 定해두면, 式(8)을 適用하는 데있어서 r値를 正確히 알아두어야할 것이다. r値는 V_{CE}에 따라서 변화한다.

또 V_s以下의 電壓에서 게이팅하도록 하기위해서는 그림 2의 R_{C1}과 並列로 게이트電壓을 印加할 수 있도록 回路를 만들어야 한다.

그림 4의 點A는 負荷抵抗 또는 安定抵抗 R_L에 의해서 決定한다.

4. 實驗回路의 諸定數 및 實驗方法

實驗回路는 그림 2의 回路를 使用하였다.

回路의 諸定數는 다음과 같다. $r\equiv r_1=r_2$를 1$M\Omega$. 500kΩ. 690kΩ, $R_C\equiv R_{C1}=R_{C2}$는 1kΩ. 2kΩ 및 3kΩ를, 트랜지스터로서 $Q_1=2SA309$. 그리고 $Q_2=2SC509$를 使用하였다. Q_1과 Q_2는 相補對稱인 트랜지스터이다. $V_{B01}=V_{B02}\equiv V_{B0}=0.56V$, $I_{CE02}=0.6\mu A(V_{CE}=30V)$, $I_{CE02}=0.2\mu A(V_{CE}=30)$를 實驗에서 구하여 $1/r$를 各各 5$M\Omega$. 1.67$M\Omega$로 換算하였다. 사용한 $2SA509$와 $2SC509$의 $V_{BE}-I_B$特性을 $V_{CE}=0.01\sim0.1V$ 範圍에서 각각 그림 6—(a)와 그림 6—(b)와 같았다.

負荷抵抗 R_L의 값을 500Ω. 1000Ω 1500Ω를 各各 取하였다.

主로 다음과 같은 項目에 대하여 實驗하였다.

〔a〕 $r_1=r_2\equiv r=\infty$이고, $R_C=R_{C2}\equiv R_C=1k\Omega$에서 R_L의 變化에 따르는 V_s와 I_s의 關係를 구하였으며, V_s와 I_s가 R_L에 關係가 있는가를 알기위해서다.

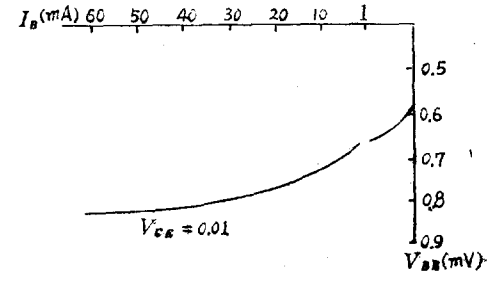

그림 6—(a) $2SA509$의 $V_{BE}-I_B$특성
Fig. 6—(a) $V_{BE}-I_B$ charact. of $2SA509$

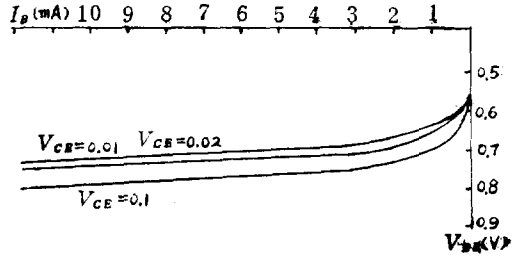

그림 6—(b) $2SC509$의 $V_{BE}-I_B$특성
Fig. 6—(b) $V_{BE}-I_B$ charact. of $2SC509$

〔b〕 R_L=500Ω下에 R_C=1kΩ. 2kΩ및 3kΩ에서의 V_s와 I_s値를 測定하였다. R_C値의 變化가 V_s 및 I_s에 대한 향을 알기 위한 것이다.

〔c〕 R_C=1kΩ. R_L=5000Ω에서 r=1MΩ. 690kΩ 및 470kΩ에서 V_s値를 測定하여 式(8)의 適用方法에 대한 事項들을 確認을 하기위해서 實驗하였다.

〔d〕 電流制御特性을 알기위해서 60Hz 全波整流入力을 印加하고, 게이트電壓없이, 出力電壓을 CRO에서 寫眞을 얻어서 그림 7에 보였다.

〔e〕 그림 2의 R_{C1}에 게이트電壓을 印加하고 바로 떼어내어서 게이팅動作이 可能한가를 調査하였다.

〔f〕 그림 2의 回路의 電流가 I_h에 있을적에 R_{C1}을 短絡하든지 並列로 抵抗을 두어서 減少시켜봤다. 여기서는 R_{C1}을 短絡하든지 低抵抗을 並列로 두면 回路의 動作이 그림 2의 點B로 복귀하는가의 與否를 알기 위해서 實驗하였다. 2—(4)의 끝에서 推定한 事項을 確認하기 위한 것이다.

5. 諸實驗結果의 檢討 및 考察

(1) V_s와 R_L와의 關係에 대하여

實驗〔1〕의 結果는 표 1과 같았다.

표 1

R_L(kΩ)	V_s(V)	I_h(mA)
0.5	69	108
1	69	58
1.5	69	41

표 1에서 V_s値는 R_L에 無關함을 뒷받침하고 있다. 그림 4의 點B자리인 V_s와 I_s値를 지나서 $-R_L$인 負荷線과 V_h에서 세운 垂直線과의 交點의 電壓—電流가 V_h-I_h됨을 보였다.

(2) R_C와 點B와의 관계에 대하여

實驗〔2〕의 結果를 표 2에 表示하였다.

표 2

R_C(kΩ)	V_s(V)	I_h(mA)	V_{Bs} Calculated by-r=1/12 3000	Variation of r to get correct V_s
1	69	106	68.9	$\frac{1}{123000}$
2	55	82	34.4	$\frac{1}{193000}$
3	48	71	22.9	$\frac{1}{251000}$

표 2에서 R_C에 따라서 V_s가 다르다는 것은 式(8)에 있어서 R_C가 영향을 미치는 것을 뜻한다. 동시에 r値를 各 V_{CE}에서 適切히 알지못하면 V_s値를 正確하게 알수 없음을 뜻한다.

(3) r値와 V_s와의 관계에 대하여

實驗〔3〕의 結果는 표 3과 같았다.

式(8)에 $r=\frac{1}{123000}$을, R_C=1kΩ를 代入하고 표 3의 r値를 各各 代入하고 V_{B0}=0.560에서 V_s値는 −6.79~—15%의 誤差가 나타났었다.

표 3

r(kΩ)	V_s(V)〔m〕	I_h(mA)	V_s(V),〔C〕 Calculated	$\frac{C-m}{C}\times 100\%$
1000	66	102	61.8	−6.79
670	65	98	58.7	−10.7
470	63.5	96	55.1	− 1.5

(4) 게이팅에 대하여

게이팅은 實驗(5)대로 可能하였었다. 實驗(6)의결과 R_{C1}을 短絡 혹은 R_{C1}과 並列로 6Ω程度의 抵抗을 두었더니 回路의 電流는 급격히 감소하여 그림 4의 點A에서 點B로 옮아오니 gate turn-off가 可能함을 뒷받침하였다.

(5) 回路의 變型 및 應用

그림 2의 回路를 서로 反對方向으로 접속하면 SSS 모델이 可能하다. 또 適切하게 게이팅과 게이트回路의 抵抗을 調節함으로써 回路의 開閉도 임의로 조절 할 수 있다.

또 r 및 R_C値의 變化를 通해서 게이트回路가 必要없는 電流制御도 可能하다. 따라서 이 回路 自體가 SCR게이트回路의 게이트電壓源으로도 利用될 수 있을 것이다.

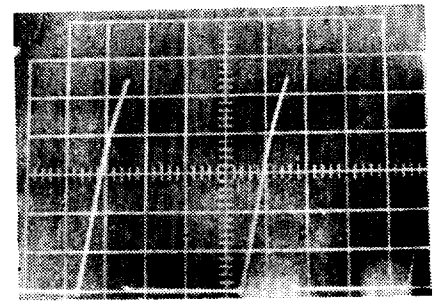

그림 7. 60Hz 全波電流入力에 의한 出力波形
Fig. 7. Output wave shape by 60 Hz full wave rectified input.

6. 結　論

入力電流에 從屬인 電流安定負抵抗回路를 修正하여 SCR의 모델, gate turn-off SCR의 모델回路가 構成되었다. 트랜지스터의 콜렉터와 에미터間에 人受的인 漏洩抵抗을 挿入하여 이것을 適切히 調整하면 게이트 回路가 必要없는 SCR모델이 可能하였다. 게이트모델 回路를 短絡함으로써 開路도 可能하였다.

이들 回路의 變型은 모델로서나 그 自體로서 利用될 點이 넓다고 본다.

本硏究를 進行해 나가는 동안에 여러가지 問題提示와 指導를 하여주신 서울大學校工科大學 電子工學科 李最漢敎授님께 깊은 謝意를 表하는 바입니다.

참 고 문 헌

1) H.J. Reich, Functional Ciruict and Oscillations,"p.90and p.219, Boston Technical Publishier, Inc. Box11. Cambridge 39. Massachusetts. U.S.A. 1965.

2) Minoru Nagata, "A simple Negative Impedance Circuit with no Internal Bias Supplies and Good Linearity," IEEE Transactions. Vol. CT—12, Sept. 1965. pp.433~434.

3) Park Ui Yul, "A Study on Composition of Current Stable Negative Reatance Circuit," Journal of Inst. of Korean Electronics Engineering," Jan. 1973. pp.

4) loc cit

5) James F. Gibbons, "Semiconductor Electronics," P.658 & p.565 McGraw.Hil[Book Company. 1966.

6) loc cit from (3)

7) James. F.Gibbons, "A Critque of the Theory of p-n-p-n Devices," IEEE Transactin on Electronic Devies, Vol. Sept. 1964. pp.406~413.

8) F.E.Gentry, "Bidirectional P-N-P-N Switches," Proceedings of the IRE, April 1965, pp. 355-369.

9) R.W. Aldrich & N. Holonyak, Jr, "Two-Terminal Assymmetrical and Symmetrical Silicon Negative Resistance Switches," Journal of Applied Physics, Vol. 30, No. 11. Nov. 1959, pp. 1819~1824.