

電子交換機 試作모델 K1T-CCSS에 對하여

(Experimental Development on the Electronic Switching System Model K1T-CCSS)

安柄星* · 李周珩** · 余在興*** · 姜鎮求****

(Ahn, Byung Sung) (Lee, Joo Hyung) (Yuh, Jae Heung) (Kang, Jin Koo)

1. 概 要

小規模 電子交換機의 國產化를 爲한 技術開發 및 其他의 基礎實驗을 爲해 以下 K1T-CCSS 라 指稱하는 시스템의 設計 製作 및 試驗에 對한 案이 1972年 2월에 樹立되고 이를 爲해 同年 8월에 豫算이 確定되어 資材手配 및 基本案確定에 約 2個月을 消費한 後 同年 10월부터 本格的으로 設計製作에 着手하여 一次的으로 1973年 2월까지 에 稼動狀態의 實驗室 모델을 完成할 수 있었다. 以下 同 시스템에서 採用한 各部 方式, 使用된 Computer, Data 傳送方式等에 對해 簡單히 說明하고 여기서 얻어진 經驗에 의거하여 앞으로 開發하기 爲해 設定한 모델에 對해 說明한다.

K1T-CCSS는 1個의 主交換臺와 4個의 從交換臺(Concentrator)로 構成되어 있으며 主交換臺의 回線容量은 實裝 120回線 最大收容可能回線 240이며 從交換臺는 各各 最大收容回線 100回線에 實驗實裝 30回線으로 되어 있어 시스템 전체로는 最大 640回線에 實裝 240回線으로 構成되어 있다. 이들 交換臺에는 各各 獨立의으로 制御回路가 있으며 電子計算機로는 Data General Corp.의 NOVA 1200 MODEL 01이 使用되었고 制御部와 計算機 사이의 Data 授受는 標準 12 BIT TTY FORMAT을 使用한 BIT SERIAL DATA 傳送方式에 依해 이루어진다. 여기서 Data 傳送을 使用한 것은 Remote Concentrator의 實驗 및 技術的인 檢討를 爲한 것일 뿐 다른 意味는 없다.

*, **, ***, **** 韓國科學技術研究所 方式機器研究室
Korea Institute of Science and Technology)
接受日字: 1973. 7. 24

加入者用 Subset로는 Multi-frequency Touch Tone Dialing 방식 및 Electronic Tone Ringing 방식의 것이 使用되었으며 Abbreviated Dialing 이 가능한 Subset도 製作 附着되어 實驗되었다. 이 外에 一般公衆電話와의 Interface를 爲한 Dial Pulse Generator, Rotary Dial 방식의 Subset을 爲한 Dial Pulse Converter, 會議機能을 爲한 Conference Mixer, Announcement 및 其他를 爲한 Recorder가 附加되어 있다.

交換方式으로는 最近 또다시 各광을 받고 있는 時分割方式을 採用하였으며 現在로서는 약간의 Noise 問題는 있으나 PAM 방식이 使用되고 있다. High Way 상의 標準化 周波數는 1MHz 이고 4線式으로 通話標本化 周波數는 10KHz 이므로 High Way 의 通話容量은 50回線이 된다. 따라서 主交換臺의 最大收容回線 240의 경우라 할지라도 1個의 High Way 로 充分하며 이것은 Blocking Rate 0.1%로 한 50回線은 약 32 Erlang 이고 加入者當 300 Call-Sec/Hr. 로 할 때 384 加入者까지 收容이 可能하다는 計算에서도 明白하다.

2. K1T-CCSS의 通話路系

PAM 時分割 電子交換機의 通話路는 PAM 信號傳送形態에 따라 二線式 傳送方式과 四線式 傳送方式으로 分類할 수 있다.

二線式 傳送方式은 兩方向 傳送이 可能한 方式으로 共通線路(High Way라 함)上 PAM Pulse의 形態로 보아 電力傳送形이라고도 부른다. 原理上으로는 增幅器를 使用하지 않고도 無損失의 時分割傳送이 可能하나 實際로는 2~3dB의 傳送損失이 있다. 兩方向傳送이므로 變復調回路가 極히

簡單해져 回路構成이 簡單해지고 High Way 上의 한 개의 Time Slot 로 完全한 通話路가 構成되므로 多重도가 높아지는 利點이 있으나 標本化回路에 低損失의 兩方向性 繼電素子(Switching Element)가 必要하게 되고 回線이 增加할 境遇 High Way Multiplexing 이 困難해지는 短點이 있어 K1T-CCSS 에서는 使用치 않았다. 이 方式은 Resonance Transfer 方式이라 부르며 Bell System 의 特許로 알려져 있다.

四線式 傳送方式은 時分割多重傳送機器와 같이 送受信號를 Hybrid Network 에 의해 分離하여 傳送하는 方式으로 單方向性 傳送路이며 電壓傳送形과 電流傳送形이 있다.

單方向性이므로 繼電素子の 選擇이 容易하고 低廉한 價格으로 入手할 수 있다. 2개의 Time Slot 로 한 개의 通話路가 구성되어 같은 Time Slot 수일 경우 회선수가 二線式 傳送方式에 비해 1/2로 떨어지나 High Way Multiplexing 으로 高多重화가 可能하고 PCM 變換傳送이 容易한 利點이 있어 이 方式을 擇하였다.

2-1. 構 成

K1T-CCSS는 前述한 바와 같이 四線式 傳送方式으로 加入者 通話路의 技能的인 構成은 그림 2-1과 같다.

標本化回路은 經濟的인 다이오드 게이트 回路로 X(1單位), Y(10單位) 二段으로 나누어 10×10의 Matrix 形으로 構成하여 100 加入者를 수용할 수 있도록 하였다. 100加入者 以上の 境遇는 10J加入者群을 High Way에 "OR" 게이트로서 묶으면 된다.

各 標本化回路은 Minicomputer 의 命令에 따라 共通制御部에 의하여 制御된다.

送信側 標本化回路(게이트)가 同時에 열린 時間단 音聲信號는 標本化되어 High Way에 펄스로 나타나며 音聲信號의 最高周波數를 4KHz로 취하면 標本化周波數는 8KHz 이상이 되어야 한다. 본 방식에서는 標本化周波數로 10KHz를 擇하였으며 High Way 上에는 100μs의 標本化週期(Nyquist interval of samples)를 갖는 PAM信號가 나타난다.

各 加入者의 音聲信號의 標本化 時間을 달리함으로써 多重화가 이루어져 High Way 上에는

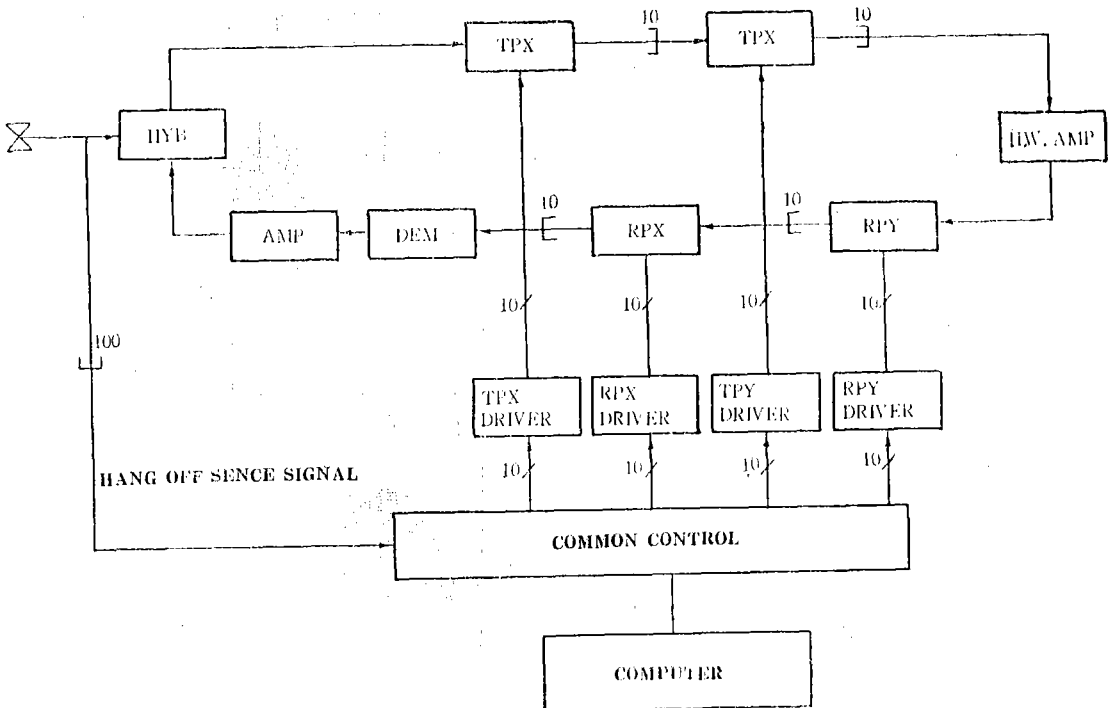


그림 2-1. Speech Path Functional Block Diagram

PAM變調된 Pulse Train이 나타나며 受信側 標本化回路에서 通話하고자 하는 回線의 送信側 標本化時間과 一致시켜(同時) 標本化함으로써 通話路가 구성되고 交換作用의 遂行이 可能하게 된다.

通話容量은 標本化週期 $100\mu s$, 標本化된 Pulse의 幅 $0.75\mu s$, Guard Time $0.25\mu s$ 로 하여 100個의 Time Slot을 갖게 하였으므로 50個의 完全한 交換機內 通話路가 構成되어 있다.

有效 Pulse 幅을 길게 하기 위해서는 變調된 Pulse의 Rise 및 Fall Time이 充分히 짧아야 한다. 特히 Fall Time은 Guard Time內에 完全히 零電位로 떨어져 다음에 오는 Pulse의 振幅에 變化를 주어서는 안된다. 만일 앞의 Pulse가 뒤에 오는 Pulse에 振幅變化를 주었다면 이것은 漏話現像으로 나타나게 된다. 또한 實際製作時 Ringing이 생기지 않도록 注意하여야 한다.

수용할 수 있는 加入者回線數는 Traffic에 따라 달라질 것이나 500回線은 수용 可能하다.

2-2. 變復調器

時分割方式의 交換機에서는 各 加入者마다 PAM變復調器가 必要하게 되고 交換機 全體에서 그 回路가 차지하는 比重이 相當히 크므로 設計

에 있어 經濟性에 特히 重點을 두어야 한다.

電話에서 音聲信號의 傳送은 $0.3\sim 3.4KHz$ 이면 充分한 것으로 되어 있으므로 이 範圍의 音聲信號를 傳送하기 위해서는 標本化周波數가 $8KHz$ 면 充分하나 Filter의 부담을 줄이기 위하여는 標本化周波數를 높이는 것이 有利하므로 標本化周波數를 $10KHz$ 로 擇하였다.

變調回路는 그림 2-2와 같으며 單極性 PAM變調를 하기 위하여 $+5V$ 의 Base Bias에 音聲信號를 Hybrid用 變成器를 通하여 중첩시켰다. 標本化回路 TPX와 TPY에서 標本化하면 바로 PAM變調된 信號가 되며 C_1 은 標本化時 Pulse의 振幅을 一定하게 維持하는 機能을 가지고 있다. R_1 은 Hybrid回路의 Impedance를 整合시키기 위한 抵抗이고 VR_1 은 過대한 變調入力信號를 制限하기 위한 바리스터로서 加入者 Loop로부터 들어오는 큰 임펄스에 의하여 標本化回路 및 High Way 增幅器의 破損을 防止해 주며 임펄스雜音레벨을 制限해 준다. 交換機內에서 發生되는 雜音을 억제하기 위하여는 變調側에도 Low Pass Filter가 있어야 하나 Filter는 高價이므로 Hybrid用 變成器의 送信標本化側에서 본 Impedance와

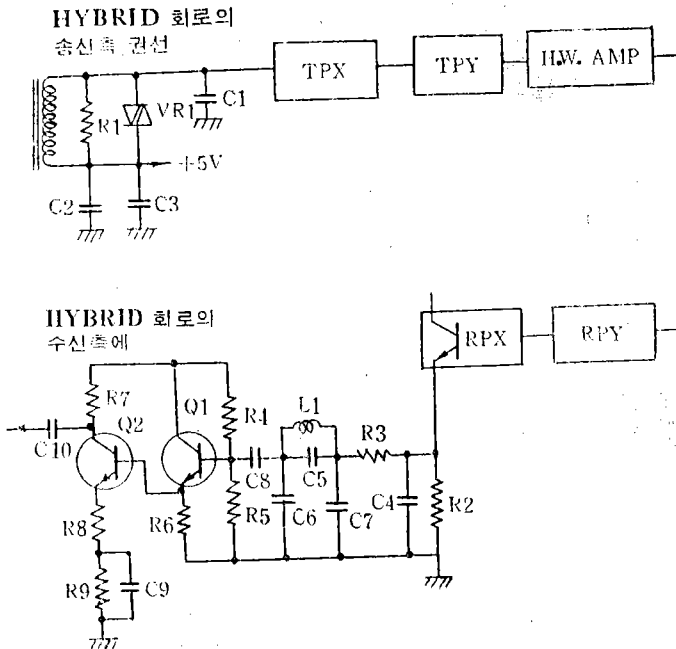


그림 2-2. 變復調 回路

容量 C_1 에 의하여 3.8KHz Corner Frequency 를 갖는 간단한 Low Pass Filter 特性을 갖도록 設計하였다. 通話를 하고 있지 않을 때의 雜音은 增幅器 등의 熱雜音과 10KHz 타이밍波漏에 起因한다. 熱雜音은 取扱信號가 크므로 별로 問題가 되지 않으나 10KHz에 대해서는 送信側에서 充分한 減衰가 되어야 한다. 通話時에는 標本化(PAM變調)에 의하여 側波帶가 생기므로 變調入力信號(加入者로부터 送話된 音聲信號)는 4KHz 以下로 制限하여야 한다. 萬一 標本化回路 前段에서 4KHz 以上の 音聲信號 Spectrum 을 充分히 減衰시키지 못하면 變調後 低域 側波帶가 復調器 Low Pass Filter 의 通過帶域內에 들어 있으므로 復調後 雜音成分(標本化雜音)이 되므로 充分히 減衰를 시켜야 한다. KIT-CCSS 에서는 標本化 周波數를 10KHz로 取하였기 때문에 간단한 Filter 로 雜音레벨을 30dBNC 이하까지 낮출 수 있었다.

復調回路는 Low Pass Filter 와 增幅器로 構成되어 있으며 復調 Filter 는 經濟性을 考慮하여 그림 2-3과 같은 特性을 가진 簡單한 M-derived Low Pass Filter 를 使用하였다. 이 特性은 10KHz 타이밍 漏波雜音과 殘留漏洩雜音(復調 Filter 에서 4KHz 以上 成分 即 4KHz 以上の 音聲信號 Spectrum 과 側波帶를 充分히 減衰시키지 못했을 때 復調後 나타나는 雜音)이 問題이므로 10KHz에서 最大減衰 및 7.4KHz~9.7KHz 에서의 減衰特性이 重要하다.

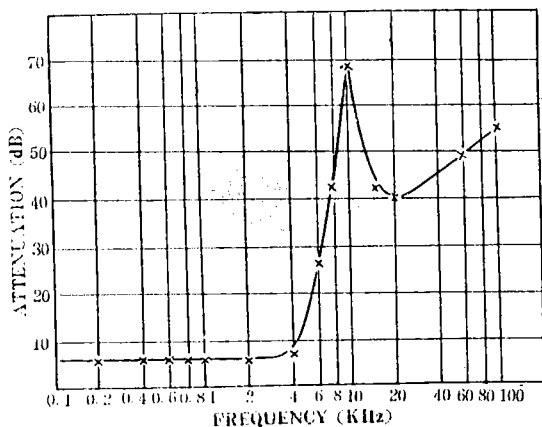


그림 2-3. Filter 特性

PAM 信號를 바로 復調 Filter 에 연결하면 復調效率이 나쁘므로 그림 2-2와 같이 受信側 標本化回路의 最終段에 에미터 회로워를 使用하여 낮은 임피이던스源으로 容量 C_4 에 빨리 充電을 시키고 다음 펄스가 들어올 때까지는 R_2 를 通하여 放電하도록 하여 三角波로 變換한 후 復調 Filter 에 供給하였다. 增幅器는 Hybrid 회로 및 變復調回路의 損失을 補償하기 위한 것으로 加入者와 加入者間의 交換機 挿入損失을 0dB가 되도록 設計하였으며 各 加入者回線을 個別的으로 利得調整을 하지 않아도 利得편차가 ± 0.5 dB 이내를 얻을 수 있었다. 增幅器의 最大出力은 +10dBm 이며 저항 R_3 에 의하여 電流제한을 걸어 安定度를 높였으며 出力임피이던스가 負荷抵抗 R_L 로 一定하도록 設計되어 있다.

2-3. 電源供給回路, Hybrid 회로 및 Hang off Sense 回路

加入者 電話器에 必要한 電源의 供給은 그림 2-4와 같이 Hybrid 用 變成器의 卷線을 通하여 供給된다.

Hybrid 회로는 二個의 變成器를 使用한 基本的인 方式을 使用하였다. Hybrid 用 變成器에 電話器의 送話器에 必要한 直流가 흐르고 있으므로 이 直流에 依하여 變成器가 飽和되어 自己인덕턴스가 감소되는 것을 防止하기 위하여 Air Gap 을 두었다. Hybrid 回路에서 가장 重要한 것은 Return Loss가 커야 하는 點이며 이 問題 때문에 一個의 變成器로 構成할 것을 考慮하였으나 實驗結果 適切한 特性을 얻기 困難하다는 것이 發見되어 變更하였다. 加入者 線路의 임피이던스는 線路의 길이 및 線의 種類에 따라 相當히 變化될 것이므로 이들 條件에 對하여 滿足스럽게 動作할 수 있기 위해서는 外部 平衡回路網에 依하여 調整할 必要가 있고 現在 使用하고 있는 回路에서는 外部平衡回路를 內藏하고 있다. 위와 같은 方式으로 一般電話回線을 使用하여 平衡回路의 調整 없이 Singing Margin 20dB 以上の 實驗結果를 얻었다.

Hang off Sense 回路는 加入者의 狀態 即 加入者가 電話를 걸기 위하여 送受話器를 들었는가 안 들었는가를 알기 위한 감시회로로서 送受話器

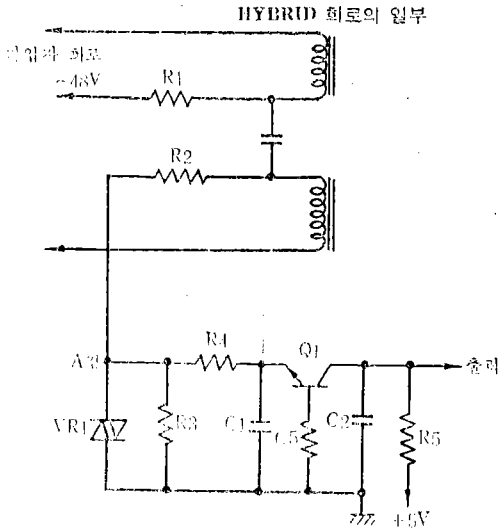


그림 2-4. 전원공급 및 Hang off Sense 회로

를 들 境遇 加入者 線路에 흐르는 直流電流로 檢出되도록 設計하였다. 그림 2-4와 같이 Relay 를 사용하지 않고 電子回路로 構成하였으며 加入者가 送受話器를 들고 있지 않을 때에는 트랜지스터 Q₁은 차단되어 Q₁의 출력은 +5V가 되어 있으나 加入者가 送受話器를 들면 直流가 加入者電話器로 흘러 저항 R₂와 바리스터 VR₁의 접합점 A에는 負의 電壓이 나타나 트랜지스터 Q₁은 導通되므로 Q₁의 出力은 거의 零單位로 내려간다. 容量 C₁, C₂는 순간적인 오직속 및 잡음에 의하여 Q₁이 動作하는 것을 防止하기 위한 지연시간을 얻기 위한 것이다. 또한 이 회로에 바리스터 VR₁을 사용한 것은 큰 임펄스가 A점에 나타났을 境遇 Q₁을 保護하기 위한 것이며 加入者側線路의 抵抗이 變化하여도 A점에 一定한 電壓降下가 나타나게 하기 위한 것이다. KIT-CCSS에서는 號出信號로 Electronic Tone Ringing方式을 사용하고 있어 交換機로부터 號出信號가 보내질 때 加入者 電話器內에 있는 Tone Ringer에 약 5mA의 Loop 電流가 흐르게 된다. 이 電流에 의하여 트랜지스터 Q₁이 導通되는 것을 막기 위하여 저항 R₃을 바리스터와 並列로 連結하였으며 加入者線路에 電流가 15mA 以上 흘러야 트랜지스터 Q₁이 導通되도록 設計하였다.

트랜지스터 Q₁의 出力은 共通制御部에서 들어오는 Hang off SCAN 信號와 같이 다이오드 게

이트回路에 連結되어 該當 加入者 番號에 SCAN 信號가 왔을 때만 Hang off Sense 出力信號가 펄스로서 나가도록 構成하여 100 加入者 全體의 Hang off Sense 出力을 한 線으로 連結할 수 있도록 하였다.

3. Computer와 I/O 方式

3-1. Computer

NOVA 1200 MODEL 01은 凡用 Minicomputer로 대개의 構成은 그림 3-1과 같다. 이 Computer의 특징은 16 Bit Data를 4Bit씩 4개로 끊어서 處理하는 Nibbling 방식을 채택하고 있다는 점이다. 이 Computer의 상세한 내용은 Data General Corp. 발행인 How to Use Nova Computer를 참조하기 바란다.

3-2. I/O Interface

I/O Interface는 一種의 直並列變換裝置 및 制御回路로서 主役割은 各 交換臺로부터의 情報를 蒐集하여 Processor에 提供하고 交換을 위한 各種 命令語를 Process로부터 該當 交換臺에 割當하는 일이다.

이 시스템에 使用된 I/O Interface回路는 一次모델과 二次모델이 있는데 構成圖는 그림 3-2와 3-3에 各各 圖示되어 있다. 一次모델과 二次모델의 根本的인 差異點은 첫째 一次모델에서는 從來 一般的인 I/O Interrupt方式을 採擇한 反面에 二次모델에서는 프로그램에 依한 RTC(Real Time Clock) Interrupt 處理方式을 사용한 點이며, 둘째로는 各 交換臺에 割當된 Buffer를 時分割式 走査에 依하여 順次的으로 活性化(Activation)하기 위하여 一次모델에서는 Hardware의 으로 走査하지만 二次모델에서는 Software的 走査方法을 使用한 點이라고 하겠다.

먼저 一次모델의 動作을 略述하기로 한다. 모든 情報의 直並列變換은 非同期式直並列變換器인 TI社의 6010NC에 依하여 行하여지며 各 6010NC는 個別的인 2個의 I/O Buffer를 가지고 있고 各各 特定 交換臺에 割當되어 있으며 이들에게는 特有한 2個의 Buffer Code를(9 bit) 配定하고 있다. 그림 3-2에서 Device Code Generator는 上述한 9 Bit의 Buffer Code를 順次的으로 發生시

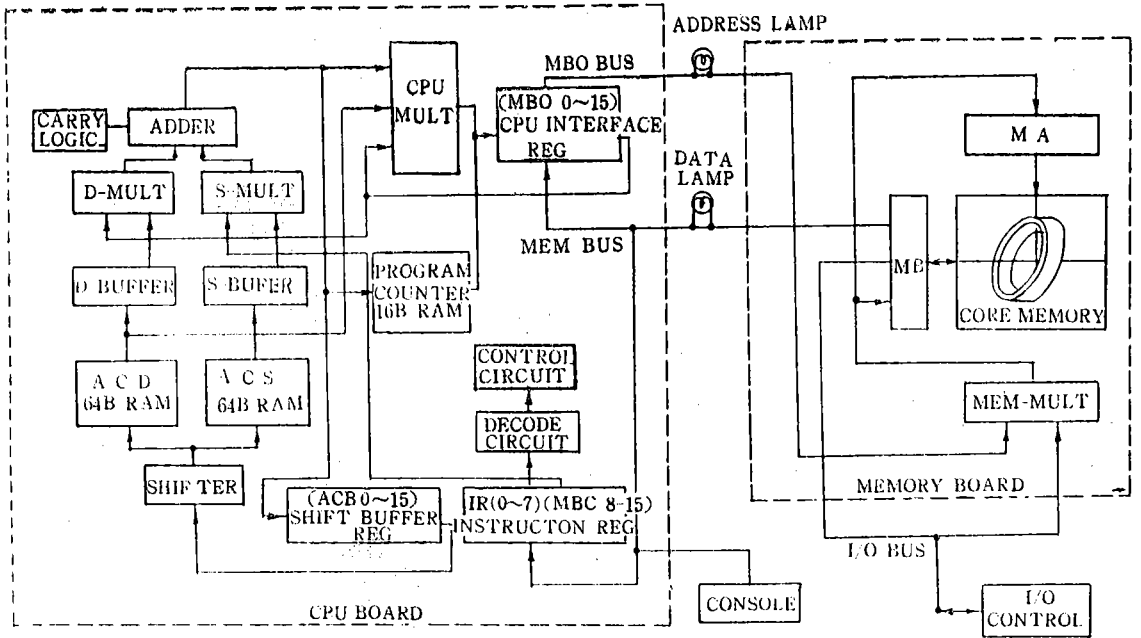


그림 3-1. NOVA 1200 Model 01 Block 圖

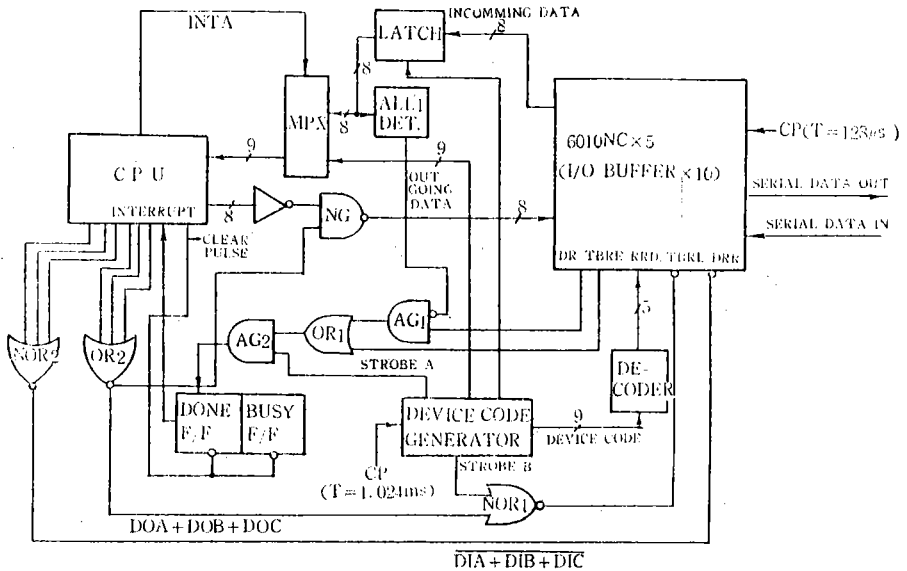


그림 3-2. 1차 Model I/O Interface 構成圖

키는 走査器로서 5個의 F/F 으로 22計數를 하여 22個의 全體 Buffer(最大 22個)를 走査하며 이에 所要되는 時間은 22.528ms가 되어 11Bit/1Frame (stop bit 를 하나만 使用함)을 處理하는 데 6010 NC가 必要로 하는 時間과 같다. 結局 任意의 6010NC가 每 1 Byte 處理하는 時間 동안 반드시

2回(送信 buffer 와 受信 buffer) 走査되도록 되어 있다. I/O Buffer로 使用되는 모든 6010NC 의 送信部의 입력단자들은 서로 Wired-OR 되어 있고 送信準備狀態를 나타내는 Flag信號인 TBRE 出力은 Gate 로 Oring 되어 있으며, 또한 受信部 의 出力단자(tri-state logic output) 역시 Wired-

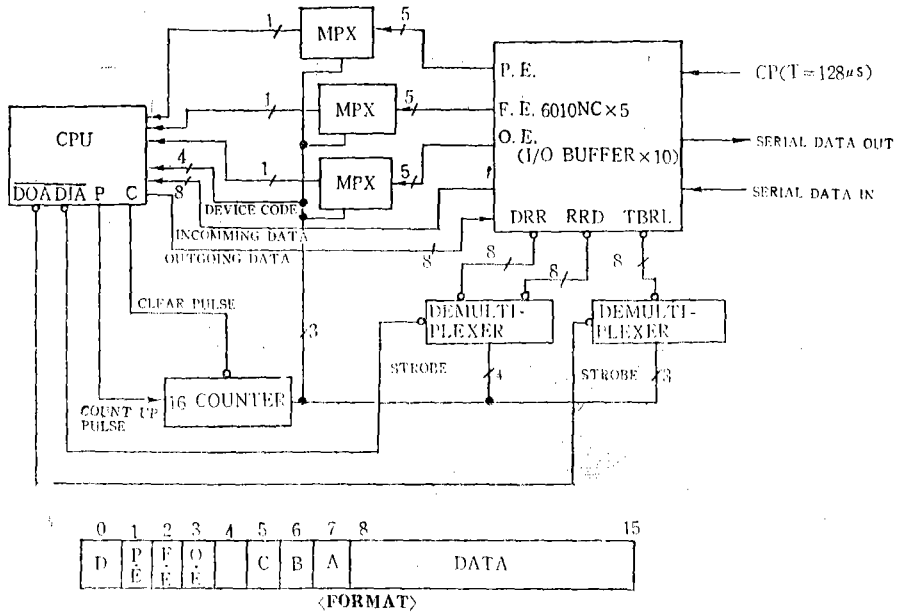


그림 3-3. 2차 Model I/O Interface 構成圖

OR 되어 있으며 데이터受信完了狀態를 表示하는 DR(Data Ready) Flag도 Gate를 通하여 OR 接續되어 있다. 그런데, Device Code Generator는 이들 Buffer를 順次的으로 走査하기 때문에 Enable 신호가 印加된 Buffer의 諸信號만이 活性化 되게 되어 있다. 任意的의 時間에 特定 受信 Buffer가 選定되었다고 할 때 選定된 Buffer의 DR Flag가 Set 되어 있다면 受信된 8 Bit 데이터는 일단 LATCH에 옮겨지며 同時に 그 內容이 ALL 1 狀態인가가 檢出된다. ALL 1 데이터는 16Bit/1 word를 2個의 Byte로 나누어 傳送하는 까닭에 必要하게 되는 Word 同期問題를 解決하기 爲하여 使用한 無効데이터이다. 따라서 ALL 1 데이터를 受信한 경우는 AG 1에서 DR Flag信號가 遮斷된다. 受信데이터가 ALL 1이 아닌 경우 DR Flag信號는 AG 2에서 Strobe A信號와 AND 動作으로 CPU 側에 Interrupt를 要求하는 Done F/F를 Set한다. 이때 CPU 側에서는 Interrupt Service Program에 따라 INTA 命命을 發하여 Interrupt를 要求한 Buffer Code를 MPX (Multiplexer)를 通하여 探知한 後 該當 Buffer의 Device Code를 붙인 I/O Input 名命을 使用하여 LATCH에 保管되어 있는 데이터를 받아

들이는 同時に Done F/F와 Busy F/F를 각각 Reset 하고 Set 한다. 送信 Buffer가 活性化되었을 경우도 마찬가지이다. 다만 受信 때와 같이 ALL 1 檢出을 하지 않는 點과 CPU에서 該當 交換臺에 보내 줄 命命이 있을 경우 I/O Output 命命을 發하지 않으므로 NG Gate가 遮斷되어 ALL 1 데이터가 送信部에 실리게 된다는 點이다. 一次모델의 長點은 不必要한 Interrupt를 排除하였기 때문에 CPU Time을 節約할 수 있다는 點이지만 Buffer 走査時間과 6010NC의 1 Frame 處理時間을 같게 함으로써 Timing上的 危險性이 크며 走査器 및 기타 制御 Gate等에 必要한 부품(5個의 LSI와 36個의 TTL IC)이 많아 相對的으로 故障率이 높을 뿐만 아니라 데이터送受中 發生하는 Error(frame error, parity error, overrun error)들에 대한 處理가 未備하고 6010 NC의 誤動作(데이터受信完了時에도 DR Flag가 Set되지 않는 경우)에 對한 措處가 全無하다. 따라서 連續的으로 데이터를 受信할 경우 一回 Byte Missing이 發生하면 Word 同期를 맞추는 것이 不可能하게 되는 큰 缺點이 있다. 이러한 缺點을 補完하기 爲하여 設計한 것이 그림 3-3의 二次모델이다.

二次모델에서는 前述한 바와 같이 I/O Interrupt 방식을 採擇하지 않고 每 10ms 마다 Program RTC Interrupt 를 發生시켜서 各 Buffer를 順次的으로 活性化하여, 受信 Buffer가 選定된 境遇에는 DR Flag 신호를, 그리고 送信 Buffer가 選定된 境遇에는 TBRE Flag 信號를 I/O Bus의 Busy F/F 信號線에 印加하여 SKPBZ 命令으로 檢査하고 이에 따라 데이터 受信完了狀態와 데이터 送信準備狀態를 把握한다. 選定된 任意的 受信 Buffer의 DR Flag가 Set 되어 있으면 DIA 命令을 發하여 受信데이터 8 Bit와 同時에 6010 NC로부터 얻어지는 3가지 Error Flag 信號와 選定된 Buffer의 番號 4 Bit(16進 計數器의 內容)를 CPU內로 불러들여 各 Buffer에 割當되어 있는 一時記憶裝置에 보낸다. 그後 16進 計數器에 P信號를 加하여 Count-up 하고 다음 Buffer에 對해 前과 같은 方法으로 處理한다. 任意的 送信 Buffer가 選定되었을 경우도 마찬가지이다. 이때는 活性化된 送信 Buffer의 TBRE Flag 信號가 Set 되어 있는가를 SKPBZ로 檢出하여 Set되어 있는 境遇에는 該當 Buffer에 割當된 一時記憶裝置로부터 傳送할 命令語(命令語가 없을 경우는 ALL 1 데이터)를 DOA 命令을 使用하여 실행하고 다시 16進 計數器를 Count-up 하여 다음 Buffer로 走査를 옮긴다. 走査는 受信 Buffer를 먼저 行한 後 送信 Buffer를 차례로 活性化하는데 제일 마지막 Buffer의 走査가 끝나면 RTC Interrupt Service는 終了되며 制御는 主 Program으로 轉移된다. 受信 Buffer로부터 받아지는 1 Word의 構成은 그림 3-3의 Format과 같은데 일단 이러한 型式을 갖추어 一時記憶裝置에 記錄된 各 情報는 RTC Interrupt 處理 終了後 ALL 1 데이터인가의 與否, Error 發生與否 등을 調查하여 2 Byte를 1 Word로 맞춘 後 適當한 順序를 밝아 處理한다. 一次모델에서 問題되었던 6010 NC의 誤動作은 一定時間 동안 한번도 DR Flag가 Set된 적이 없는 Buffer를 Program으로 調查하여 6010NC의 Starting Signal인 MR(Master Reset) 信號를 印加함으로써 解決하였다. RTC Interrupt 發生時 I/O Buffer Service에 必要한 副 Program의 遂行時間은 最大 474 μ s 정도 消

요되는데 이는 1 μ s의 4.74%에 不過하여 全體 Program 遂行에 미치는 影響은 別로 크지 않다. 結果적으로 二次모델에서는 使用部品이 大幅 줄었으며(5個의 MOS LSI와 14個의 TTL IC) 따라서 價格과 故障率이 낮아졌을 뿐만 아니라 信賴度가 매우 向上되었다.

4. 通話路 制御部 및 데이터 傳送

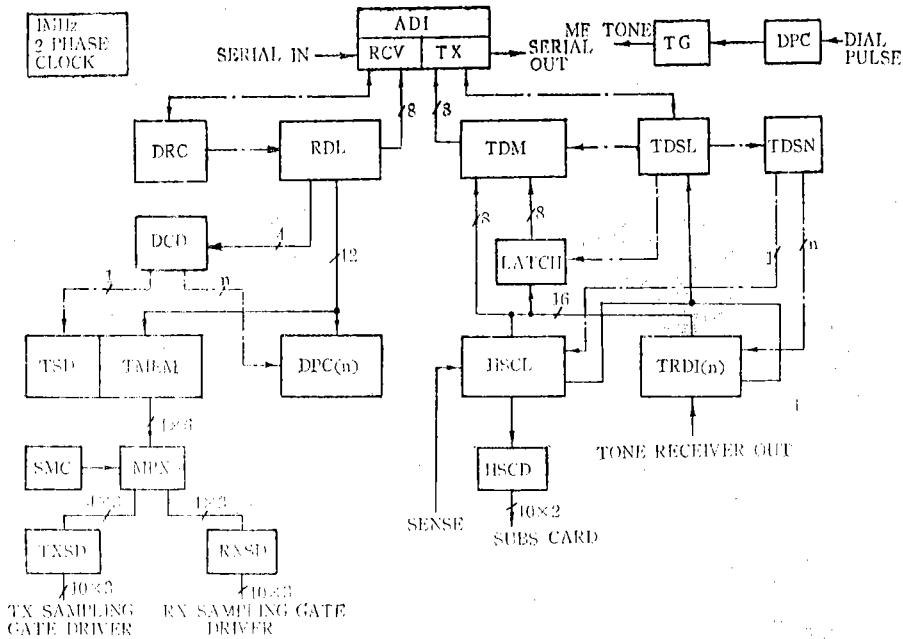
이 部分은 아래와 같이 크게 두 가지 裝置로 나누어진다. 첫째, 各 加入者의 狀態變化 및 被呼出者 個人番號等の 情報를 Processor가 認識할 수 있도록 形式化하여 이들 情報를 Processor에 提供할 수 있는 裝置가 必要하며, 둘째로는 Processor로부터의 命令을 받아서 實際交換作用을 遂行하도록 操作하여 주는 裝置가 있어야 한다. 위와 같은 機能을 遂行하는 곳이 通話路制御部 및 데이터 傳送部이다.

그림 4-1은 全體의인 系統圖인데 먼저 데이터 傳送到에 關하여 살펴보기로 하겠다. 모든 데이터는 根本적으로 16 Bit 1 Word 形式으로 構成되며 그림 4-2에서 볼 수 있듯이 MSD 4 Bit는 Device Code로 使用되며 나머지 12 Bit는 Data Bit로 쓰인다. 또한 모든 데이터는 直列非同期式으로 送受되는데 그림 5-1 上段에 있는 ADI Block의 最大直並列變換可能語長이 8 Bit이어서 1 Word의 情報는 일단 8 Bit씩 나누어져 Byte單位로 送受된다. 다시 말하면 ADI에서는 그림 5-3과 같이 1 Frame이 Start Bit 1個, Data Bit 8個, Parity Bit 1個, 그리고 Stop Bit 2個를 合하여 모두 12 Bit로 構成된다. ADI의 데이터 傳送速度는 Clock Pulse의 周波數에 依하여 決定되며 1 Bit 傳送當 16個의 Clock Pulse가 必要하다. 여기서는 1/128 MHz의 Clock이 使用되고 있어서 1 Frame 傳送時間과 Baud Rate는 아래와 같이 計算된다. 一般적으로 데이터의 傳送速度를 빠르게 하면 傳送效率은 높아지지만 Error Rate는 相對적으로 增加된다.

$$T = 12(\text{bit}) \times 16(\text{cp/bit}) \times 128(\mu\text{s}/\text{cp}) = 24.576\text{ms}$$

$$B = 1/128 \times 10^{-6} \times 16 = 488.28(\text{baud}/\text{sec})$$

따라서 Tandem Switch 방식에서의 長距離 데이터 傳送速度는 前述한 傳送效率과 Error Rate 그



ADI: Asynchronous Data Interface
 TDM: Transmitting Data Multiplexer
 TDSL: Transmitting Device Selector
 TDSN: Transmitting Device Scanner
 HSCL: Hang-off Scan Control Logic
 HSCD: Hang-off Scan Decoder
 TRDI: Tone Receiver Data Interface
 RDL: Receiving Data Latch

DRC: Data Receiving Control
 DCD: Device Code Decoder
 TMEM: Temporary Memory
 TSD: Time Slot Distributer
 MPX: Multiplexer
 SMC: Sampling Multiplexer Control
 TXSD: Transmitting Sampling Decode
 RXSD: Receiving Sampling Decode
 DPC: BCD-to-Dial Pulse Converter

그림 4-1. Over All Block Diagram

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DEVICE CODE				DATA BIT											

그림 4-2. Data Format

START BIT	DATA BIT	PARITY BIT	STOP BIT
-----------	----------	------------	----------

그림 4-3. 1 Frame Format

리고 Traffic 問題等을 考慮하여 慎重히 選定하여 야 한다. 이 시스템에서 데이터 傳送速度를 約 500 Baud 정도로 擇한 것은 Data 傳送用 裝置의 價格 및 傳送신뢰도 때문이었으며 또한 實際로 交換臺의 收容加入者數가 적으므로 데이터 傳送速度를 빠르게 할 必要가 何等 없었기 때문이었다.

通話路制御部는 大部分 TTL(transistor transistor logic) IC를 사용한 Sequential Random Logic으로 構成되어 있으며 交換臺側에서 Processor로 各種 데이터를 提供하여 주는 送信部와 Processor로부터 交換命令을 받아 實際交換機能을 行하는 受信部로 兩分된다.

먼저 送信部の 構成을 살펴보면 다음과 같다. 送信部에서는 各 加入者의 狀態變化(hang-off 또는 hang-on)와 呼出加入者가 願하는 被呼出加入者의 個人番號를 데이터形式에 맞도록 構成하여 이것을 다시 두 개의 Byte로 分離하여 ADI Block으로 보내주는 役割을 한다. HSCD은 全 加入者의 狀態變化, 換言하면 Hang off과 Hang-on 狀態를 檢出하는 重要한 機能을 遂行한다. 이러한 機能을 갖는 裝置를 構成하는 方法은 여러 가지 있을 수 있겠으나 Diode Matrix를 使用한 標本化

方式을 採擇하여 簡單하고도 價格이 低廉하게 하였다. HSCL은 全體 收容加入者의 狀態를 一時的으로 記憶할 수 있는 Shift Register Memory와 狀態變化를 檢出하는 Exclusive OR 回路로 構成되어 있다. HSCD는 加入者 電話番號의 十單位와 一單位를 標本化(sampling)하는 信號만을 發生시키고 百單位分離는 通話路標本化의 百單位信號를 이용하여 可能하게 되었다. HSCL의 走査速度는 10KHz로서 200加入者의 狀態를 走査하기 爲하여 必要한 時間은 2ms가 된다. Hang-off과 Hang-on의 分別은 Software로 解決할 수 있지만 Program의 複雜性和 Memory Space를 줄이기 爲하여 簡單한 Hardware로 處理하였다. 即, Sense 信號 自體를 HSCL의 出力데이터의 다섯번째 Bit(bit 4)에 가하여 이 Bit가 "0" 또는 "1"이 되도록 하는 方法을 採擇하였다. 따라서, Program에서는 다섯번째 bit의 狀態를 判斷하여 Hang-off과 Hang-on을 쉽게 區別할 수 있다. TRDI는 呼出加入者로부터 보내어지는 MF信號가 Tone Receiver에 依하여 Digital信號로 바뀌면 이것을 BCD化하여 데이터形式을 갖추는 裝置로서 一般的으로 세 개의 MF信號로 하나의 Word를 構成한다. 加入者電話器의 番號板은 3×4 MF行列로 構成되어 있어서 任意의 番號를 누르면 두 개의 周波數成分을 包含하는 Tone이 發生하게 되는데 이 MF信號는 Tone Receiver에 依하여 두 개의 Digital Matrix Switching 出力(low 出力과 high 出力)으로 바뀐다. TRDI는 Tone Receiver로부터 얻어지는 出力을 BCD化하여 데이터形式에 맞도록 操作한다. TRDI의 數는 使用된 Tone Receiver의 數와 같다.

TDSL은 HSCL과 TRDI로부터 發生하는 데이터의 有無를 判別하여 데이터傳送準備狀態가 된 裝置로부터 16 Bit 데이터를 Data Bus에 실리도록 制御하며, 하나의 Word를 두 개의 Byte로 區分하여 첫째 Byte는 먼저 送出하고 둘째 Byte는 일단 LATCH에 保管하였다가 뒤이어 ADI의 TX部에 보내는 TDM 모델을 통해 傳送한다. TDSN은 傳送 Device의 Data Bus 使用要求를 調査하는 走査部로서 走査速度는 1MHz이다. 每回 走査時 全體送信 Device에서 送信될 데이터가

없을 경우에는 All 1 Data를 送信한다. 이 All 1 Data를 利用하여 受信時 Word Synchronization을 얻게 된다. 이 시스템에 使用되는 Device는 送信과 受信에 各各 16個까지 設置할 수 있어서 TDSN은 1-of-16 復號器로 構成되어 있다. TDSL에 依하여 어느 Device가 選定되면 TDSN의 走査는 일단 停止되며 選定된 Device로부터 傳送데이터를 받아들인 後 走査는 다시 繼續된다.

受信部는 前述한 바와 같이 Processor가 指令하는 命令에 따라 交換操作을 行하는 部分이다. RDL은 ADI의 RCV部에서 受信한 命令을 1 Byte씩 並列로 받아 1 Word로 組合하는 一種의 Latch로서 DRC에 依하여 制御된다. DRC는 ADI로부터 1 Frame 데이터를 受信하였다는 Data Ready信號를 받으면 이 데이터를 RDL에 蓄積시키는 作用을 한다. RDL에 蓄積된 16 Bit中 0~3까지의 Device Code는 DCD에 依하여 復號되어 어느 Device에 나머지 12 Bit(3 digit) 데이터가 보내어 질 것인가가 決定된다. DPC는 EMD나 Stroger와 같은 機械式交換機와 連結되는 Trunk Line을 爲한 BCD-to-Dial Pulse 變換裝置로서 最大 15個까지 設置할 수 있다. TMEM은 모든 交換이 이루어지는 核心部로서 通話狀態의 暫定的 記憶裝置이다. 하나의 通話가 이루어지기 위하여서는 2個의 Time Slot가 必要하고 따라서 呼出 및 被呼出加入者에게 各各 1個의 Time Slot를 配定하기 위하여서는 4個의 Word가 必要하게 된다. TMEM은 100 Bit×12 Recirculating Shift Register로 構成되어 있고 各 Time Slot에는 12 Bit(3 digit)의 加入者電話番號가 記憶되며 Shift Register의 Shifting 速度는 1MHz이다. 그러므로 어떤 特定 Time Slot에 該當하는 加入者電話番號가 出力에 나타나는 周波數는 10KHz가 된다. 結局, 標本化周波數는 10KHz가 되며 標本化펄스幅은 1 μ s가 된다. 任意의 Time Slot에 3자리의 特定 加入者電話番號를 記憶시키기 爲하여 2 Word의 命令이 쓰여진다. 먼저 加入者電話番號에 關한 1 Word 그리고 어느 Time Slot에 配定한 것인가를 規定하여 주는 1 Word가 順次的으로 受信되면 TSD에서는 주어진 Time Slot에 주어진 電話番號를 一時記憶裝置인 TMEM에 蓄積시키

는 操作이 이루어진다. TMEM은 前述한 바와 같이 Recirculating Shift Register 이므로 一般의 인 記憶素子(RAM)와는 달라서 記入讀出過程은 반드시 同期的으로 處理되어야 한다. 따라서 循環周期(10 KHz)에 同期를 맞추는 方法으로 計數周波數가 1MHz 인 100計數器를 使用하였다. 即, 100計數器內容이 바로 記入되어질 Time Slot 番號와 計數器의 內容이 一致될 때 記錄되어야 한 電話器番號를 記入시키게 하였다. 두 加入者 사이의 兩方向通話를 이루기 爲하여서는 送信과 受信 標本化(sampling)가 時間的으로 交番되도록 하여야 하기 때문에 Multiplexer가 必要하게 되는데 이것이 바로 MPX Block 이며 SMC에 依하여 制御된다. 하나의 通話가 이루어 지기 爲하여 必要한 두 개의 Time Slot(적수 slot와 홀수 slot)는 서로 隣接되어 있어서 SMC의 構成은 매우 簡單하다. 적수와 홀수 Time Slot의 內容은 일단 Latch 되어 한 번은 1 μ s 동안 적수 Slot 內容을 TXSD로 그리고 홀수 Slot 內容을 RXSD 로 보내고, 다음 瞬間(1 μ s 동안) 그와 反對로 連結시켜 줌으로써 結局 2 μ s 동안에 한 雙의 通話者에 對한 送信과 受信을 爲한 標本化가 이루어지게 된다. 그림 4-4는 SMC의 回路圖와 Timing Chart 이다.

TXSD와 RXSD는 BCD-to-Decimal復號器로

서 여기서 發生하는 1 μ s幅의 標本化펄스는 Driver를 通하여 各 加入者카드의 標本化다이오드行列(sampling diode matrix)에 인가된다. 두 개의 隣接 Time Slot 間의 漏話發生問題는 250ns의 Guard Channel 을 두어 解決하였다. 그림 4-1의 右側上段에 位置하는 DPC는 機械式交換機에서 들어오는 Incoming Call의 Dial Pulse를 計數하는 裝置로서 計數結果로부터 그 番號에 該當하는 MF tone 으로 바꾸어주는 역할은 TG에서 行하도록 하였다. 通話制御部 設計上 問題되었던 點은 各種 狀態信號의 檢出과 Fan-out 問題이었다. 다시 말하면 各種 狀態를 表示하는 Flag信號나 復號化出力信號等을 檢出하기 爲하여 信號自體의 Transition("0" \rightarrow "1" 또는 "1" \rightarrow "0")을 探知하는 方法과 State("0" 또는 "1")를 辨別하는 方法이 있는데, 前者를 擇하는 경우 Detection Miss가 發生하기 쉽기 때문에 可能하면 後者를 擇하여야 하며 부득이 前者를 使用할 경우는 Timing과 Logic Level에 매우 慎重하여야 한다. Fan-out 問題는 信號의 負荷條件을 明白히 하여 보통 Fan-out 容量이 10인 TTL出力보다 더 많은 容量이 必要할 때는 Driver形을 使用하거나 또는 分枝(branch)를 만들어 解決하여야 한다. 分枝를 만들 경우에는 Gate의 Delay Time을 考慮하여야 한다.

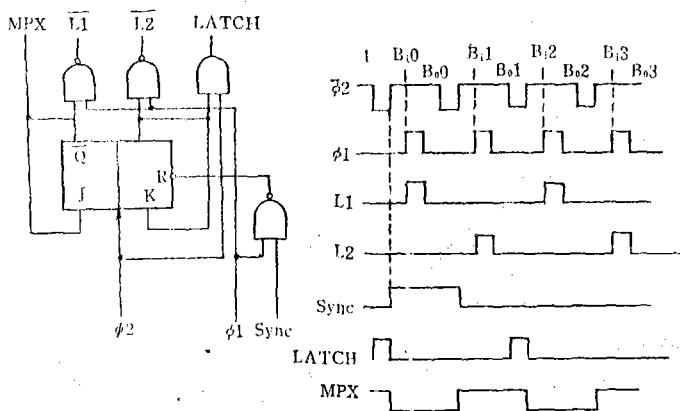


그림 4-4. SMC 回路와 Timing Chart

5. 電源 및 其他回路

5-1. 電源供給回路

電子交換機는 IC 및 트랜지스터 등의 半導體로 構成되어 있으므로 電源의 種類가 많고 低電壓, 大電流가 必要하게 된다. 또한 大型交換機의 경우 信賴度 目標은 15년에 Down Time 1時間以內가 되어야 하고 壽命도 20年以上이 되어야 한다. 電源供給裝置의 故障은 交換機 全體의 技能을 마비시키므로 信賴度を 높이는 것이 가장 重要한 것이다. 電源供給裝置 各部의 MTBF는 5萬時間以上이 要求된다. 電源裝置의 發熱에 의한 溫度의 上昇은 MTBF의 短縮, 即 신뢰도의 低下를 招來하므로 發熱이 적도록 設計하는 것이 必要하며 電力效率을 可能한 한 높게 設計해야 한다.

交換系統의 信賴度を 높이기 위하여 KIT-CCSS에서는 電源部를 二重으로 構成하였다. 主電源裝置의 故障時 豫備電源裝置로 切換에 要하는 時間이 高速으로 動作되는 IC 回路에 影響을 미치므로 繼電器를 使用하지 않고 各 電源裝置의 出力을 "OR"回路로 構成하여 並列運轉이 되도록 하였다.

또한 電源裝置의 故障으로 인한 外部回路를 保護하기 위하여 過電壓 차단回路와 外部回路의 故障이나 偶발적인 事故로 인한 電源裝置의 保護回路가 內藏되어 있다.

5-2. 構 成.

電源供給裝置의 構成은 그림 5-1과 같다. 入力 電源인 -48V 蓄電池의 電壓이 -34V~-53V로 變化하여도 安定한 動作을 하기 위하여 Pre-regulator를 使用하였다. Pre-regulator를 使用함으로써 +5V, -12V 등의 Regulator에서 發生하는 熱을 다소 輕減시켰으며 負荷의 變動이 적은 +12V, +24V 供給回路에 別途의 Regulator가 必要치 않게 되었고 DC-DC Converter의 入력이 -36V로 一定하므로 低電壓 트랜지스터를 使用하여도 高信賴度를 얻을 수 있으며 또한 비용을 절감시킬 수 있었다.

Pre-regulator는 發熱量을 줄이고 效率을 높이기 위하여 Switching Regulator를 使用하고 있다. 過負荷에 대한 保護策으로서 Current Sensing 回路에 의한 過電流制限回路가 있으며 Switching 動作에 따른 Ripple 및 Spike를 除去하기 위하여 入力 및 出力段에 Filter를 使用하였다.

-12V Regulator는 小소 電力이 적으므로 Series Regulation 方式을 擇하였으며 -5V는 回路를 簡單히 하기 위하여 -12V에서 Zener Diode에 의한 Shunt Regulator로 構成하였다.

DC-DC Converter는 -36V로부터 正의 電壓으로 變換하기 위한 것이다. Single Transformer 方式은 Core의 磁束密度가 飽和點까지 올라가 鐵損이 매우 커지므로 2-transformer 方式의 트랜지

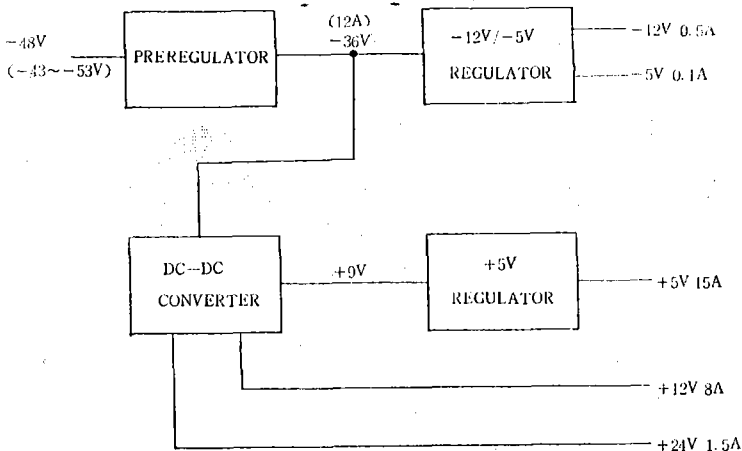


그림 5-1. 電源供給裝置 構成圖

스터 Inverter 를 사용하였고 整流 및 Filter 回路로 構成되어 있다.

+12V 및 +24V는 DC-DC Converter 에서 直接供給하며 +5V는 +9V를 Series Regulator 를 사용하여 +5V로 定電壓化하여 供給하도록 하였다.

5-3. 保護回路

負荷短絡 및 過負荷時에 電源回路를 보호하기 위하여 Regulator 回路에 Fold-back 電流制限回路를 使用하였다.

設計된 電流制限回路의 電流-電壓特性은 그림 5-2과 같다.

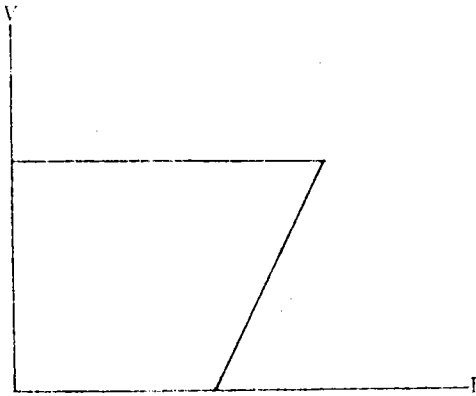


그림 5-2. FOLD BACK 電流制限 特性

負荷側에 偶發的인 事故나 또는 回路의 故障에 依하여 電源供給回路에 過電壓이나 送電壓(極性反對)이 印加될 境遇에 電源供給回路를 보호해야 할 必要가 있다. 그림 5-3에서 다이오드 D₁은 負荷側에 過電壓이 印加될 境遇 차단되므로 電源回路를 保護할 수 있으며 또한 並列運轉을 하기 위한 "OR" 回路로도 使用된다. 萬一 負荷側에 送電壓이 印加될 境遇, 다이오드 D₁은 導通狀態로 維持되어 있으므로 다이오드 D₂가 導通되어 負荷를 短絡시킨다. 負荷가 短絡되어도 電源回路는 電流制限 特性에 依하여 破損되지 아니한다.

電源裝置의 故障으로 因한 外部回路의 보호用으로는 過電壓 차단회로를 使用하였다. 그림 5-3에서 Zener 다이오드 D₃의 Break Down Voltage 는 正常的인 Regulator 出力電壓보다 약간 높은 것을 使用하여 正常動作時는 트랜지스터 Q₁ 및 SCR은 차단되어 있으나 故障으로 因하여 Regulator의 出力電壓이 올라갔을 境遇는 Zener 다이오드 D₃, 트랜지스터 Q₁ 및 SCR이 導通狀態가 되어 出力을 短絡시킨다.

交換機 試驗期間中 -48V가 +5V에 또 +12V가 +5V에 接續되었던 偶發적인 事故가 發生하였으나 이들 保護回路에 依하여 電源裝置에는 아무 異常이 없었던 것을 밝혀둔다.

5-4. 並列運轉

繼電器를 使用하여 主電源과 豫備電源을 교체

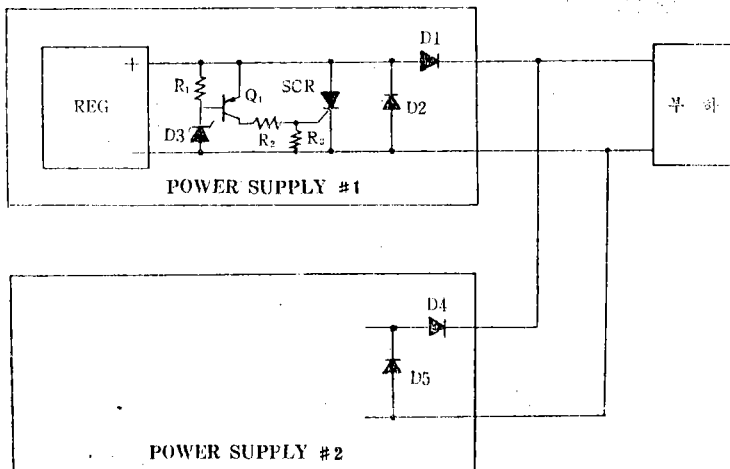


그림 5-3. 전원장치의 출력회로

하는 것은 切換時間과 接點이 問題가 된다. 그림 5-3과 같이 2個의 電源을 並列로 結線하여 이들 問題를 解決하였다. 두 電源裝置의 出力電壓이 同一할 때는 共同으로 負荷에 電力을 供給한다. 한쪽의 出力電壓이 낮아졌을 때는 다이오드(D₁ 또는 D₂)는 차단되어 自動적으로 떨어져 나간 結果가 된다. 만일 한쪽이 故障으로 出力電壓이 높아졌을 境遇는 過電壓 차단회로가 동작하여 단락되므로 역시 다이오드 D₁ 또는 D₂는 차단된다.

5-5. 其他回路

交換技能을 갖기 위해서는 發信音, 號出信號 및 話中音을 送出하여야 한다. KIT-CCSS 에 使用되는 電話器는 MF Touch Calling Dial 방식과 Electronic Tone Ringer로 되어 있으므로 Dialing 한 數字를 알기 위하여 MF Tone 受信機가 있고 呼出音도 音聲信號내의 Tone으로 되어 있다. 以上과 같이 모든 Tone信號가 音聲信號 帶域內에 있으므로 모든 Tone은 High Way를 通하여 送出 또는 受信되도록 構成하였다. 따라서 交換機內에서는 發信音, 呼出信號, 話中音, MF Tone 受信機는 特殊 加入者와 같다.

發信音은 400Hz의 連續 正弦波로 되어 있으며 呼出信號는 600Hz를 20Hz로 變調하여 1秒 送出 2秒 遮斷되도록 Multivibrator로서 구성하였으며 High Way를 通하여 時分割되어 加入者에 供給되므로 低電力으로 可能하다.

話中音은 600Hz 0.5秒 간격으로 단속되어 있다.

기존 交換系統과 연결할 수 있도록 Dial Pulse 發生裝置가 있으며 特殊技能을 갖는 錄音機와 會議를 위한 會議回線이 構成되어 있다.

6. 信質度 改善을 爲한 方案

電子交換機의 信賴度를 높이기 爲하여서는 무엇보다도 가장 核心的인 役割을 擔當하는 中央制御 Processor와 通話路 制御部 그리고 電源部の 多重化가 必須的인 條件으로 대두된다. 이것은 上述한 세 部分中 어느 한 部分이라도 故障을 일으키면 交換機 全體의 시스템이 麻痺되어 버리기 때문이다.

Processor의 多重化에는 두 개의 Processor를

完全並列運轉시키는 方法과 두 개 중 하나를 所謂 Hot Stand-by 狀態로 運轉하여 故障發生時 自動적으로 制御가 轉移되도록 하는 方法 그리고 여러 개의 Processor를 使用한 所謂 Multiprocessor System을 採擇하는 方法 등이 있다. 完全並列運轉 方法은 技術적으로 두 개의 Processor를 完全히 同期시키야 하는 難點이 따르며, 두번째 Hot Stand-by 運轉은 故障發生時 處理中의 情報에 對한 遺失을 最小限으로 줄이기 爲한 Hardware의 制御 및 데이터 遷移와 이를 補佐하는 高級 Software가 必要하며, 마지막으로 Multiprocessor System에서는 프로그램의 細分化 및 그들 相互間의 綿密한 相關關係를 이루어 주어야 하는 Software上의 어려움뿐만 아니라 高度의 Hardware 技術이 必要하게 된다.

電子交換機의 信賴度 向上問題는 交換機 價格과 直接的 關係를 갖고 있으므로 交換機 시스템의 設計를 爲하여서는 一種의 Trade-off가 必要하게 되며, 따라서 그 設計는 可能한 限 低廉한 價格으로 높은 信賴度를 갖는 시스템을 構成하는 方向으로 展開되어야 한다.

그림 6-1은 KIT-CCSS를 바탕으로 하여 높은 信賴度를 갖도록 設計하여 본 PABX用 電子交換機의 大體의인 構成圖이다. CPU(Central Process Unit) 1과 CPU 2는 Hot Stand-by 運轉을 하는데, 한 CPU가 故障을 일으키면 다른 CPU에 Hardware적으로 Interrupt를 걸어서 이때 Hot Stand-by 狀態에 있던 CPU는 故障난 CPU를 I/O Bus로부터 分離시키고 制御와 데이터를 轉移받는다. 各 CPU에 하나씩 배속되어 있는 Memory Controller는 Memory Bus에 共通으로 連結되어 있어서 各各의 CPU를 위하여 記憶裝置의 記入讀出制御를 行한다. 記憶裝置모델을 一般적으로 n個 設定한 경우 하나의 餘分을 두어 n個中 어느 하나의 故障이 發見되면 이를 代置할 수 있도록 하였다. 記憶裝置의 故障은 16 Bit 1 Word를 두 개의 Byte로 分離하여 Byte當 Parity檢査를 施行함으로써 檢出한다. 記憶裝置의 記憶保護(memory protection) 問題는 主 프로그램(main program)을 ROM(read only memory)으로 構成하고 臨時 데이터나 Status는 RAM(Random

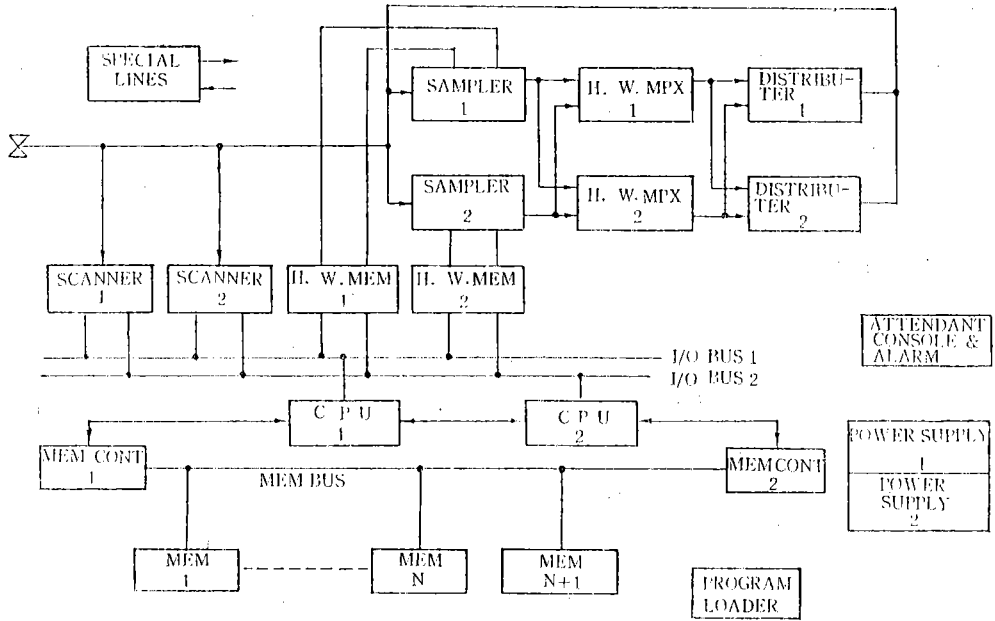


그림 6-1.

Access Memory)에蓄積함으로써交換을 위한最小限의記憶保護를한다.그림에서볼수있듯이通話路制御部는모두二重으로構成되어있다.加入者의狀態變化를檢出하는Scanner,通話狀態의一時的記憶裝置인Highway Memory, Sampler, Highway Multiplexer, 그리고 Distributer는모두二重으로構成되어있기때문에어느한쪽의動作이麻痺되었을때에도最小限50%의通話狀態가維持될수있게된다. Scanner와Highway Memory는두개의I/O Bus에共通으로接續되어있기때문에두개의CPU에서個別적으로Access될수있다. 따라서Scanner는CPU의I/O 장치로看做될수있고또한CPU側의입장에서는H.W. Memory를하나의記憶裝置로處理할수있게된다.結局하나의通話는H.W. Memory에두개의記入命令(예:store)을보냄으로써構成된다. I/O Bus를二重화한目的은두개의CPU가하나의I/O Bus를共通으로使用할때故障를일으킨CPU가Active Low인Bus自體를麻痺시키는경우가發生하여System out되는것을막기爲함이다. I/O Bus를二重화함으로써問題가되는것은그들의Switching

을어떻게할것인가인데Switching制御信號는結局CPU Shut-down Interrupt 處理過程에서연어지게된다. I/O Bus의二重화를爲하여가장重要的것은CPU의全體Bus System을어떻게설계할것인가하는點이라고하겠다.

끝으로全體시스템의心臟部라고말할수있는電源部는二重으로構成되어있고이들은完全並列運轉을行한다. 各各의電源은全體交換機에充分한電力을供給할수있는容量을제각기지니고있어서어느하나가故障狀態가되어도交換機運轉에전혀支障이없도록한다. 따라서平常時에는두개의電源이負荷를共同으로負擔하다가어느하나에故障가생기면나머지하나가全體負荷를全擔하게된다.

7. 結 論

以上에서韓國科學技術研究所에서試驗적으로製作한KIT-CCSS의概略과앞으로開發하기爲한構成에對해簡單히記述하였으나實際問題로開發된器機를生産으로連結商品化하기爲해서는앞으로도많은問題點이解決되어야할것이다. 即電源을Switching Regulator로構成하였

기 때문에 여기서 輻射되는 雜音이라든지 또는 Highway 상의 PAM신호에 直接 誘起되는 誘導 雜音等 雜音의 問題, 機器의 Hardware的인 신뢰성 問題, Program上的 問題 및 其他 여러 가지 問題가 남아 있다.

그러나 現在도 美國地域 市場의 大部分을 日本이 장악하고 있다는 點을 감안한다면 우리나라 立場에서 볼 때 最단시간내에 開發되어야 할 技術中的 하나라고 말할 수 있을 것이다. KIT-CCSS의 製作實驗에서 많은 問題點이 發見되었고 解決 方案 또한 현재 研究中이므로 조만간 相當히 우수한 生産 모델이 開發될 것으로 생각된다.

KIT-CCSS의 研究를 爲하여 많은 支援을 하 여준 韓國科學技術研究所의 所長님을 爲始한 모든 職員에게 感謝를 드린다.

參 考 文 獻

- (1) L. R. F, Harris: "Time Sharing as a Basis for Electronic Telephone Switching," *Proc. IEE*, 103, p.722 (Mar. 1956)
- (2) H. E. Vaughn: "Research Model for Time Separation Integrated Communication," *B. S. T. J.* 38 (4) p.909 (July 1959)
- (3) Hamsher, Communication system Engineering Hand book, McGram Hill(1967)
- (4) 熊谷傳六: PCM 方式概論, 丸善(1967)
- (5) 池谷寬他: 電子交換機, 技研(1971)
- (6) Texas Instruments Inc.: TMS 6010 Manual
- (7) Data General Corp.: "How to Use Nova Minicomputer"