

組合論理回路的 缺陷檢出 (Fault Detection in Combinational Circuits)

高 瓊 植* · 許 雄**
(Koh, Kyung Shik and Huh, Woong)

要 約

本論文에서는 組合論理回路的 缺陷檢出에 관한 문제를 취급하였는데 먼저 fan-out가 없는 회로에 대한 缺陷檢出方法을 論하고 이 方法을 fan-out가 있는 회로에 확장하였다. Fan-out가 있는 회로에서는 内部 fan-out點을 前後하여 fan-out가 없는 部分回路로 分離區分하고 우선 各 部分回路에 대한 最小테스트集을 求한다. 다음에 各 部分테스트集사이에서 最大限으로 併立可能한 테스트를 組合하여 全體回路에 대한 綜合的인 入力테스트벡터를 求한다. 이와같은 節次에 의하면 테스트數가 最小인 完全테스트集이 容易하게 求해질 뿐만 아니라 檢出可能한 缺陷 및 不可能한 缺陷이 명확하게 判가름 된다.

Abstract

In this paper, the problem of finding tests to detect faults in combinational logic circuits is considered. At first, the method of fault detection in fan-out-free irredundant circuits is derived, and the result is extended to the fan-out redundant circuits. A fan-out circuit is decomposed into a set of fan-out-free subcircuits by cutting the lines at the internal fan-out points, and the minimal detecting test sets for each subcircuit are found separately. And then, the compatible tests from each test set are combined maximally into composite tests to generate primary input binary vectors. By this procedure, the minimal complete test sets for reconvergent fan-out circuits are easily found and the detectable and undetectable faults are also classified clearly.

1. 序 論

대규모의 集積回路的 出現으로 말미암아 디지털회로의 缺陷有無의 檢出 및 缺陷所在究明에 관한 문제는 점차 그 重要性을 加해가고 있다.

결합을 식별하는데 있어서는 일반적으로 디지털회로에 일련의 테스트를 加하여 회로가 제대로 동작하는가를 시험하는데, 各 테스트는 一次入力側(primary input)에 특정한 2值벡터를 加할때 出力側에 所期의 出力이 나오는가를 확인하는 것이며 그렇지 않을 경우에는 결합이 있는 것으로 판단한다. 이와같은 테스트數는 다행이도 대개의 경우 그리 많지 않으며 적절한

數의 테스트로써 缺陷有無의 檢出이 가능한 것이다. 회로의 결합으로서는 's-a-0 (stuck-at-0)와 s-a-1 (stuck-at-1)의 두 종류를 생각하는데 이와같은 결합을 檢출하기 위한 方法은 여러 論文에 발표되었으며 지금까지 究明된 研究結果를 종합하면 다음과 같다.

(1) 再收斂이 없는 (nonreconvergent) fan-out 회로에 있어서는 一次入力の 결합을 시험하는 集合 F 는 회로內의 모든 缺陷테스트를 피복한다. 뿐만아니라 서로 相關되지 않는 缺陷테스트로 구성되는 F 의 極大部分 集合은 회로內의 모든 缺陷테스트를 피복한다.

(2) 冗長(redundant)이 없는 再收斂 fan-out 회로에 있어서는 一次入力の 缺陷테스트와 fan-out 枝路의 缺陷테스트로써 회로內의 모든 缺陷테스트를 피복한다.

(3) 冗長이 있는 再收斂 fan-out 회로에 있어서는 一次入力の 缺陷테스트 및 fan-out 枝路의 缺陷테스트

*,** 正會員, 仁荷大學校 工科大學
College of Engineering, Inha University.
接受日字: 1974年 10月 8日

에 fan-out 根幹의 缺陷테스트를 더한것으로써 回路內의 모든 缺陷테스트를 피복한다.

以上的 결과를 적용하면 디지털 回路의 缺陷檢出의 完全테스트集을 찾아내는데 直通的이며 時間이 절약된다.

本論文에서는 fan-out가 있는 組合論理回路의 결함 檢출에 관한 문제를 다루는데 單一缺陷의 경우를 原則的으로 취급하지만 多重缺陷의 경우도 필요에 따라 言及하기로 한다.

우선 本論에 들어가기에 앞서 本論에서 사용될 記號에 대해서 定義하기로 한다.

- f n 變數論理函數
- $A/1$ 一次入力線 A 의 s-a-1결함
- $A/0$ 一次入力線 A 의 s-a-0결함
- $\alpha/1$ 内部 fan-out枝路 α 의 s-a-1결함
- $\beta/0$ 内部 fan-out枝路 β 의 s-a-0결함
- $A/1 \cdot B/1$ 一次入力線 A 와 B 의 2重 s-a-1결함
- $\alpha/0 \cdot \beta/0$ 内部 fan-out枝路 α 와 β 의 2重 s-a-0결함 또는 fan-out根幹의 單一 s-a-0결함

2. Fan-out가 없는 論理回路의 缺陷檢出

冗長이 있는 再收斂 fan-out 回路의 일반적인 경우의 결함檢출에 관해서 論하기에 앞서 fan-out가 없는 回路의 完全테스트集을 유도하는 節次를 확인하고 이 節次를 fan-out가 있는 回路에 확장하기로 한다.

Fan-out가 없는 回路에 있어서는 一次入력에 대한 결함을 시험함으로써 回路內의 모든 결함테스트를 피복함은 물론이다. 이 문제에 대해서는 Kohavi等^{2),3)} 및 Reddy⁴⁾의 方法에 準하여 그 解를 얻어보기로 한다. 그림 1²⁾과 같은 fan-out가 없는 論理回路의 모든 결함을 檢출할 수 있는 最小테스트集을 求한다. 이 回路의 出力을 표시하는 論理式은 다음과 같은 論理積의

和의 型式으로 표시된다.

$$\begin{aligned}
 f &= A + \overline{BC} + \overline{DE} \cdot FG \cdot H \\
 &= A + \overline{B} + \overline{C} + (D + \overline{E})FGH \\
 &= A + \overline{B} + \overline{C} + \overline{D}FGH + \overline{E}FGH
 \end{aligned}$$

缺陷을 檢출하기 위해서는 결함이 없는 正常的인 回路의 경우에 出力을 1로 하는 테스트와 出力을 0으로 하는 테스트의 두 종류가 있는데 前者를 T_1 테스트, 後者를 T_0 테스트로 부르기로 한다.

우선 最小 T_1 테스트集을 求하는데 있어서는 論理式의 한 項만이 그 論理値가 1이고 其他項의 論理値는 모두 0이 되게 할 뿐만 아니라 그 論理値가 0이 되는 項의 構成變數도 可能한 限 많은 數가 0이 되게끔 一次入力벡터를 선정한다. 위의 論理式에 대한 T_1 테스트의 初期式을 열거하면 다음과 같다.

$$\begin{aligned}
 f &= 1 + 0 + 0 + 0 + 0 \\
 f &= 0 + 1 + 0 + 0 + 0 \\
 f &= 0 + 0 + 1 + 0 + 0 \\
 f &= 0 + 0 + 0 + 1 + 0 \\
 f &= 0 + 0 + 0 + 0 + 1
 \end{aligned}$$

이 式들을 滿足시키는 一次入力벡터를 求하면 순차적으로 $ABCDEFGH = (11111000), (00111000), (01011000), (01101111), (01110111)$ 이다.

다음에 最小 T_0 테스트集을 求하는데 있어서는 論理式의 各項의 論理値가 모두 0이 되는 동시에 各項의 構成變數도 可能한 限 적은 數가 0이 되게끔 一次入力벡터를 선정한다. 위의 論理式에 있어서는 第 4, 5項은 4개의 變數로 구성되는 項이므로 그 構成變數중의 하나만 0이고 나머지는 모두 1이 되게끔 취하는 方法은 4種이므로 T_0 테스트數는 전체적으로 4개이며 이에 대한 一次入力벡터는 $ABCDEFGH = (01111111), (01100011), (01100101), (01100110)$ 이다. 모든 결함을 檢출할 수 있는 最小테스트集에 대한 一次入力벡터 및 各 테스트에 의해 檢출할 수 있는 一次入力線의 결함을 열거하면 表 1과 같다. 물론 冗長이 없고 fan-out가 없는

表 1. 그림 1의 回路에 대한 最小 完全테스트集

테스트	ABCDEFGH	검출가능한 결함
t_1	11111000	A/0
t_2	00111000	B/1
t_3	01011000	C/1
t_4	01101111	D/1, F/0, G/0, H/0
t_5	01110111	E/1, F/0, G/0, H/0
t_6	01111111	A/1, B/0, C/0, D/0, E/0
t_7	01100011	A/1, B/0, C/0, F/1
t_8	01100101	A/1, B/0, C/0, G/1
t_9	01100110	A/1, B/0, C/0, H/1

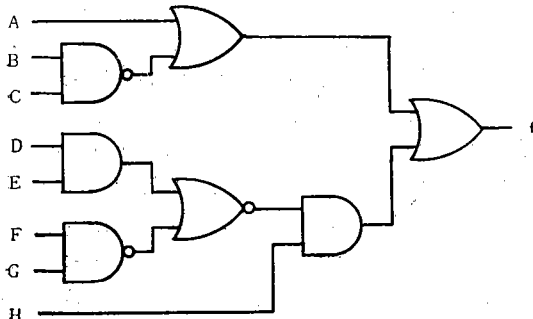


그림 1. Fan-out가 없는 論理回路
Fig 1. Fan-out-free logic circuit.

論理回路에 있어서는 path sensitizing의 개념에 의하여 一次入力線에 대한 缺陷테스트로 回路內의 모든 결합을 검출할 수 있음은 序論에서 지적한 바이다.

3. 冗長이 없는 fan-out論理回路의 缺陷檢出

앞에서 論한 fan-out가 없는 論理回路에 대한 最小테스트集을 유도하는 節次를 확장하여 fan-out가 있는 論理回路의 最小테스트集을 求하는 方法에 대해서 論하기로 한다. 우선 fan-out는 있어도 冗長이 없는 回路에 대해서 高찰하기로 하고, 그림 2³⁾를 例로 들어 fan-out가 없는 回路에 대한 節次를 확장한다. 그림에 표시한바와 같이 一次入力 D의 fan-out에 대해서는 각각 D₁, D₂로 구별하여 표기하고 内部 fan-out에 대해서는 α, β로 구별하여 표기한다. 그리고 内部 fan-out點을 기준으로 하여 그 앞과 뒤를 구분하여 論理式을 세운다. 즉

$$\begin{aligned} \alpha, \beta &= A+BC \\ f &= \alpha D_1 + \beta(\overline{D_2} + E) \\ &= \alpha D_1 + \beta \overline{D_2} + \beta E \end{aligned}$$

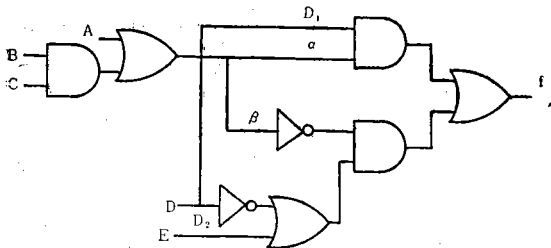


그림 2. 冗長이 없는 fan-out 論理回路
Fig 2. Fan-out irredundant logic circuit.

이렇게 표시하면 α, β를 나타내는 部分回路도 fan-out가 없고 f를 나타내는 回路도 fan-out가 없게 된다. 그 다음 단계로는 α, β部分回路 및 f部分回路에 대해서 각 T₁테스트, T₀테스트를 求하고 이 두組의 테스트를 最大限으로 併立시키는 테스트를 綜合하여 이에 해당하는 一次入力벡터를 求한다. α, β에 대한 T₁, T₀테스트를 求하면 表 2와 같다.

表 2. 그림 2의 部分回路에 대한 最小테스트集

테스트	α, β	ABC	검출가능한 결합
g ₁	1	011	B/0, C/0
g ₂	1	100	A/0
g ₃	0	001	A/1, B/1
g ₄	0	010	A/1, C/1
g ₅	0	000	A/1, B/1·C/1

다음에 f回路에 대한 T₁, T₀테스트를 求하면 表 3과 같은데 위 表에 있어서 테스트 g₅의 검출가능한 결합 중 B/1·C/1은 B線의 s-a-1결합과 C線의 s-a-1결합이

表 3. 그림 2의 部分回路에 대한 最小테스트集

테스트	f	EDAβ	검출가능한 결합
h ₁	1	1010	α/0, D ₁ /0, D/0
h ₂	1	1101	β/1, E/0
h ₃	1	0001	β/1, D ₂ /1, D/1, α/1·β/1
h ₄	0	1001	α/1, D ₂ /0, E/1, D/0, α/1·β/1
h ₅	0	0110	D ₁ /1, β/0, D/1, α/0·β/0

동시에 존재할 경우의 검출을 뜻하는 것이며, 이들線이 각각 단독으로 s-a-1결합이 있을 경우에는 테스트 g₃ 및 g₄에 의하여 검출되므로 單一缺陷檢出만을 대상으로 할 때는 테스트 g₅는 제외된다.

지금 이 두組의 테스트가 併立할 수 있는 組合을 찾아보면 h₁, h₅~g₁, g₂, h₂, h₃, h₄~g₃, g₄이므로 가령 t₁=h₁~g₁, t₂=h₄~g₂, t₃=h₂~g₃, t₄=h₃~g₄, t₅=h₄~g₃과 같은 5개의 테스트를 취해보면, 그 檢出가능한 결합은 表 4와 같으며 各部分回路의 모든 테스트는 다 피복되므로 결국 이 5개의 테스트로 그림 2의 回路의 모든 單一 결합을 검출할 수 있다. 이 問題에 대해서 Kohavi等은 8개의 테스트를 提議하였는데 本論文의 方法에 의하면 5개의 테스트로 足함을 밝힌 점은 注目할 일이다.

表 4. 그림 2의 回路에 대한 最小完全테스트集

테스트	ABCDE	피복된 部分테스트	검출가능한 결합
t ₁	01110	h ₁ , g ₁	α/0, D ₁ /0, B/0, C/0, D/0, α/0·β/0
t ₂	10001	h ₅ , g ₂	D ₁ /1, β/0, A/0, D/1, α/0·β/0
t ₃	00111	h ₂	β/1, E/0
t ₄	01000	h ₃ , g ₄	β/1, D ₂ /1, A/1, C/1, D/1, α/1·β/1
t ₅	00110	h ₄ , g ₃	α/1, D ₂ /0, E/1, A/1, B/1, D/0, α/1·β/1

4. 冗長이 있는 fan-out 論理回路의 缺陷檢出

다음에 冗長이 있는 fan-out 回路의 결합 검출에 대해 高찰하기로 한다. 그림 3³⁾의 回路를 생각할때 出力을 나타내는 式을 等價的으로 論理積의 和의 型式으로 표시하면 다음식과 같다.

$$f = A + A\overline{B} + AC + \overline{B}C + A\overline{B} + AD + B\overline{B} + EB + ED$$

이 式을 검토하면 第2, 3, 5, 6, 7項은 冗長임을 알 수 있다. 前例에 따라 그림에 표시한 바와 같이 fan-out에 대해서 同一變數일지라도 이를 구별하여 표기하고 各部分回路에 대한 論理式을 求하면 다음과 같다.

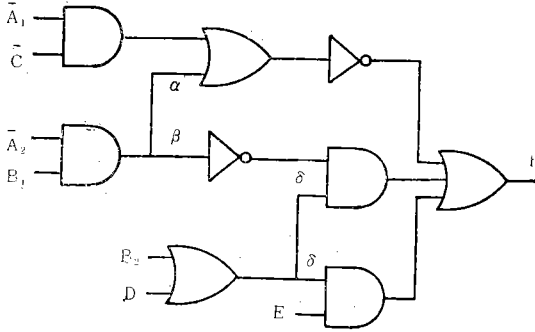


그림 3.冗長이 있는 fan-out 論理回路
Fig 3. Fan-out redundant logic circuit.

$$\alpha, \beta = \bar{A}_2 B_1$$

$$\gamma, \delta = B_2 + D$$

$$f = (A_1 + C)\bar{\alpha} + \gamma\bar{\beta} + \delta E$$

$$= A_1\bar{\alpha} + C\bar{\alpha} + \gamma\bar{\beta} + \delta E$$

이 식들을 근거로 하여 各部分回路에 대한 T_1, T_0 테스트를 求하면 表 5, 6, 7과 같다. 여기서도 單一缺陷陷을 대상으로 할 경우에는 테스트 g_4 와 h_3 은 제외된다. 그러나 冗長이 있는 回路에 있어서는 이와같은 多重缺陷陷에 해당하는 테스트도 경우에 따라서는 必要不可缺

表 5. 그림 3의 部分回路에 대한 最小테스트集合

테스트	α, β	AB	검출가능한 결함
g_1	1	01	$\bar{A}_2/0, B_1/0$
g_2	0	11	$\bar{A}_2/1$
g_3	0	00	$B_1/1$
g_4	0	10	$\bar{A}_2/1 \cdot B_1/1$

表 6. 그림 3의 部分回路에 대한 最小테스트集合

테스트	γ, δ	BD	검출가능한 결함
h_1	1	01	$D/0$
h_2	1	10	$B_2/0$
h_3	1	11	$B_2/0 \cdot D/0$
h_4	0	00	$B_2/1, D/1$

表 7. 그림 3의 部分回路에 대한 最小테스트集合

테스트	ACE $\alpha\beta\gamma\delta$	검출가능한 결함
k_1	1000000	$\bar{A}_1/1, \alpha/1, \alpha/1 \cdot \beta/1$
k_2	0100000	$\bar{C}/1, \alpha/1, \alpha/1 \cdot \beta/1$
k_3	0000011	$\gamma/0, \beta/1, \alpha/1 \cdot \beta/1, \gamma/0 \cdot \delta/0$
k_4	0011111	$E/0, \delta/0, \gamma/0 \cdot \delta/0$
k_5	0010000	$\bar{A}_1/0, \bar{C}/0, \gamma/1, \delta/1, \gamma/1 \cdot \delta/1$
k_6	0101111	$\alpha/0, \beta/0, E/1, \alpha/0 \cdot \beta/0$

할 때가 있다.

다음에 이 세 組의 테스트를 最大限으로 併立시킬 수 있는 組合을 找는데 우선 $t_1 = k_1 \sim g_4 \sim h_4, t_2 = k_2 \sim g_3 \sim h_4, t_3 = k_3 \sim g_3 \sim h_1, t_4 = k_4 \sim g_1 \sim h_2, t_5 = k_5 \sim g_3 \sim h_4, t_6 = k_6 \sim g_1 \sim h_3$ 을 얻는다. 이들 6개의 테스트에 대한 一次入力벡터 및 검출가능한 결함을 정리하면 表 8과 같다. 이 表에 의하면 피복된 部分테스트欄에 表 5의 g_2 는 포함되어 있지 않다. 이것은 처음부터 t_1 에서 t_6 까지의 併立組合을 求하는 과정에서 빠져 있었으며 그 결과 테스트 g_2 에 의해서만 검출될 수 있는 單一결함 $\bar{A}/1$ 은 검출되지 않는다. 따라서 表 7에 수록된 테

表 8. 그림 3의 回路에 대한 不完全테스트集合

테스트	ABCDE	피복된 부분테스트	검출가능한 결함
t_1	10000	k_1, g_4	$\bar{A}_1/1, \alpha/1, \bar{A}_2/1 \cdot B_1/1, \alpha/1 \cdot \beta/1$
t_2	00100	k_2, g_3	$\bar{C}/1, \alpha/1, B_1/1, \alpha/1 \cdot \beta/1$
t_3	00010	k_3, g_3, h_1	$\gamma/0, \beta/1, B_1/1, D/0, \alpha/1 \cdot \beta/1, \gamma/0 \cdot \delta/0$
t_4	01001	k_4, h_2	$\delta/0, E/0, B_2/0, \gamma/0 \cdot \delta/0$
t_5	00001	k_5, h_4	$\bar{A}_1/0, \bar{C}/0, \gamma/1, \delta/1, B_2/1, D/1, \gamma/0 \cdot \delta/0$
t_6	01110	k_6, g_1	$\alpha/0, \beta/0, E/1, \bar{A}_2/0, B_1/0, \gamma/1 \cdot \delta/1$

스트 以外에 g_2 와 併立 가능한 또 하나의 테스트 k_7 을 求해야 한다. 이 경우 이미 出力線을 포함하는 部分回路의 모든 單一결함은 t_2 에서 t_6 까지의 테스트에 의하여 이미 검출가능하므로 k_7 을 求하는데 있어서 出力線을 포함하는 部分回路의 入力벡터에 대해서는 2節에서 論한 T_1 테스트 및 T_0 테스트에 대한 規制는 엄밀하게 지키지 않아도 무방하다.

우선 테스트 g_2 의 入力벡터에 대해서는 테스트 h_2 와 의 併立은 不可缺하므로 $ABD\alpha\beta\gamma\delta = (1100011)$ 를 얻으며 이 벡터에 대한 部分回路의 應動은

$$f = (A_1 + C)\bar{\alpha} + \gamma\bar{\beta} + \delta E$$

$$= (1+0)1 + 1 \cdot 1 + 1 \cdot 0 = 1$$

와 같이 된다. 따라서 $\bar{\alpha}/0 \cdot \beta/0$ 또는 $\bar{\alpha}/1 \cdot \beta/1$ 의 경우 即 α, β 의 fan-out 根幹이 s-a-1의 單一결함이 있을 때 는 出力은 0이 되므로 결함검출이 가능하다. 또 α, β 의 fan-out 根幹의 s-a-1은 path sensitizing의 개념에 의 하여 이 경우에는 $\bar{A}_2/1$ 과 等價이므로 결국 $t_7 = k_7 \sim g_2 \sim h_2$ 에 의하여 一次入力벡터 $ABCDE = (11000)$ 를 表 8의 테스트集合에 첨가함으로써 그림 3의 回路에 대한 完全테스트集合을 얻는다.

Fan-out 回路에 있어서는 fan-out點을 前後하여 部分回路로 區分하고 各部分回路에 대한 最小테스트集合을 求하여 이들 集合間에 最大限으로 併立하는 테스트

組合를 求함으로써 테스트數가 最小인 完全테스트集合을 求해가는 節次에 대해서 以上에서 說明한 바이다.

그런데 冗長이 없는 fan-out 回路에 있어서는 各部分回路의 테스트集合의 모든 테스트가 빠짐없이 적어도 한번씩은 其他의 部分回路의 테스트와 併立되어 全體回路의 一次入力벡터를 形成하는데 反하여 冗長이 있는 fan-out 回路에 있어서는 반드시 그렇지는 않다.

그림 3의 回路의 경우는 一次의으로 6개의 併立테스트組合이 求해지고 이에 첨가해서 피복되지 않았던 部分테스트 g_2 를 피복하는 綜합테스트 t_7 을 求하였는데 回路에 따라서는 全部分테스트를 모두 피복하지 못할 경우가 생긴다. 따라서 이럴 경우에는 그 部分테스트에 의하여 檢出 가능한 결합은 檢출할 수가 없는 것이다. 그 例로서 그림 4의 回路를 생각하면

$$\alpha, \beta = A_1 B$$

$$f = A_2 \alpha + \beta$$

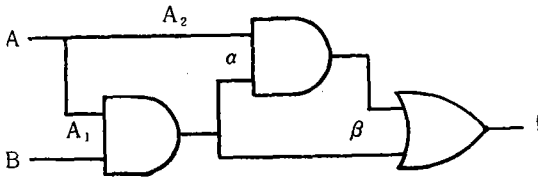


그림 4. 冗長이 있는 fan-out 論理回路
Fig 4. Fan-out redundant logic circuit.

表 9. 그림 4의 部分回路의 最小테스트集合

테스트	α, β	AB	검출가능한 결합
g_1	1	11	$A_1/0, B/0$
g_2	0	01	$A_1/1$
g_3	0	10	$B/1$
g_4	0	00	$A_1/1 \cdot B/1$

表 10. 그림 4의 部分回路의 最小테스트集合

테스트	f	$A\alpha\beta$	검출가능한 결합
h_1	1	111	$\alpha/0 \cdot \beta/0, A_2/0 \cdot \beta/0$
h_2	1	011	$\beta/0$
h_3	0	100	$\alpha/1, \beta/1$
h_4	0	000	$\beta/1, A_2/1 \cdot \alpha/1$

따라서 各部分回路에 대한 T_1, T_0 테스트는 각각 表 9와 表 10과 같다. 表 9와 表 10의 테스트間의 併立如否를 조사하면 $t_1 = h_1 \sim g_1, t_2 = h_3 \sim g_3, t_3 = h_4 \sim g_2, t_4 = h_4 \sim g_4$ 가 成立한다. 여기서도 單一결합만을 대상으로 할 때는 t_4 는 제외된다. t_1 에서 t_4 까지 검토할 때 테스트 h_2 는 表 9의 테스트中 어느것과도 併立되지 않으므로 결국 h_2 에 의해서만 檢출가능한 $\beta/0$ 의 單一결합은 檢출되지 않는다.

5. 結 論

本論文에서는 fan-out가 없고 冗長이 없는 論理回路의 缺陷檢出에 관한 節次를 設定하고 이 節次를 一般의인 冗長이 있는 再收斂 fan-out 回路의 缺陷檢出에 확장하였다. 本論文의 方法에 의하면 테스트數가 最小인 完全테스트集合을 求하기가 비교적 容易하고 檢出 가능한 결합 및 不可能한 결합이 명확하게 판가름된다. 本論文에서는 單一出力論理回路에 대해서 論하였지만 多出力論理回路의 缺陷檢出에도 本論文의 節次가 그대로 적용된다.

(後記) 이 研究는 仁荷産業科學技術研究所의 研究助成費의 支給을 받아 이루어진 것이다.

參 考 文 獻

1. D.B. Armstrong: "On finding a nearly minimal set of fault detection tests for combinational logic nets," IEEE Trans. Comput. vol. EC-15, pp. 66-73 Feb. 1966.
2. Z. Kohavi and D.A. Spires: "Designing sets of fault-detection tests for combinational logic circuits," IEEE Trans. Comput. vol. C-20, pp. 1463-1469, Dec. 1971
3. I. Kohavi and Z. Kohavi: "Detection of multiple faults in combinational logic networks," IEEE Trans. Comput. vol. C-21, pp. 556-568, June, 1972
4. S.M. Reddy: "Complete test set for logic function", IEEE Trans. Comput. vol. C-22, pp. 1016-1020, Nov. 1973.
5. D.R. Schertz and G. Metzger: "A new representation for faults in combinational digital circuits", IEEE Trans. Comput. vol. C-21, pp. 858-866, Aug. 1972.
6. A.D. Friedman: "Fault detection in redundant circuits", IEEE Trans. Electron. Comput. vol. EC-16, pp. 99-100, Feb. 1967.
7. J.W. Gault, P. Robinson and S.M. Reddy: "Multiple fault detection in combinational networks," IEEE Trans. Comput. vol. C-21, pp. 31-36, Jan. 1972.
8. S.Y.H. Su and Y.C. Cho: "A new approach to the fault location of combinational circuits," IEEE Trans. Comput. vol. C-21, pp. 21-30,

- Jan. 1972.
9. F.W. Clegg: "Use of SPOOF's in analysis of faulty logic networks," IEEE Trans. Comput. vol. C-22, pp. 229—234, Mar. 1973.
 10. S.B. Akers, Jr.: "Universal test set for logic networks," IEEE Trans. Comput. vol. C-22, pp. 835—839, Sept. 1973.
 11. K. To: "Fault folding for irredundant and redundant combinational circuits", IEEE Trans. Comput. vol. C-22, pp. 1008—1015, Nov. 1973.
 12. G. Fantauzzi and Mersella: "Multiple fault detection and location in fan-out-free combinational circuits", IEEE Trans. Comput. vol. C-23, pp. 48—55, Jan. 1974.
 13. I. Berger and Z. Kohavi: "Fault detection in fanout-free combinational networks," IEEE Trans. Comput. vol. C-22, pp. 908—914, Oct. 1973.
 14. A.D. Friedman and P.R. Menon: "Fault detection in digital circuits." New York: Prentice-Hall, 1971.