

## 線型 集積回路(IC) 設計의 問題點 (Design problem of Line)

金 晚 震\*  
(Kim, Man Jin)

### 要 約

集積回路(IC)의 設計에 있어서는 平面構造의 變形만이 可能하므로 여러가지 다른 트랜지스터((Transistor)가 結合하여 하나의 特定한 機能을 發揮하게 되는 線型回路에는 回路의 設計와 同時에 使用될 積層(EPI)의 比抵抗 및 두께와 積層(EPI)과 基板 사이에 挿入되는 埋沒層(Buried Layer)의 構造 등을 正確히 알아야 한다. 本 研究에서는 集積回路의 動作電壓 및 飽和電壓과 積層의 두께 및 比抵抗과의 關係를 實測値와 比較分析 하였고 이 結果를 線型 集積回路 設計에 利用 可能하도록 圖示하였다.

### Abstract

For linear IC design, one has to know the epi thickness, resistivity, and structure of buried island inserted between epi and substrate because the mask structure can only be changed for linear IC consisted of various type of transistors to be made for desired specific function. The interrelation of IC operational and saturation voltages with epi resistivity, theckness and dvice structure are studied and presented in graphic forms so that IC design engineers can utilize them.

### 1. 序 論

線型 集積回路의 設計는 Transistor 個別素子를 設計하는 것보다 매우 複雜하고 問題點이 많다. 그 理由는 個別素子의 경우는 그 Transistor의 特性을 맞추기 위하여 Substrate, Epi 및 積層 內에 生成하는 Base나 Emitter의 길이 및 濃度を 特性에 맞도록 調整할 수 있으나 集積回路의 境遇에는 여러개의 各各 다른 Transistor를 結合시켜 目標로 하는 機能을 發揮하여 야 하고 이들을 같은 Chip上에 同時에 製作하여야 하기 때문이다. 즉 다시 말하면 같은 Chip上에 10個 以上의 다른 Transistor가 있다고 하더라도 Transistor 表面의 크기 以外에는 다른 構造가 모두 같기 때문에 Mask의 設計 및 積層의 性質 등이 매우 重要하다. 機能의 面으로만 볼때에는 電流增幅, 動作周波數 限界 및 電力取扱能力 등을 들 수 있으며 이들은 Transistor의 境遇와 같이 增幅率, Collector와 Emitter間的 抵

抗 및 靜電容量, 그리고 電壓과 電流 및 溫度의 限界値와 關係를 갖는다. 이들 特性은 不純物의 分布狀態 및 濃度, 各 境界面의 길이 및 넓이, 그리고 積層의 特性抵抗 및 半導體와 酸化物의 境界面의 特性 등과 密接한 關係가 있다. 增幅率과 周波數 그리고 電力容量 등은 I.C와 Transistor全體의 構造와 關係가 있으나 우선 實際의 으로 重要한 I.C 動作電壓과 積層의 두께와 比抵抗 그리고 飽和電壓과 素子의 構造 등을 다음과 같이 分析研究하였다.

### 2. 動作電壓과 積層두께와의 關係

普遍的인 集積回路에 있어서 動作電壓을 制限하는 降服電壓은 NPN Transistor 回路의 境遇 Emitter-to-Collector(BV<sub>ceo</sub>) 電壓이다. 이 BV<sub>ceo</sub>는 主로 積層의 比抵抗에 依하여 決定된다. 따라서 動作電壓과 積層 比抵抗과는 密接한 關係가 있으며 이 關係를 明確하게 把握하는 것이 線型回路設計에 매우 重要하며 또한 線型回路 工程에도 큰 도움이 된다. Base 領域에서는 Avalanche Multiplication에 依한 電流가 主從電

\* 正會員 韓國科學技術研究所  
半導體技術開發센터 擔當部長(KIST)  
接受日字 1976年 6月 22日

流를 이루고 있으며 平常時의 Base 電流를 減少시키게 되므로 Base 電流  $I_B$ 는 다음과 같다.

$$I_B = (1-\alpha)I_E - (M-1)I_C \dots\dots\dots(1)$$

여기서  $\alpha$ 는 Base를 Ground로 한 電流增幅率이고  $I_E$ 는 Emitter 電流,  $I_C$ 는 Collector 電流이며  $M$ 은 Multiplication Factor로 實驗的으로  $M=1/[1-(V_{CB}/BV_{CBO})^n]$ 로서  $n$ 은 2~4의 數值를 갖는다.  $M$ 을 表示하는 數式에서  $V_{CB}$ 는 Collector와 Base 間의 電壓이며,  $BV_{CBO}$ 는 Emitter가 Open일때 Collector와 Base 間의 降服電壓이다.

數式 (1)을 Base 電流로 表現하면

$$I_C = \frac{I_B}{[(1-d)/\alpha] - (M-1)} = \frac{I_B}{\frac{1}{\alpha} - M} \dots\dots\dots(2)$$

가 된다. Collector 電壓이 上昇함에 따라  $M$ 은 增加하여  $\frac{1}{\alpha}$ 에 가깝게 되며, 數式 (2)에서 보는 바와 같이 이러한 狀態에서 電流는 外部 抵抗值에 依해서만 制御된다. 즉  $M$ 이  $\frac{1}{\alpha}$ 에 가까워지는 電壓이 Base open의 Emitter와 Collector間의 降服電壓  $BV_{CEO}$ 가 된다. 이것을 數式으로 表現하면

$$V_{CB}|I_C \rightarrow \infty = BV_{CEO} = (1-\alpha)^{\frac{1}{n}} BV_{CBO} \dots\dots\dots(3)$$

이다. 이것은 降服이 모든 接境 附近에서 일어난 理想的인 境遇에 限定된 것이고 實際的으로는 接觸面의 제일 弱한 部分에서만 일어나기 때문에 實際로 降服이 일어나는 地域과 全接觸面의 比率를  $A$ 라 하면 數式 (3)은 實際로

$$BV_{CEO} = \left\{ \frac{1-\alpha}{1-\alpha(1-A)} \right\}^{\frac{1}{n}} BV_{CBO} \dots\dots\dots(4)$$

가 된다.  $BV_{CBO}$ 는 實際로 Diode 接觸面 降服電壓과 같은 數值를 가지고 있으므로  $BV_{CEO}$ 는 I.C의 Collector, 즉 積層의 比抵抗에 對한 函數로 表現할 수 있다. 理想的인 階段式 接面의 境遇에는  $BV_{CBO}$ 는 Collector 不純物의 函數로 簡單히 表現이 可能하여

$$BV_{CEO} = \left\{ \frac{1-\alpha}{1-\alpha(1-A)} \right\}^{\frac{1}{n}} \frac{E_0 K_S \epsilon^2 M}{2q C_{EPI}} \dots\dots\dots(5)$$

이 된다. 여기서  $E_0$ 는 眞空 permittivity  $K_S$ 는 규소(Si) 絶緣常數,  $q$ 는 電子의 電荷이며  $\epsilon_M$ 은 Collector 面に 絶 수 있는 最高 電場, 그리고  $C_{EPI}$ 는 積層의 濃度로서 積層의 比抵抗과 連關된다. 實際로는 數式 (5) 처럼 簡單하지 않으며 Base를 擴散시킨  $BV_{CBO}$ 는 參考文獻(1)에서 찾아볼 수 있고 또한  $BV_{CBO}$ 는 플레너(Planar) 工程으로 만들어질 境遇, 그 接面 屈曲率에도 關係(2)가 있다는 것을 잊어서는 안된다.

Emitter Ground 電流 增幅率이 100( $\alpha=0.99$ )이라 하

고  $n$ 이 4라면 數式(3)에서  $BV_{CEO}=0.316BV_{CBO}$ 가 된다. 이것은 實際 實驗值보다는 매우 작으므로 實際로는 Avalanche 降服이 적은 地域에 局限되어 있다는 事實을 알 수 있다. 이 Avalanche 地域과 全 Collector 地域의 比를  $\frac{1}{100}$ 이라 하고  $\alpha=0.99$ 일때  $BV_{CEO}=0.48BV_{CBO}$ 가 되어 實測值에 조금 더 接近하게 된다. 그림 1은 上記한 理論值과 實驗值에 對한  $BV_{CEO}$ 와 積層의 比抵抗에 對한 關係圖를 나타내고 있다. 線(a)는 數式(5)를 使用하여 計算한 數值이며 여기에 使用된 數値는  $\alpha=0.99$ ,  $A=0.01$ ,  $n=4$ 이다. 線(a)는 實際로 12 Fringe나 21Fringe NPN I.C의  $BV_{CEO}$ 를 測定하여 平均值를 낸 線(b)보다 훨씬 큰 數值를 갖고 있으며 이는  $BV_{CBO}$ 를 單純한 階段式  $n-p$ 接面 理論值를 使用하였기 때문으로 풀이된다. 그러나 線(b)도 實際 使用者에게 安心하고 推薦할 만한 값은 아니므로 2/3에 該當하는 線(c)를 使用度 安定線으로 定하였으며 線(c)를 基準으로 積層값을 定하고 이에 相當하는  $BV_{CEO}$  값을 Spec에 反映시키면 틀림없는 計畵이 될 것이다.

### 3. 積層의 두께

前章에서  $BV_{CEO}$ 와 積層의 比抵抗과의 關係를 求하였다. 즉 Spec의 要求에 따라서 그림 1의 線(c)를 使用하여 積層의 比抵抗을 求하면 나머지 問題는 積層의 두께로서 다음 세가지 要素를 包容할 수 있는 充分한 두께이어야 한다.

- 1) 埋沒層(Buried Layer)이 積層위로 擴散해 올라오는 두께  $X_{AS}$
- 2) 積層表面에서 밑으로 擴散하여 들어가는 Base의 두께  $X_B$
- 3)  $BV_{CBO}$ 의 電壓으로 Collector-Base面에 생기는 不純物 枯渴層의 두께,  $W$ .

12 Fringe 工程에서 砒素 埋沒層이 上部로 擴散하는 두께는  $X_{AS}=5\mu$  정도이며 傾斜 練磨와 表面化學處理(Angle-Lapping & Staining)로 쉽게 測定할 수 있다. Base의 두께  $X_B$ 는 12Fringe의 境遇에  $2945\text{\AA} \times 12=3,534\mu$ 으로 固定值이다.  $W$ 는  $BV_{CEO}$ 와 關係가 있으므로 Spec에 要求되는 數値에 따라 計算하여야 한다.  $BV_{CEO}$ 는 Collector 電子枯渴帶(Depletion Layer)의 두께인  $W$ 에 直接的으로 影響을 미칠 수 없으므로  $BV_{CBO}$ 값을 數式 (4)의  $BV_{CEO}$  값으로부터 求하여야 한다, 例를 들면,  $\alpha=0.99$ ,  $A=0.01$ 일때 數式 (4)에서  $BV_{CBO}=2.08BV_{CEO}$ 이다.  $X_B$ 와  $BV_{CBO}$ 의 關係는 N-P接面의 構造에 따라서 Step-Junction, Linear Grade Junction, Diffused Junction 등 몇 가

지 關係式으로 表現할 수 있으나 正確한 計算은 매우 힘들다. 그림(2)는 平面의 降服電壓(Breakdown Voltage)과 Depletion Layer Width, 不純物의 濃度(比抵抗과 比較可能) 關係를 表示하는 것으로 普遍的으로 널리 使用되며 擴散 接面 實測值와도 잘 一致한다. 그림(1)과 그림(2)를 使用하여 積層의 두께를 求하는 方法을 例示하면 다음과 같다. 그림(1)에서 어느 回路의

動作電壓이 19V라고 하고 Collector의 Depletion Layer가 基板面까지 擴散될 때의 積層 두께를 求하려면, 그림(1)에서의 線(c)의 값을 읽으면 積層의 比抵抗은 1.0Ω-cm가 된다. 또한  $\alpha=0.99$ 와  $A=0.01$  일 때  $BV_{CBO}=38V$ 이다. 그림(2)에서  $BV_{CBO}=38V$ 에 對한  $W$ 는 3 $\mu$  정도이다. 따라서 積層의 最小限의 두께  $t_m$ 은  $t_m = X_{AS} + X_B + W = 5.0 + 3.534 + 3.0 = 11.534\mu$  (6)

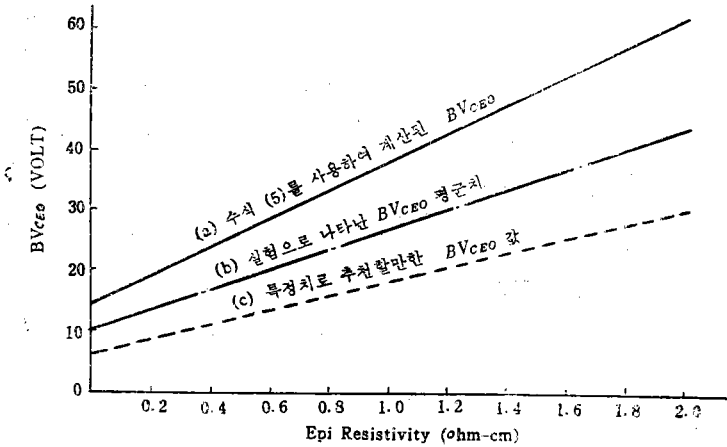


그림 1 12-Fringe와 21-Fringe NPN IC의 BVce0와 Epi 비저항과의 관계이다.

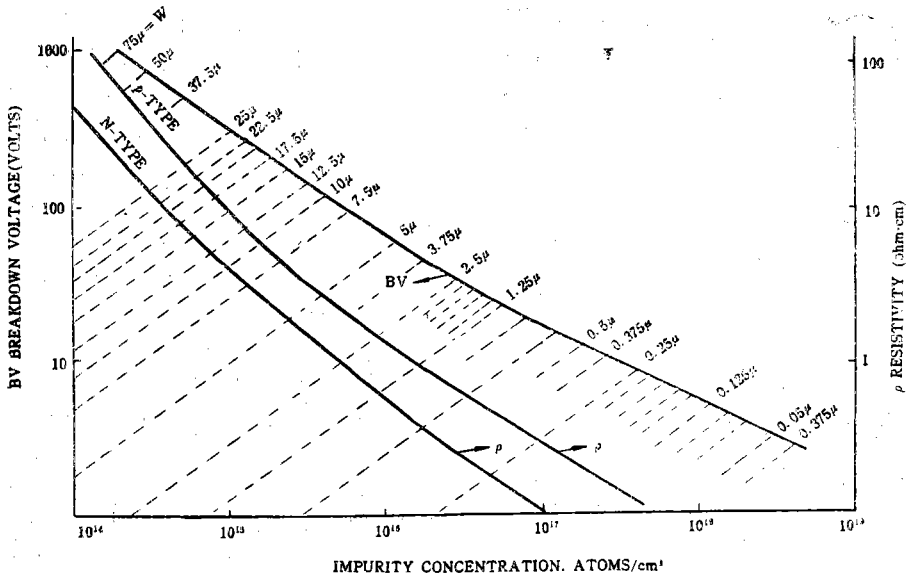


그림 2 그림항복전압과 농도(Resistivity) 및 전자고갈대의 폭(W)과의 관계

이다 그림(3)은 12Fringe와 21Fringe의 線型回路 I.C의 積層 두께와 固有抵抗과의 關係를 實驗을 通하여 求한 값이다. 線(a)는 實驗值의 上限線을 連結한 것이고 線(c)는 實驗值의 下限線 즉 最小限의 積層 두께를 連結한 線이다. 線(b)는 線(a)와 線(c)의 中間值를 定하여 連結한 線으로서 實際로 使用해야 할 積層의 두께를

말해준다. 그림(3)에서 1.0Ω-cm에 該當하는 積層의 두께는 12 $\mu$ 이며 이는 數式(6)에서 算出한 11.534 $\mu$ 와 매우 近似한 값이다. 즉 그림(1)에 特性值(SPEC값)로 選定된  $BV_{CBO}$  값은 그림(3)의 最下限線에 接하는 積層의 두께에 該當한 값으로서 Depletion Layer가 積層의 境界線에 接하는 積層의 두께와 一致한다. 따라

서 實際로 使用해야 할 積層 두께를 算出하는데 使用하는  $BV_{CEO}$ 의 값은 中間線인 平均値를 使用하여야 한다. 이때  $1.0\Omega\text{-cm}$ 에 該當하는  $BV_{CEO}$ 의 값은 28이며 위와 같은 條件下에서  $BV_{CBO}=60.3V$ 이다. 다음 그림 (2)로 부터  $W=3.625\mu$ 가 얻어지므로 I.C 製作에 使用된 積層의 平均 두께  $t_{av}$ 는  $12.2\mu$ 이다. 이 값은 그

림 (3)의 平均値 線(b)上的의 積層 두께의 값과 正確히 一致한다. 또한 그림 (3)의 上限線인 (a) 下限線인 (c)는 平均値 (b)의 積層 두께를 얻기 위하여 最大의 두께 變換值  $\pm 15\%$  誤差의 範圍를 表示한다고도 볼 수 있다.

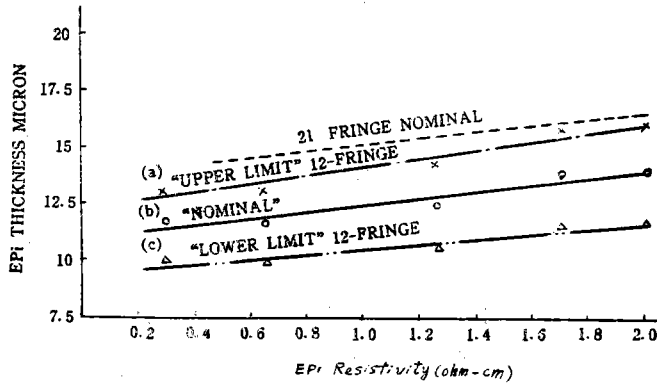


그림 3. Epi의 두께와 비저항과의 관계

4. 飽和電壓에 影響을 미치는 Collector 抵抗

Bipolar(兩極) Transistor 應用에 있어서 外部負荷가 內部抵抗보다 많이 걸리는 境遇는 Collector 抵抗이 큰 問題가 되지 않으나, 그렇지 않은 境遇에는 Transistor가 飽和領域까지 動作되어 飽和電壓을 낮게 할 必要가 있으며 飽和電壓을 지배하는 가장 重要한 要素가  $R_{SC}$ 이기 때문에 어떠한 構造로 設計하느냐 하는 問題는 매우 重要하다. 干先 飽和電壓( $V_S$ )과  $R_{SC}$ 와의 關係를 보면 다음과 같다.

$$V_S = \frac{KT}{q} \ln \left\{ \frac{\alpha_R(1-I_C(1-\alpha)/\alpha R_I)}{1+I_C(1-\alpha R)/I_B} \right\} + I_E R_{SE} + I_C R_{SC} \dots\dots\dots (7)$$

여기서  $\frac{KT}{q}$ 는 熱 Energy와 電子電荷와의 비이며,  $I_E, I_B, I_C$ 는 各各 Emitter, Base, Collector의 電流이고  $R_{SE}$ 는 Emitter의 直列抵抗, 그리고  $\alpha_R$ 는 Common-Base Amp의 逆方向 電流 增幅率을 意味한다. 數式 (7)의 첫째 項은 飽和電壓 밖의 領域에서는 큰 數值가 되나 飽和領域 內에서는 적은 數值가 되며  $R_{SE}$ 는  $R_{SC}$ 에 比하여 매우 적은 값이기 때문에 結局  $V_S$ 는 第3項인  $I_C \cdot R_{SC}$ 에 依하여 支配되며 I.C가 固定된 境遇  $R_{SC}$ 에 依存된다. 따라서  $V_S$ 를 적게 하려면  $R_{SC}$ 를 줄여야 한다.  $R_{SC}$ 는 Transistor의 構造에 따라 다르며 I.C에 있어서는 겨리층 Capacitance와의 相互關係 때문에 正確한 計算은 힘드나 가장 普遍的으로 쓰이는 矩形 Transistor의 構造에서는 實例를 들어 다음과 같

이 計算할 수 있다. 그림 (4)는 矩形 Transistor의 構造와 이에 對應하는 I.C 構造의 斷面圖를 나타내며 Collector의 接點에서 Base까지에 이르는 直列  $R_{SC}$ 를 圖示하였다. 즉  $R_{SC}$ 는 세가지의 重要한 要素로 區分될 수 있으며 첫째 Collector의  $N^+$ 接點으로부터 垂直으로  $N^+$ 埋沒層에 이르는 抵抗( $R_{VC}$ ), 다음은 水平으로 埋沒層을 따라서 생기는  $R_H$ 와 埋沒層으로부터 垂直으로 Collector地域을 直上으로 通過하는데 생기는 抵抗,  $R_{VE}$ 들이다.  $R_{VC}$ 와  $R_H$ 는 固定된 抵抗이라고 볼 수 있으나  $R_{VE}$ 는 Transistor가 飽和領域에 있을 때 Hole이 Collector 쪽으로 注入되는 影響으로 可變抵抗이라고 볼 수 있다.  $R_{VC}$ 의 값은 積層의 比抵抗과 電流가 흐르는 通路의 正確한 크기만 알면  $R = \rho \cdot d/A$  (where  $\rho$ :resistivity  $d$ : distance,  $A$ : area)의 式에서 求할 수 있다. 그림 (4)의 構造에서 面積은  $C \times D$ 이며 길이는 Collector  $N^+$ 接點에서 埋沒層까지 흐르는데 通過된 距離로서 積層의 두께에서 埋沒層이 上部로 擴散되어 올라간 距離  $X_{AS}(5\mu)$ 와 接點을 形成하기 위하여 擴散시킨  $N^+$ 接點의 두께 즉 12Fringe의 境遇  $2.5\mu$  혹은 21-Fringe의 境遇  $5\mu$ 을 뺀 나머지 距離에 該當한다. 즉 例를 들어  $C=25\mu, D=75\mu$  積層의 比抵抗  $=1.0\Omega\text{-cm} \pm 20\%$ , 積層의 두께  $=12.5\mu \pm 15\%$ 인 12 Fringe의 境遇에는

$$\begin{matrix} R_{VC}(\max) > R_{VC}(\text{nominal}) > R_{VC}(\min) \\ \parallel & \parallel & \parallel \\ 43.3\Omega & > 26.2\Omega & > 13.1\Omega \end{matrix}$$

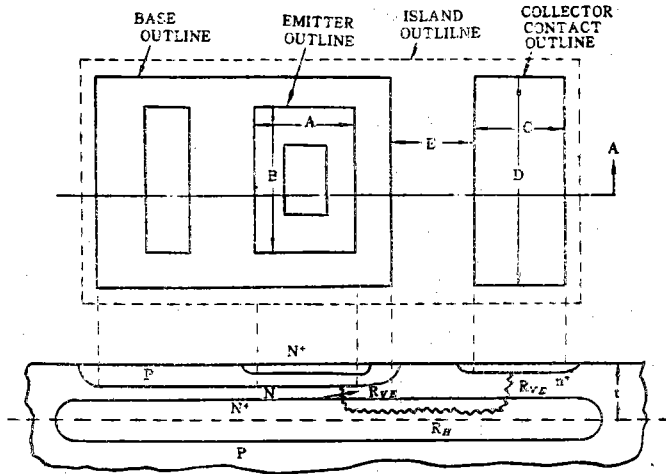


그림 4. 많이 사용되는 IC용 Tr의 구조와 Rsc

으로 쉽게  $R_{vc}$ (Nominal) 혹은 實用値가 求하여진다. 더 複雜한 構造의 例를 들면 圓形이라든가, C가  $75\mu$  以上 된다면, 혹은 C가  $D/2$ 보다 큰 境遇에는 電流가 Base에 가까운 쪽으로 流리기 때문에 위에서와 같이 簡單하지는 않으며 電流가 通過하는 有效斷面積을 다른 方法으로 計算하지 않으면 안된다.  $R_H$ , 즉 埋沒層을 通過하는데 必要한 抵抗은 역시 類似한 方法으로 求할 수 있다. Transistor의 構造에 따라서 電流가 通過하는 有效幅은 달라지는데 그림(4)의 境遇 그 幅은 대체로 D와 一致한다. 그러나 電流 通過 길이는 그림(4)의 境遇에  $\frac{A+C}{3} + E$ 가 된다.  $R_H$ 는(電流通過 길이) / (電流通過 폭)으로 表示할 수 있으며  $\rho_s$ 는 이 境遇 表面抵抗으로 보통  $12 \pm 4\Omega/\text{square}$ 가 된다. 그림(4)에서  $A=37.5\mu$ ,  $E=22.5\mu$ ,  $C=25\mu$ ,  $D=75\mu$

$$S = 12 \pm 4\Omega/\text{square} \quad R_h(\max) > R_h(\text{nominal}) > R_h(\min)$$

$$\parallel \parallel \parallel$$

$$9.3\Omega > 6.9\Omega > 4.6\Omega$$

이다. 增幅率이 적은 境遇에는  $R_{ve}$ 는 매우 적은 數値가 되나 Transistor가 動作時에는  $R_{ve}=0$ 가 아니다.  $R_{ve}$ 는  $R_{vc}$ 와 같은 方法으로 推定할 수 있으나  $R_{ve}$ 의 境遇에는 Emitter 地域의 電流 分布狀態를 考慮해야 하기 때문에 問題가 複雜하다. 즉 Base 接點에 가까운 Emitter 部分쪽으로 갈수록 電流의 密度가 높아지기 때문이다. 아주 좁은 Emitter인 境遇에는 Emitter의 全面積을 電流 通過 斷面積으로 使用하여도 큰 誤差는 없다. 이러한 假定上에서 그림(4)의 境遇에  $A=25$

$\mu$ ,  $B=50\mu$ 이라면,

$$R_{ve}(\max) > R_{ve}(\text{nominal}) > R_{ve}(\min)$$

$$\parallel \parallel \parallel$$

$$64.9\Omega > 33.2\Omega > 19.6\Omega$$

가 된다. 金(Au)을 擴散시킨 境遇에는 Collector 地域에서의 電流 媒介體의 壽命이 짧기 때문에  $R_{ve}$ 는 0에 가까워지지는 않으며 上記 動作時의  $R_{ve}$  값과 近似値가 된다. 以上과 같이 세가지 抵抗値의 合計인  $R_{vc} + R_h + R_{ve}$ 는 飽和抵抗  $R_{sc}$  값이 되며 그 上限 및 下限線은 다음과 같다.

$$R_{sc}(\max) > R_{sc}(\text{nominal}) > R_{sc}(\min)$$

$$\parallel \parallel \parallel$$

$$117.5\Omega > 66.3\Omega > 37.3\Omega$$

### 5. 結論

複雜한 數式보다도 實用可能한 素子 理論 關係式과 實測을 通하여 線型 I.C 設計者에게 有用한 結果를 얻을 수 있었다.

動作電壓은  $BV_{CEO}$ 에 該當하며  $BV_{CEO}$ 와 Collector 接面의 降服電壓  $BV_{CBO}$ 와의 關係는 쉽게 얻어나 降服 當時 Collector 接面 全域에서 Avalanche Multiplexing을 하는 것은 아니기 때문에 約 1% 정도에 該當하는 接面에서의 가장 弱한 部分에서 集中的으로 Multiplexing 되는 境遇에 實測値와 近似한 값이 얻어졌으며  $BV_{CEO}$ 와 積層의 比抵抗과의 關係를 求하고 實際로 使用해야 할 動作電壓의 값은 安定度를 생각하여 33%의 높은 값을 擇하여 選定하였다. 다음, 積層의 두께는 埋沒層(Buried Layer)의 不純物이 積層內로 擴散하여 올라오는 두께, Base의 길이와  $BV_{CBO}$ 에 相

當하는 不純物 枯渴層(Space Charge)의 두께인  $W$ 의 합으로 되어있다.  $W$ 는 積層의 比抵抗 또는 不純物과 密接한 關係가 있음을 圖示하고 12Fringe 및 21 Fringe Bipolar I.C 工程에서 積層의 比抵抗과 두께와의 關係를 求하여 實測值와 比較하였다. 그리하여 이 分析 結果의 上限과 下限線의 平均值를 利用하도록 推薦하였다.

動作電壓을 낮추기 위해서는 飽和電壓을 낮추어야 하는데 飽和電壓은 出力端子의 Transister Collector 接點으로 부터 Base-Collector 境界面에 이르기까지의 直列抵抗에 依하여 支配된다. 즉 이 Collector 抵抗, Collector 接點에서 埋沒層까지의 抵抗, 埋沒層內의 抵抗과 埋沒層에서 Base 接面까지의 세개의 抵抗을 合한 것으로 이들의 計算 方法을 實例를 들어 記明하였다.  $N^+$  埋沒層이 없는 境遇는 飽和抵抗이 매우 커

지며 接點에서  $N^+$ 層을 깊이 擴散하여 Sinker를 만드는 境遇는 飽和抵抗이 훨씬 적어진다.

結論的으로 本 論文에 提示된 圖面들을 適當히 利用하여 Mask 記計를 하면 그 Mask를 利用하여 製作된 積層의 두께와 比抵抗이 決定되고 動作電壓 및 飽和電壓도 期待值에 가까운 I.C가 될 것이다.

#### 參 考 文 獻

1. D.P. Kennedy and R.R. O'Brien IRETrans. Electron Devices ED-4, 15(1957)
2. H.L. Armstrong, IRE Trans., Electron Devices, ED-4, 15 (1957)
3. J.J. Ebers and J.L. Moll, Proc. IRE, 42, 1761 (1954)