

組合論理回路의 缺陷檢出試驗에 관한 研究

(A Study on Fault Detection Tests for Combinational Logic Networks)

崔 興 文*

(Choi, Heung Moon)

要 約

本 論文에서는 組合論理回路의 缺陷檢出 테스트集集合을 容易하게 求할 수 있는 한 方法을 提案하였다. 組合論理回路를 構成하고 있는 入力게이트들에 對한 테스트패턴들을 定義하고, 이들 테스트패턴들을 回路構造의 徑路活性化 特性에 따라 配列함으로써, fan-out가 없는 組合論理回路의 最小테스트 集集合을 容易하게 求할 수 있음을 보였다.

또한 fan-out 徑路上의 活性化並立性을 考慮하여 줌으로써, 提案된 方法을 再收斂 fan-out가 있는 回路에도 擴張 適用할 수 있음을 보였다.

Abstract

This paper proposes a simple and systematic method for the generation of the fault detection test sets for the combinational logic networks.

Based on the path sensitizing concept, the test patterns for the primary input gates of the network are defined, and then it is shown that, arranging these predefined test patterns according to the path sensitizing characteristics of the given network structures, the minimal complete test sets for the fan-out free combinational networks can be found easily.

It is also shown that, taking into account the fan-out paths sensitizing compatibility, the proposed method can be extended to the irredundant reconvergent fan-out networks.

I. 序 論

集積回路 技術의 發展으로 말미암아 回路의 集積度가 높아짐에 따라 論理回路의 缺陷檢出은 더욱 重要한 問題가 되고 있으며, 同一한 論理函數인지라도 實現된 回路의 構造에 따라 缺陷檢出의 容易도가 달라지므로, 주어진 論理函數를 缺陷檢出이 容易한 回路로 實現하는 方法^(1,2), 기존회로를 修正하는 方法⁽³⁾ 및 좀 더 能率의인 缺陷檢出方案⁽⁴⁻¹⁰⁾에 對한 研究가 많이 進行되

어 왔다.

缺陷檢出 方法에 있어서 대부분의 경우 個個의 一次 入力를 對象으로 테스트를 求하고 있으므로, 各 一次 入力에 對한 Boolean Difference를 일일이 구하거나⁽⁵⁾ 回路의 特性그래프를 作成하고, 테스트할 部分그래프로 부터 各 테스트를 求하여 全體테스트集集合을 구하고 있으므로⁽⁴⁾, 그 節次가 複雜한 點이 있다.

本 論文에서는 徑路活性化 개념을 基礎로 하여 組合 論理回路를 構成하고 있는 各 單一게이트의 테스트패턴을 定義하고, 이들 테스트패턴들을 回路構造의 徑路 活性化特性에 따라 配列함으로써 回路의 最小테스트集集合을 能率의으로 求할 수 있는 體係의인 缺陷檢出方法에 對하여 研究하였다. 또 이와같은 缺陷檢出方法을 fan-out가 없는 論理回路에서 뿐만 아니라 再收斂 fan-

* 正會員, 慶北大學校 工科大學 電子工學科
(Dept. of Electronic Eng., College of Engineering, Kyungpook National University)
接受日字: 1977年 12月 16日

out가 있는 組合論理回路까지 適用시킬 수 있도록 擴張하였다. 缺陷은 發生確率에 많은 單一, 固着型 缺陷(single, stuck-at type fault)을 對象으로 하였다.

II. 單一게이트의 缺陷檢出特性

正常的인 出力이 “1”(또는 “0”)이 되도록 入力指定한 테스트의 集合을 T_1 (또는 T_0)이라 하고, 組合論理回路를 構成하고 있는 各 게이트(AND, OR, NAND, NOR)의 論理式에 De’Morgan의 定理를 적용하면 다음의 關係를 얻을 수 있다. (但, NOT 게이트는 1-入力 NAND 게이트로 가정). 즉, 편의상 $f(x_1, x_2, \dots, x_n) = f(x_i)$, $f(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n) = f(\bar{x}_i)$ 라고 표기하면,

$$f_{NAND}(x_i) = \bar{f}_{AND}(x_i) = f_{OR}(\bar{x}_i) = \bar{f}_{NOR}(\bar{x}_i) \quad (1)$$

$$\bar{f}_{NAND}(x_i) = f_{AND}(x_i) = \bar{f}_{OR}(\bar{x}_i) = f_{NOR}(\bar{x}_i) \quad (2)$$

따라서 各 게이트의 테스트集合 사이에 다음의 關係가

成立된다.

$$T_{1, NAND}(x_i) = T_{0, AND}(x_i) = T_{1, OR}(\bar{x}_i) = T_{0, NOR}(\bar{x}_i) \quad (3)$$

$$T_{0, NAND}(x_i) = T_{1, AND}(x_i) = T_{0, OR}(\bar{x}_i) = T_{1, NOR}(\bar{x}_i) \quad (4)$$

한편, 徑路活性化개념(또는 Partial Boolean Difference⁶⁾)에 의해 n -入力 AND 게이트의 테스트集合은 다음과 같다.

$$T_{1, AND}(x_1, x_2, \dots, x_n) = [11 \dots 1] \quad (5)$$

$$T_{0, AND}(x_1, x_2, \dots, x_n) = \begin{bmatrix} 01 \dots 1 \\ 10 \dots 1 \\ \dots \dots \dots \\ 11 \dots 0 \end{bmatrix} \quad (6)$$

(5), (6)式을 (3), (4)式에 代入하여 유도한 各 테스트集合과 活性化入出力 및 各 테스트에 의해 檢出될 수 있는 缺陷 등을 table-1에 표시하였다.

Table-1. The Fault Dtection Test Sets and the Sensitizing Characteristics for the n-Input Gates

Gate	T	Test Vector $x_1, x_2, x_3, \dots, x_n$	Sensitized Output	Sensitized Input	Detectable Faults
AND	T_1	111...1	1→0	x_1, x_2, \dots, x_n	$x_i/0, \dots, x_n/0, f/0$
	T_0	011...1 101...1 111...0	0→1	x_1 x_2 ... x_n	$x_i/1$ $x_i/1$... $x_n/1$ f/1
OR	T_1	100...0 010...0 000...1	1→0	x_1 x_2 ... x_n	$x_i/0$ $x_i/0$... $x_n/0$ f/0
	T_0	000...0	0→1	x_1, x_2, \dots, x_n	$x_i/1, \dots, x_n/1, f/1$
NAND	T_1	011...1 101...1 111...0	1→0	x_1 x_2 ... x_n	$x_i/1$ $x_i/1$... $x_n/1$ f/0
	T_0	111...1	0→1	x_1, x_2, \dots, x_n	$x_i/0, \dots, x_n/0, f/1$
NOR	T_1	000...0	1→0	x_1, x_2, \dots, x_n	$x_i/1, \dots, x_n/1, f/0$
	T_0	100...0 010...0 000...1	0→1	x_1 x_2 ... x_n	$x_i/0$ $x_i/0$... $x_n/0$ f/1

table-1에서 보는 바와 같이 各 n -入力 게이트의 T_1 및 T_0 테스트集合은 해당 게이트의 活性化特性에 따라 各各 다음과 같은 次數의 binary matrix로 構成되어 있다.

$$T_{1, AND}(\text{또는 } T_{0, NAND}, T_{0, OR}, T_{1, NOR}) : 1 \times n^{th} \text{ order} \quad (7)$$

$$T_{0, AND}(\text{또는 } T_{1, NAND}, T_{1, OR}, T_{0, NOR}) : n \times n^{th} \text{ order} \quad (8)$$

$$T = T_1 \cup T_0, T_1 \cap T_0 = \phi, \phi; \text{ null set} \quad (9)$$

따라서 n 개의 入力を 가진 各 게이트의 單一缺陷檢出

에는

$$n(T) = n(T_1) + n(T_0) = n + 1 \quad (10)$$

$n(T)$; number of tests in T test sets

개의 테스트를 必要로 한다.

한편 各 테스트集合을 形成하고 있는 個個의 테스트 벡터는 다시 活性化入力和 活性化補助入력으로 構成되어 있음을 알 수 있다. 例를 들어 AND게이트의 T_0 테스트집합중 $(x_1, x_2, x_3, \dots, x_n) = ([0]11\dots1)$ 에서 $x_1 = [0]$ 는 x_1 의 活性化入력이며 $(x_2, x_3, \dots, x_n) = (11\dots1)$ 은 x_1 의 活性化補助入力이다.

III. Fan-out가 없는 組合論理回路

앞에서 考察한 單一케이트들의 活性化特性 및 테스트패턴을 fan-out가 없는 組合論理回路에 擴張適用하기 위해 그림 1과 같은 一般의인 2-level AND-OR회로의 缺陷檢出特性(活性化特性 및 테스트集合)을 살펴보기로 한다.

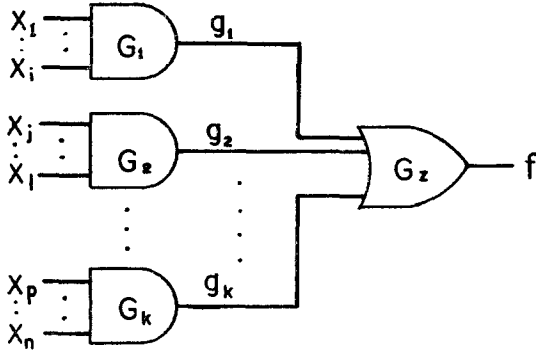


Fig.1 Fan-out Free 2-Level AND-OR Network
그림 1. Fan-out가 없는 2段 AND-OR 回路

우선 fan-out가 없으므로 각 1次入力에서 1次出力에 이르는 徑路는 唯一하므로, 1次入力에 對한 缺陷 테스트는 해당 1次入力에서 1次出力에 이르는 徑路上的의 모든 缺陷을 排除하며 最小테스트集合 T_i 는

$$T = T_1 \cup T_0, T_1 \cap T_0 = \phi, \phi : \text{Null Set} \quad (11)$$

한편 그림 1의 각 AND 게이트 G_i 의 1次入力들은 해당 AND 게이트의 出力 g_i 가 1(또는 0)이 되도록 入力指定한 테스트 $[T_{1,G_i}]$ (또는 $[T_{0,G_i}]$)에 依하여 同時에(또는 各各) 活性化되나, 出力 g_i 들은 이들을 入力으로 받는 OR게이트 G_z 의 활성화특성에 따라 1次出力 f 를 1(또는 0)로 入力指定한 테스트 T_{1,G_z} (또는 T_{0,G_z})에 依하여 各各(또는 同時에) 活性化된다. 따라서 回路全體의 T_1 (또는 T_0) 테스트集合은 各 AND 게이트 G_i 의 $[T_{1,G_i}]$ (또는 $[T_{0,G_i}]$) 테스트를 OR 게이트 G_z 의 T_{1,G_z} (또는 $[T_{0,G_z}]$)의 테스트패턴形態대로 配列하여 求할 수 있음을 알 수 있다.

지금 그림 1의 回路의 論理積의 和형식의 論理式을 다음과 같이 처리한다.

$$f = x_1 \cdots x_i + x_j \cdots x_l + \cdots + x_p \cdots x_n \quad (12)$$

$$= g_1 + g_2 + \cdots + g_k \quad (13)$$

$$\bar{f} = \overline{x_1 \cdots x_i \cdot x_j \cdots x_l \cdot \cdots \cdot x_p \cdots x_n} \quad (14)$$

$$= \bar{g}_1 \cdot \bar{g}_2 \cdots \bar{g}_k \quad (15)$$

(13), (15)式과 table-1의 OR 게이트의 테스트集合

으로부터 회로의 테스트集合은 다음의 形態를 取한다.

$$T_1 = \begin{pmatrix} g_1 & g_2 & \cdots & g_k \\ [1] & 0 & \cdots & 0 \\ 0 & [1] & \cdots & 0 \\ \cdots & \cdots & \cdots & \cdots \\ 0 & 0 & \cdots & [1] \end{pmatrix} \quad (16)$$

$$= \begin{pmatrix} x_1 \cdots x_i, x_j \cdots x_l, \cdots, x_p \cdots x_n \\ [T_{1,G_1}] & 0 \cdots 0 & \cdots & 0 \cdots 0 \\ 0 \cdots 0 & [T_{1,G_2}] & \cdots & 0 \cdots 0 \\ \cdots & \cdots & \cdots & \cdots \\ 0 \cdots 0 & 0 \cdots 0 & \cdots & [T_{1,G_k}] \end{pmatrix} \quad (17)$$

여기서 $[T_{1,G_i}] = [T_{1,AND}]|_{G_i} = [11 \cdots 1]_{G_i}$

$$T_0 = \begin{pmatrix} g_1 & g_2 & \cdots & g_k \\ [0] & [0] & \cdots & [0] \end{pmatrix} \quad (18)$$

$$= \begin{pmatrix} x_1 \cdots x_i & x_j \cdots x_l & \cdots & x_p \cdots x_n \\ [T_{0,G_1}] & [T_{0,G_2}] & \cdots & [T_{0,G_k}] \end{pmatrix} \quad (19)$$

$$\text{여기서 } T_{0,G_i} = [T_{0,AND}]|_{G_i} = \begin{pmatrix} 01 \cdots 1 \\ 10 \cdots 1 \\ \cdots \cdots \cdots \\ 11 \cdots 0 \end{pmatrix}_{G_i}$$

지금 (13), (15)式을 보면 各各 (17), (19)式과 같이 게이트의 테스트패턴 $[T_{1,G_i}]$ 및 $[T_{0,G_i}]$ 가 回路의 테스트集合 T_1 및 T_0 를 構成해 나가는 形態, 즉 回路全體의 活性化特性을 표시해 주므로 이들 (13), (15)式을 活性化特性式이라고 定義하면, fan-out가 없는 組合論理回路의 最少테스트集合을 求하는 過程을 다음과 같이 要約할 수 있다.

[過程 A]

A-1; 주어진 論理回路의 活性化 特性式 f_c 및 \bar{f}_c 를 求한다.

A-2; 1次入力を 갖는 各 게이트의 $[T_{1,G_i}]$ 및 $[T_{0,G_i}]$ 를 活性化特性式에 따라 配列한다. 즉, (·)는 같은 行에, (+)는 行을 바꾸어 기록한다.

A-3; 活性化되지 않은 其他 1次入力(活性化 補助入力)들은 $[T_{1,G_i}]$ 또는 $[T_{0,G_i}]$ 가 指定된 入力を 活性化시키도록 다음과 같이 入力指定한다.

T_1 (또는 T_0)에서 AND, OR의 1次入力は 0(또는

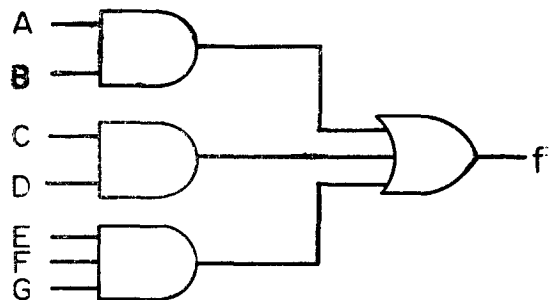


Fig.2 2-Level Fan-out Free AND-OR Network for Ex. 1

그림2. Fan-out가 없는 2段 AND-OR 回路

1)을, NAND, NOR, NOT의 1次入力들은 1(또는 0)을 指定한다.

A-4; 해당 回路의 最小테스트集合 T 는

$$T = T_1 \cup T_0 \text{로 構成된다.}$$

例 1) Fig 2의 AND-OR 回路에서

$$f = AB + CD + EFG \quad (20)$$

$$A-1; f_c = g_1 + g_2 + g_3 \quad (21)$$

$$\begin{aligned} \bar{f}_c &= \bar{g}_1 \cdot \bar{g}_2 \cdot \bar{g}_3, \quad g_1 = AB, \quad g_2 = CD, \\ g_3 &= EFG \end{aligned} \quad (22)$$

A-2; (21) 및 (22)式에 의하여

$$T_1 = [T_{1,AND}]_{G1} + [T_{1,AND}]_{G2} + [T_{1,AND}]_{G3} \quad (23)$$

$$T_0 = [T_{0,AND}]_{G1} \cdot [T_{0,AND}]_{G2} \cdot [T_{0,AND}]_{G3} \quad (24)$$

$$T_1 = \begin{pmatrix} [T_{1,AND}]_{G1} & g_1 & g_2 & g_3 \\ 0 & [T_{1,AND}]_{G2} & 0 & 0 \\ 0 & 0 & [T_{1,AND}]_{G3} & 0 \end{pmatrix} \quad (25)$$

$$T_0 = [T_{0,AND}]_{G1} [T_{0,AND}]_{G2} [T_{0,AND}]_{G3} \quad (26)$$

A-3;

$$T_1 = \begin{pmatrix} A & B & C & D & EFG \\ [1 & 1] & 0 & 0 & 0 & 0 \\ 0 & 0 & [1 & 1] & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & [1 & 1 & 1] \end{pmatrix} \quad (27)$$

$$T^0 = \begin{pmatrix} [0 & 1] & [0 & 1] & [0 & 1 & 1] \\ [1 & 0] & [1 & 0] & [1 & 0 & 1] \\ [1 & 0] & [1 & 0] & [1 & 1 & 0] \end{pmatrix} \quad (28)$$

A-4; $T = T_1 \cup T_0$

(28) 式의 T_0 의 마지막 테스트 (ABCDEFG) = [(10) (10) [110]]에서 (ABCD) = [(10) (10)]는 AND게이트 A·B 및 C·D가 (24)式과 같이 E·F·G 게이트와 동시에 活性化됨을 意味하며 $[T_{1,AND}]_{G1}$, $[T_{1,AND}]_{G2} = [01]$ 内の 어떤 테스트를 반복하여도 무관하다. (27) 및 (28)式에서 []는 活性化되는 게이트 및 1次入力を 明示해 줌으로 이것으로 부터 各 테스트가 檢出해 낼 수 있는 缺陷을 곧 알 수 있다. 예로서 (ABCDEFG) = [0000[111]] 테스트는 E/0, F/0, G/0 결함을 檢출해 낼 수 있는 것이다.

例 2) Fig. 3⁴⁾과 같이 fan-out이 없는 multilevel 回路를 例로 들면 S-O-P論理式은

$$f = A + \overline{BC} + \overline{DE}FGH$$

$$A-1; f_c = g_1 + \bar{g}_2 + \bar{g}_3 \cdot g_4$$

$$\bar{f}_c = \bar{g}_1 \cdot g_2 \cdot [g_3 + \bar{g}_4]$$

$$g_1 = A, \quad g_2 = BC, \quad g_3 = DE, \quad g_4 = FGH$$

A-2, 3; A B C D E F G H

$$T_1 = \begin{pmatrix} [1] & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & [0 & 1] & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & [1 & 0] & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & [0 & 1] & [1 & 1 & 1] \\ 0 & 1 & 1 & [1 & 0] & [1 & 1 & 1] \end{pmatrix}$$

$$T_0 = \begin{pmatrix} [0] & [1 & 1] & [1 & 1] & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} [1 & 1] & 1 & 1 & 1 \\ 0 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 0 \end{pmatrix}$$

以上の [過程 A]의 缺陷檢出方法에 따르면 fan-out가 없는 任意의 組合論理回路에서 1次入力 및 各入力에서 1次出力에 이르는 徑路上的의 모든 單一 固着型 缺陷을 모두 檢出할 수 있다. 다만 各 게이트의 테스트패턴을 숙지하고 있을 필요가 있으나, 이 點에 대해서는 fan-out가 없는 주어진 論理式에 Wehrfritz¹¹⁾의 變換式

$$\begin{aligned} f &= (x_i, +, \cdot, (\dots)) \\ &= f((x_i,)' \cdot (\cdot, (\dots)'))' \end{aligned} \quad (29)$$

을 적용하여 얻은 NAND만의 論理式 또는 試驗等價 回路에 對하여 奇偶 level의 區分과 (3), (4)式의 $[T_1, NAND]$, $[T_0, NAND]$ 2개의 테스트패턴만을 사용하는 좀 더 簡便한 檢출이 容易한 回路構造에 對하여는 이미 著者¹⁰⁾가 論한 바 있다.

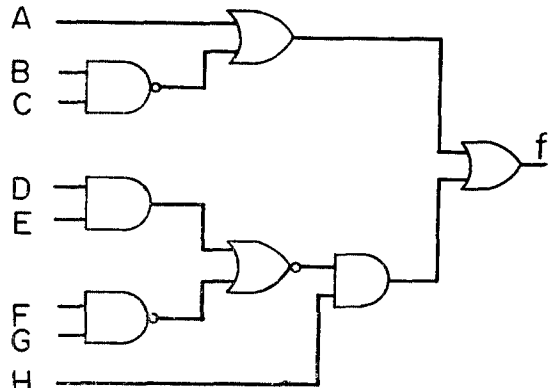


Fig. 3⁴⁾ Fan-out Free Multilevel Network for Ex. 2

그림 3. Fan-out이 없는 多段回路

IV. Fan-out가 있는 回路의 缺陷檢出

再收斂 fan-out이 있는 組合論理回路에 對해서는 fan-out點에서 1次出力에 이르는 徑路가 唯一하지 않고, 또 各 fan-out 徑路上的의 inversion parity를 考慮할 때, 1次入력에 對한 테스트 入力指定에 있어서 各 fan-out 徑路에 對한 活性化 compatibility가 成立되어야 한다. 따라서 同一한 테스트벡터에서 하나의 1次入력에 서로 다른 binary vector를 指定할 수는 없으며, 各 fan-out 徑路에 對해 獨立的으로 테스트벡터를 求한다고 가정하여도 결국 두 테스트벡터는 fan-out 點 및 해당 1次入力指定에 對하여 並立⁹⁾하여야 한다. 따라서 두 fan-out 徑路의 inversion parity가 다를 경우, 이 두 徑路의 同時活性化는 제외되어야 한다.¹²⁾

또한 두 fan-out 徑路를 g_i 및 $\bar{g}_i \cdot g_j$ 라고 가정할 때 各各의 活性化 補助入力 指定은 活性化되는 쪽의 入力 指定을 우선적으로 따라야 하며, 두 徑路가 모두 活性化 補助入力 指定일 때에는 單獨徑路 g_i 쪽을 따르도록 補助入力 指定함으로써 複合徑路 $\bar{g}_i \cdot g_j$ 의 補助入力 指定에 여유를 둘 수 있으며, 以上の 各 경우에 대한 活性化 並立性을 만족시킬 수 있다.

이상을 종합하여 fan-out이 없는 회로에 대한 결합 검출과정 A를 수정함으로써 fan-out이 있는 組合論理 回路의 缺陷檢出과정을 다음과 같이 얻었다.

〔缺陷檢出 過程 B〕

B-1; 活性化特性式을 求한다. 이 때 inversion parity 가 다른 두 fan-out 徑路 g_i 및 \bar{g}_i 의 同時活性化項 $g_i \cdot \bar{g}_i$ 는 서로 相殺된다.

B-2; 活性化 入力 指定 ($[T_1]_{g_i}$ 및 $[T_0]_{g_i}$)을 한다.

B-3; 活性化 補助入力 指定은 다음과 같이 한다.

- (1) fan-out 徑路 g_i (또는 \bar{g}_i)의 補助入力 指定은 \bar{g}_i (또는 g_i)의 活性化 入力 指定을 그대로 따른다.
- (2) 만약 두 活性化 徑路 $g_i, \bar{g}_i \cdot g_j$ 가 모두 補助入力 指定일 경우에는 單獨徑路 g_i 의 補助入力 指定을 우선으로 하고, \bar{g}_i 는 g_i 의 入力 指定을 따른다.

例 3) Fig 4의 論理回路에서

$$f = \overline{A(B+C)} + (B+C)D$$

$$= \bar{A} + \overline{(B+C)} + (B+C)D \quad (30)$$

B-1; $\bar{g}_1 = \bar{A}, \bar{g}_{21} = \overline{B_1+C_1}, g_{22} = B_2+C_2, g_3 = D$ 라고 하면

$$f_c = \bar{g}_1 + \bar{g}_{21} + g_{22} \cdot g_3 \quad (31)$$

$$\bar{f}_c = g_1 \cdot g_{21} (\bar{g}_{22} + \bar{g}_3) \quad (31)$$

$$= g_1 \cdot g_{21} \cdot \bar{g}_3 \quad (32)$$

(32)式은 式(30)으로부터 DeMorgan의 정리에 따라

$$\bar{f} = A(B+C) [\overline{(B+C)} + \bar{D}]$$

$$= A(B+C) \cdot \bar{D} \quad (33)$$

이 되므로 곧 證明이 된다.

B-2;

$$T_1 = \begin{bmatrix} \bar{g}_1 & g_{21} & g_{22} & g_3 \\ [T_0]_{g_1} & [T_0]_{g_{21}} & [T_1]_{g_{22}} & [T_1]_{g_3} \end{bmatrix}$$

$$= \begin{bmatrix} A & B_1 C_1 & B_2 C_2 & D \\ [0] & [00] & [10] & [11] \\ & & [01] & [1] \end{bmatrix}$$

$$T_0 = [[T_1]_{g_1} \quad [T_1]_{g_{21}} \quad [T_0]_{g_3}]$$

$$= [[[11]] \quad [1 \ 0] \quad [00]] \\ [[1] \quad [0 \ 1] \quad [0]]]$$

B-3;

$$T_1 = \begin{bmatrix} A & B_1 & C_1 & B_2 & C_2 & D \\ [0] & 1 & 1 & & & 0 \\ 1 & [0 & 0] & & & [0] \\ 1 & & & [1 & 0] & [1] \\ 1 & & & [0 & 1] & [1] \end{bmatrix}$$

$$= \begin{bmatrix} A_1 & B_1 & C_1 & B_2 & C_2 & D \\ [0] & 1 & 1 & 1 & 1 & 0 \\ 1 & [0 & 0] & 0 & 0 & 0 \\ 1 & 1 & 0 & [1 & 0] & [1] \\ 1 & 0 & 1 & [0 & 1] & [1] \end{bmatrix}$$

$$= \begin{bmatrix} A & B & C & D \\ [0] & 1 & 1 & 0 \\ 1 & [0 & 0] & 0 \\ 1 & [1 & 0] & [1] \\ 1 & [0 & 1] & [1] \end{bmatrix}$$

$$T_c = [[[11]] \quad [1 \ 0] \quad [00]] \\ [[1] \quad [0 \ 1] \quad [0]]]$$

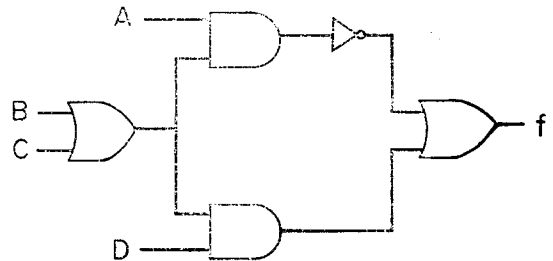


Fig. 4 Reconvergent Fan-out Network for Ex.3
그림 4. 再收斂 fan-out이 있는 回路

各 테스트에 의해 피복되는 결합은 각 테스트벡터內의 活性化되는 入力 ($[]$ 表示된 部分)에 의해 곧 판 단할 수 있다.

V. 結 論

組合論理回路를 構成하고 있는 入力제어에 對한 테스트集을 回路構造의 徑路活性化特性에 따라 配列 함으로써 fan-out이 없는 組合論理回路의 最小테스트 集을 容易하게 求할 수 있는 缺陷檢出方法을 提案하였다. 또한 fan-out이 있는 組合論理回路에 대하여도 같은 方法을 適用할 수 있도록 擴張하였다.

提案된 方法은 最小테스트集을 求하기가 쉬울 뿐 만 아니라, 各 테스트에 依해 活性化 되는 1次 入力 및 피복되는 1-固着 및 0-固着 缺陷을 明確히 區分할 수 있다. 本 研究에서는 主로 單一-缺陷을 對象으로 하였 으며, 多重缺陷檢出에 까지 本 方法을 擴張하는 問題는 次後의 研究課題로 남긴다.

參 考 文 獻

1. S.M. Reddy; "Easily Testable Realizations for the Logic Functions," IEEE Trans. Comput., vol. C-21, No.12, pp. 1183-1188, Dec. 1971.
2. J.P. Hays; "On Realizations of Boolean Functions Requiring a Minimal or Near-Minimal Number of Tests," IEEE Trans. Comput., vol. C-20, pp.1506-1513, Dec. 1971.
3. J.P. Hays; "On Modifying Logic Networks to Improve Their Diagnosability," IEEE Trans. Comput., vol. C-23, No.21, pp.56-62, Jan. 1974.
4. I. Berger and Z. Kohavi; "Fault Detection in Fanout-Free Combinational Networks," IEEE Trans. Comput., vol.C-22, pp. 908-913, Oct. 1973.
5. S.S. Yau and Y.S. Tang; "An Efficient Algorithm for Generating Complete Test Sets for Combinational Logic Circuits," IEEE Trans. Comput., vol. C-20, No.11, pp.1245-1251, Nov. 1971.
6. A.C.L. Chiang, I.S.Reed and A.V. Banes; "Path Sensitization, Partial Boolean Differences and Automated Fault Diagnosis," IEEE Trans. Comput., vol.C-21, No.2, pp.189-195, Feb. 1972.
7. Peter N. Marinos; "Derivation of Minimal Complete Sets of Test-Input Sequences Using Boolean Differences," IEEE Trans. Comput., vol. C-20, No.1, pp.25-32, Jan. 1971.
8. C.T. Ku and C. M. Masson; "The Boolean Difference and Multiple Fault Analysis," IEEE Trans. Comput., vol. C-24, No.1, pp.62-71, Jan. 1975.
9. K.S. Koh and W. Huh; "Fault Detection in Combinational Circuits," Journal of KIEE, vol. 11, No.5, pp.17-22, Nov. 1974.
10. H.M. Choi; "A Study on Fault Detection for Combinational NAND Networks," Journal of the Kyungpook Engineering, vol.5, pp.29-35, Dec. 1976.
11. H.C. Wehrfritz; "Techniques for the Transformation of Logic Equations," IEEE Trans. Comput., vol. C-23, No.5, pp.447-450, May, 1974.
12. Z. Kohavi; "Switching and Finite Automata." pp.210-222, New York McGraw-Hill, 1970.