

# SBGFET를 이용한 마이크로파의 能動裝置 (Ⅱ)

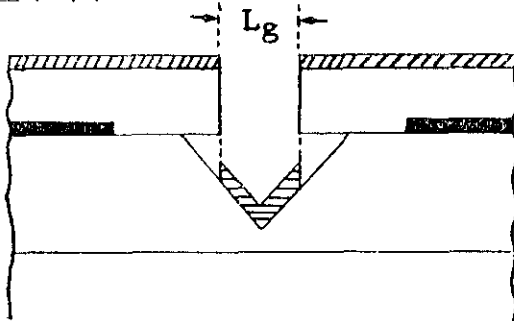
朴 漢 奎

延世大學校 電子工學科 教授, Ph.D.

## 3-1 게이트 形態에 따른 MESFET 의 特性

### (1) V型 게이트 GaAs MESFET

게이트의 形態를 V型으로 하려는 생각은 1974년 MOK<sup>(10)</sup>에 의하여 Si JFET에 適用하여 처음으로 V型 게이트 JFET를 試作 發表되었으며, 같은해에 Roger<sup>(11)</sup>가 V型 게이트 MOSFET를 提案하여 매우 빠른 속도의 特性을 나타내는 switching 素子로서 利用할 수 있음을 發表하였다. 最近에 와서는 GaAs MESFET에 對하여도 게이트의 길이를  $2\mu\text{m}$ 로 V型 게이트를 製造하고 epitaxial층의 두께가  $0.5\sim 1\mu\text{m}$ , 不純物濃度  $N_d=10^{17}\text{cm}^{-3}$ 이며, channel은 pinch-off電壓이 대략 2volt程度가 되도록 매우 얇게 形成



ohmic contact  
 schottky metal  
 photo-resist

그림 (3-1) V형 MESFET의 단면도

함으로써 RF低出力素子와 매우 낮은 抵抗性素子로 마이크로파 반도체 소자로서 適合하게 使用할 수 있음을 1975년 Kohen<sup>(12)</sup>에 의하여 발표되었다. 이러한 特性을 나타내는 V型 게이트 GaAs MESFET의 製造方法으로는 normal-off 素子와 電力素子에 適合한 etching技法으로 製造될 수 있으며, 게이트의 形態를 V型으로 하는데 제일 重寶한 것은 그림 (3-1)의 斷面圖에서 보는 바와 같이 基板위에서의 蝕蝕의 方向이다. GaAs의 化學的 에칭으로 orientation-dependent etching rate<sup>(13)</sup> ( $\{110\} \geq \{111\} \geq \{100\} > A\{111\}$ )으로 널리 알려져 있고, 또 reaction-limited-etch ( $\text{NaOH}-\text{H}_2\text{O}_2-\text{H}_2\text{O}$ )를 使用하여 그림 (3-1)에서의 같은 形態의 V型게이트 GaAs MESFET를 製造할 수 있다.

製造技法上으로는  $2\mu\text{m}$ 의 感光物質 masking은 化學的 에칭 mask로서 使用되며, dc sputter 에칭으로 세척한 후 게이트 物質을 垂直線 상으로 증발작용한 후에 다시 masking을 시킨다.

V型 게이트 MESFET은 一般型 MESFET에 비하여 좁은 活性봉로의 領域에서 높은 전계가 작용하게 되며, 여기에서 drift saturation이 나타난다.

이와 같이 etching製造方法으로 V型 게이트 GaAs MESFET를 製造하면 에피택시알층이 배

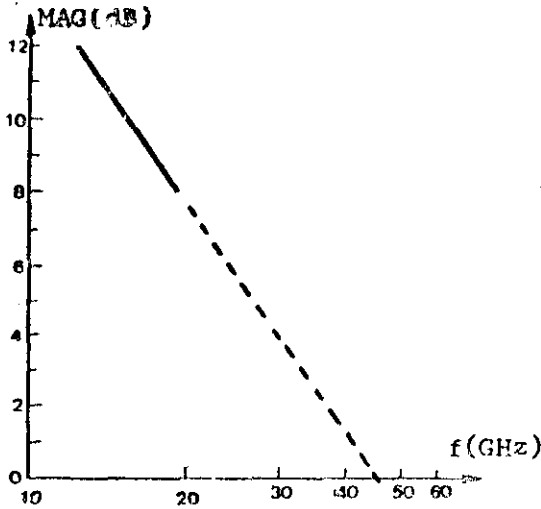


그림 (3-2) V형 MESFET의 대 주파수대 이득(MAG)

우 얇게 되기 때문에 매우 낮은 抵抗性을 일으키며, 또 self aligned技法을 適用하면 抵抗接觸이 均一면까지 擴張되며, 게이트에서 소오스에 이르는 capacitance의 감소로 인하여 매우 높은 주파수(수십 GHz)에 까지 도달하는 마이크로파 用 能動素子 및 매우 빠른 Switching 속도를 要求하는 Switching素子로 利用할 수 있다.

위와 같은 언급에 의하여 V형 GaAs MESFET를 RF周波數 動作에서 게이트길이가  $2\mu\text{m}$ 인 planar型 GaAs MESFET와 比較할 때 特性이 매우 優秀함을 感知할 수 있으며, (그림(3-2) 참조) 특히 게이트 길이가  $2\mu\text{m}$ 인 V형 게이트 GaAs MESFET를 12~18GHz에서 測定한 結果<sup>(12)</sup>, 最大電力利得(MAG)과 周波數關係는 그림(3-2)과 같이 構成할 수 있으며,  $F_{max}$ 는 6dB/octave로 할 때  $F_{max}=45\text{GHz}$ 를 기록할 수 있다. 이것은 實效 게이트길이가  $1\mu\text{m}$  以下인 GaAs MESFET과 거의 等價的임을 시사한다.

그러므로 게이트길이를 微小하게 ( $1\mu\text{m}$  以下) 製造하는데에는 에피택시알층의 두께가 게이트

길이의 1/3 정도이므로 이에 나타나는 製造技術上의 난점을 피하고, V형 게이트 GaAs MESFET를 이미 잘 알려져 있는 에칭 製造技法으로 製造함으로써 動作의 우수성을 기대할 수 있다.

(2) 게이트의 위치를 침하시킨 경우

GaAs MESFET의 게이트 길이가 매우 微小하게 까지 製造하여 實驗 發表되었으며 이러한 MESFET는 planar製造法으로 製造되며 에피택시알층의 두께가 동로의 두께를 나타내고 있다. 그러나 이러한 MESFET의 製造上 아래와 같은 3가지의 問題點을 解決하면 MESFET의 寄生 直列抵抗값을 減少시키며, 高速(high-Speed)動作을 기대할 수 있다.

첫째, 게이트 스트립과 抵抗性 接觸의 間隔 특히 게이트에서 소오스에 이르는 間隔의 直列 抵抗값을 最小로 하여야 한다.

둘째, 게이트 스트립의 抵抗性은 게이트의 capacitance와 함께 入力을 지연시키며, 이것은 게이트길이가 작아짐에 따라 지연이 增加하는 경향이 있으므로 게이트 스트립 物質의 抵抗性을 最大로 하여야 한다.

셋째, 傳達콘덕턴스와 포화특성은 에피택시알층의 반송자 濃度, doping, 移動度, trapping의 存在등에 따라 變化하며, 특히 低出力 高周波素子인 경우 pinch-off 電壓이 2volt가 適當하나 2volt 보다 낮은 pinch-off電壓에서는 基板에 近接한 interface領域에 存在하는 trapping center에 의하여 活性領域에 영향을 미쳐 不安定하게 되며, 傳達콘덕턴스의 減少, 飽和特性의 減衰등의 原因이 된다.

以上과 같은 3가지 問題點의 解決策으로는 그림(3-3)과 같이 게이트를 에피택시알層內로 침하시킴으로써 첫번째 問題點을 解決할 수 있

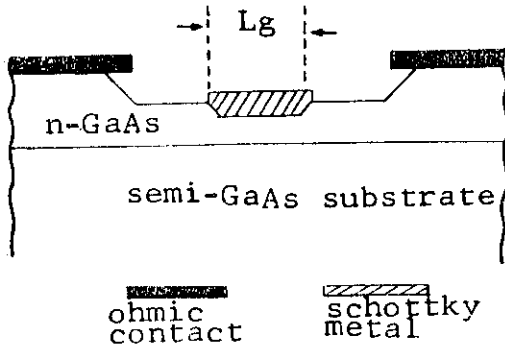


그림 (3-3) 게이트를 친하시킨 MESFET의 단면도

다. 具體的으로 紹介하면, 從來의 化學的 etching 方法으로는 不純物濃度가 높게 doping된 경우 통로의 幅을 調節하는데 正確性을 起因할 수 없으므로, 새로이 dc sputter etching과 化學적 etching 方法을 並用하여 그림(3-3)과 같은 GaAs MESFET를 製造함으로써 매우 精密한 正確度를 나타낼 수 있다.

化學的 etching 段階에서 抵抗性接觸은 etching mask와 같이 使用되며 感光物質 게이트 스트립 構造는 소오스와 드레인 접촉사이에서 自由롭게 調節된 微細投影法(microprojection technique)으로 製造된다. 感光物質의 masking은 dc sputter etching에 對한 etching mask로 使用되며, 그 後에 게이트 스트립過程에 使用된다. 게이트의 抵抗性을 最小한으로 줄이기 위하여 Ag으로 게이트를 금속전착을 하며, 周圍에 對한 影響을 防止하기 위하여 Ag막에 50Å程度의 Cr을 皮膜시킨다. 다시 凝集性을 좋게하기 위하여 GaAs interface에 두번째 Cr을 皮膜시킨다. 이와 같이 製造된 Cr-Ag-Cr-GaAs diode(게이트와 에피택시알 간의 schottky diode)가 400°C 以上에서 좋은 安定度를 보여주며, dc sputter etching된 GaAs面에 沾된 경우에도 좋은 安定度를

보여준다.

다음 두번째 문제점을 해결하기 위해서는 一般的으로 MESFET에 使用하는 Al 또는 Au와 같은 物質은 抵抗性이 제일 낮은 것이 아니므로, 가장 낮은 抵抗性 금속을 使用하면 解決할 수 있다.

또 세번째 問題點의 解決策<sup>14)</sup>으로는 doping되지 않은 緩衝層(buffer layer), 또 限定된 基板을 使用하여 解決할 수 있다.

즉, 에피택시알층을 成長시킬 때 表面(surface) 近處에서 半絶緣特性을 減退하지 않게끔 함으로써 解決된다.

이상과 같이 3가지의 問題點을 解決한 GaAs MESFET를 게이트길이 1.0μm, 게이트幅 200μm, 소오스와 드레인사이의 間隔 3.0μm, pinch-off 電壓(게이트에서 다이오드의 built-in 電壓은 除外) 1.3volt, 傳送손실(  $V_{GS}=0$  ) 18ms인 것으로 에피택시알이 0.4μm에  $N_A \approx 10^{17} \text{cm}^{-3}$ 으로 製造, 實驗한 結果<sup>15)</sup>를 보면 18GHz 以上에서 MAG는 그림(3-4)과 같이 보이며, MESFET가 microstripe線으로 bonding되어 bonding wire가 16GHz 以上에서 1.5dB의 減衰가 있

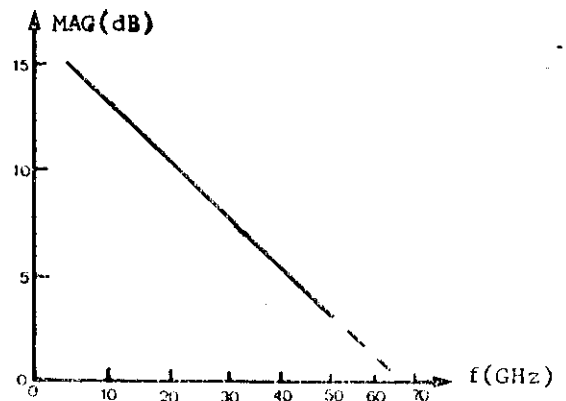


그림 (3-4) 주파수에 따른 MAG

음을 考慮하여 6dB/octave의 slope로 作成할 때 最大周波數  $F_{max}=65\text{GHz}$ 가 됨을 알 수 있다.

이러한 結果를 본 때 一般的인 MESFET 보다 새로운 etching技法和 多段 gate stripe를 使用하여 앞에서 제시한 새가지의 問題點을 解決함으로써 가장 알맞는 pinch-off 전압을 調節하여 寄生抵抗을 最小로 줄임으로써 보통 GaAs MESFET 보다 高速의 動作을 期待할 수 있으며 매우 높은 주파수(65GHz 이상)에까지 도달할 수 있다.

(3) 2重 gate GaAs MESFET

1971年 Turner<sup>16)</sup>에 의하여 2重 gate GaAs MESFET의 實驗結果가 提示되었으므로, 이때는 gate 길이를  $4\mu\text{m}$ 로 하여 第2 gate가 4極管에서의 遮蔽그리드와 같은 作用을 하며, 全體利得에 약간의 影響을 미치고 第2 gate가 gate bias 電壓을 調節함으로써 넓은 範圍의 利得을 얻을 수 있음이 觀察되었다.

한편 2重 gate MESFET은 short traveling wave transistor와 等價의으로 생각할 수 있다. 第2 gate 길이가 半導體層(semiconductor layer)의 2倍보다 작은 경우일때 異常한 bias條件이 되도록 調節하므로써, 活性層에서의 電界는 第1 gate에서 drain에 이르는데까지 連續的으로 transferred electron threshold 以上을 維持하게 된다. 또 2個의 gate 사이 領域에서 第1 gate의 아래에 있는 擾動密度(pertrurbation density)가 negative differential mobility로 因하여 增加되며 第2 gate로 움직이게 된다. 2個의 gate 사이에서  $nL$ (不純物濃度 X gate길이)의 곱이  $8 \times 10^{13}$ 으로 空間電荷波利得(space charge wave gain)이 可能하게 되며, 이 利得은 變調된 搬送子가 높은 電界領域에서 드레인으로 sweep되기 前에 發生한다.

또, 第2 게이트는 第1 게이트아래에서 逆으로 치달는(reaching back)드레인 사이에 매우 높은 電界領域形成을 防止하며, 幾何學的으로 매우 적은 NF(Noise Figure)를 期待할 수 있다.

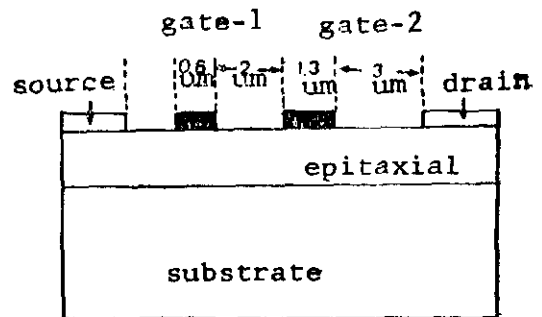
第1 게이트로부터 높은 電界領域을 遮蔽하고, RF接地된 第2 게이트는 드레인에서의 電壓幅에 第1 게이트 電壓幅을 添加한 電壓의 값을 維持하며, 이렇게 함으로써 높은 드레인電壓은 降伏(breakdown)이 일어나기 前에 到達하게 된다.

構造의으로는 2重게이트 MESFET의 第2 게이트는 channel의 物質面위에서 第1 게이트와 같이 存在하여야 하며, 物質的으로는 分離되어야 한다. <그림(3-5) 參照>

그러므로 適當한 masking으로 2개의 게이트를 設置하여야 하며, 第1 게이트를 소우스에 가깝게 설치하여야 한다.

그러나  $1\mu\text{m}$ 이하의 微少한 게이트길이의 FET를 製造하기에는 이미 알려지 있는 게이트길이의  $1\sim 2\mu\text{m}$  單-게이트 MESFET 製造方法인 self-aligned技法으로 2重게이트 GaAs MESFET<sup>17)</sup>를 製造할 수 있으며, high power MESFET를 期待할 수 있다.

2重 게이트 GaAs MESFET의 動作特性은 第1 게이트 길이가  $0.6\mu\text{m}$ , 第2 게이트 길이가



그림(3-5) 2重게이트 MESFET

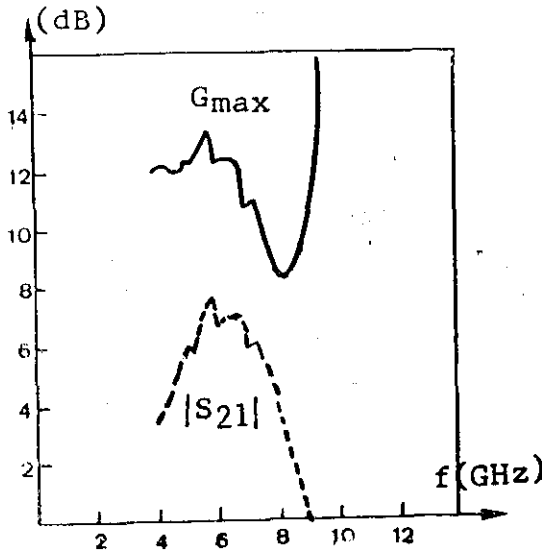


그림 (3-6) 2중게이트 MESFET의 주파수대 이득 1.3 $\mu$ m로 製造하여 電壓·電流特性을 求할수 있으며 그림(3-6)은 이러한 素子에 對한 MAG와 周波數關係를 나타낸다. 이때의 bias條件은 第 1게이트에 -1volt, 第 2게이트에 +1volt,  $V^g = 4$  volt,  $I_d = 18$ mA이다.  $|S_{21}|$ 은 9GHz까지 單 一하게 되고, MAG은 12GHz에서 10dB以上을 나타내며, 雜音指數  $NF = 5.8$ dB을 보여준다. 또 6GHz에서 MAG가 8.2dB, 雜音指數  $NF = 8.0$ dB 입을 보여준다. 한편 最大利得이 되도록 回路의 bias條件을 調節하여 測定한 결과  $G_{max} = 10.4$ dB 이고, 이때의 雜音指數  $NF$ 는 7.0dB임을 보여 주고 있다. 9GHz에 對하여 같은 方法으로 測定 한 結果  $G_{max} = 9.6$ dB이고,  $NF = 7.5$ dB이 되었다.

bias條件은 드레인에 供給되는 dc power가 7.2mV가 되도록 하며, 利得이 1dB의 凝壓點은 2.5mV에서 일어나게 되고, 出力은 9mW에서 飽和狀態에 到達한다.

특히 2重 게이트 MESFET를 同時에 製造된 單 一게이트 MESFET과 比較測定할때, 單 一게

이트 MESFET은 2重게이트 MESFET 보다 마이크로파 利得이 매우 낮으며, 6GHz에서의  $g_m \approx -20$ dB로 測定된다.

以上과 같은 2重게이트 GaAs MESFET의 製造는 感光物質 masking等으로 self-aligned技 法을 適用하여 製造할 수 있다. 특히 單 一게이 트 GaAs MESFET과 比較할때 單 一게이 트 GaAs MESFET는 小信號動作에서 매우 낮은 雜音指數를 나타내고 있으나 利得이 2重게이 트 GaAs에 比하여 떨어지므로 가장 낮은 雜音指數 를 要求하는 多段增幅器에서는 첫번째段에 單 一 게이 트 GaAs MESFET을 使用하며, 그후 나머 지 增幅段에 2重게이 트 GaAs MESFET를 使 用한다면, 다음과 같은 利點을 期待할 수 있다.

첫째, 2重게이 트 GaAs MESFET은 높은 利 得을 나타내므로, 여러段的 增幅段을 줄일 수 있으며, 增幅器의 價格을 低下시킨다.

둘째, 2重 게이 트 GaAs MESFET은 廣範圍 하게 最小傳送位相變位(minimum transmission phase shift)를 하므로 AGC 回路로 使用할 수 있다.

셋째, 2重게이 트 GaAs MESFET는 利得曲 線의 補償을 하고 있으며, 제 2게이 트와 소오스 사이에서 單純한 直列共振回路를 形成하여 低周 波에서 安定을 나타내고 있다.

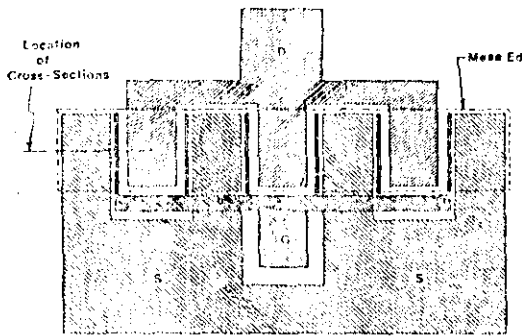
이와같은 利點을 應用하여 2重게이 트 GaAs MESFET는 modulator로 high on-to-off利得比 와 gain-independent 入力임피던스와 超高速動 作回路로 使用할 수 있다. 이러한 特徵으로 因 하여  $10^{-9}$ 秒以下の PAM을 制御할 수 있는 裝 置를 製造할 수 있으며, 이것은 PSK, FSK等에 適用될 수 있다. 例를 들면 biphas modulating 은 2個의 2重게이 트 MESFET을 드레인 出力 을 共通으로 하여 並列로 接續하므로써(cascade

回路) 實現될 수 있다. 즉  $0^\circ \sim 180^\circ$  位相變化된 搬送子는 第1 게이트에 의하여 制禦되며 modulating pulse는 第2 게이트에 適用된다. 이와같이 2重 게이트 GaAs MESFET를 마이크로파 용 裝置에 適用함으로써 매우 廣範圍한 革新을 期待한다.

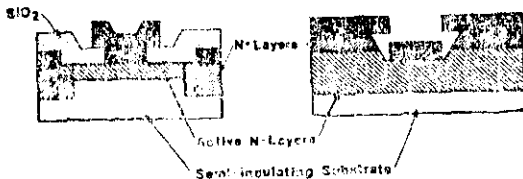
### 3-2 Power MESFET

最初の 電力 MESFET는 1973年<sup>(9)</sup>에 實現되었으며, 그림(4-7)과 같은 Planar構造를 갖는다. 일반적인 電力 MESFET는 各個의 gate가  $1\mu\text{m}$ 의 길이와  $400\mu\text{m}$ 의 幅을 갖는 20個의 게이트가 並行하게 interdigit形態로 第2 金屬化層과 相互連結된 MESFET로 設計되며 이 MESFET는 單位게이트 幅에 대한 높은 電力能力을 갖게 한 技術들은 다음과 같다.

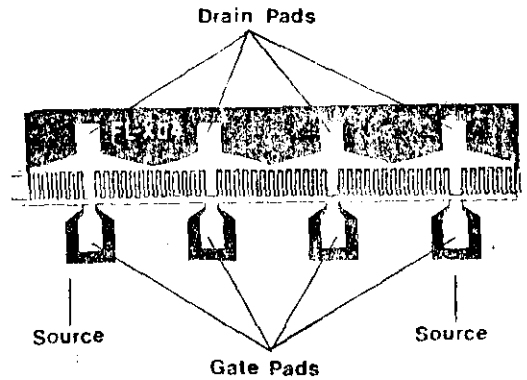
첫째, bulk 長基板으로 부터 活性層을 絶緣



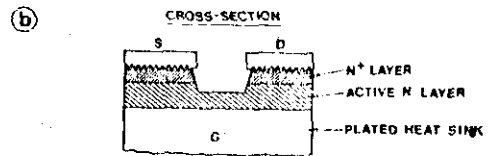
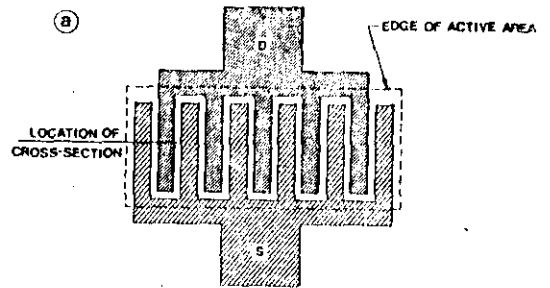
그림(3-7) planar형 power MESFET의 단면도



그림(3-8) 소스층과 드레인 아래에 N+領域을 形成시킨 power MESFET의 단면도



그림(3-9) interdigit형의 power MESFET의 단면도



그림(3-10) plated heat sink를 形成시킨 MESFET의 구조도(①②)와 실제도(③)

SBGFET를 이용한 마이크로파의 能動裝置(II)

표 4 전력형 MESFET의 특성

주파수 (GHz)	제조사	출력 (W)	전력이득 (dB)	효율 (%)	소신호이득 (dB)	게이트길이 ( $\mu\text{m}$ )	게이트폭 (mm)	동작조건 (A, B, C급)
4.0	Fujitsu	4.0	6.0	44	7.0	1.5	5.2	A
6.0	Fujitsu	2.7	5.0	31	6.0	1.5	5.2	A
8.0	plessey	0.6	6.0	34	7.5	1.5	1.4	A
	Fujitsu	2.2	3.2	22	4.2	1.5	5.2	A
15.0	RCA	0.45	5.2	14	6.7	1.5	1.2	A
22.0	RCA	0.14	4.8	9	5.6	1.5	0.6	A

시키기 위하여 高抵抗性 에피택시알緩衝層(buffer layer)를 使用하고, 둘째, 드레인-소우스 降服電壓은 增加시키고 寄生接觸抵抗은 減少시키기 위하여, 그림(3-8)에서 보여주는 것 같이 소우스와 드레인電極 밑에  $n^+$ 領域을 파놓아 붙인다. 셋째, 電流波到를 豫防하고, 게이트의 금속抵抗을 낮추기 위하여 짧은 게이트 branch를 設計하며, 넷째 熱雜音과 게이트-접지線의 인덕턴스를 減少시키기 위하여 트랜지스터에 flip-chip을 붙인다. 그림(3-9)은 게이트길이 1.5  $\mu\text{m}$ , 幅이 50 $\mu\text{m}$ 인 104個의 게이트로서 이루어진 電力 MESFET의 현미경사진이다. 表(4)에는 電力 MESFET에 대한 性能을 나타내었다.

모다 優秀한 heat-sink特性을 갖는 素子は Blocker<sup>(20)</sup>에 의해서 提案된 電力 MESFET이다. 이 MESFET의 金屬化設計와 斷面圖는 그림(3-10)에 具現했다.

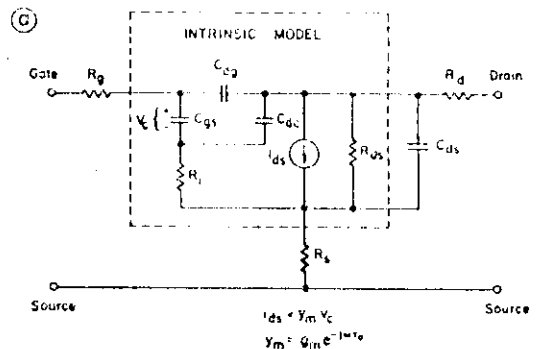
interdigit링대로 構成된 소우스와 드레인의 指極은 chip의 윗쪽에 位置하고, plated heat-sink는 밑쪽에 位置한다. channel은  $n$ 層內의 制限된 斷面中의 일부분으로 限定된다. 이러한 構造의 利點은 다음과 같다. 첫째 heat-sink와 熱的接觸한 部分에 活性領域이 形成되며, 둘째, inter-digit構造를 基점으로써 抵抗性接觸과 게이트는 chip의 다른쪽에 位置할 수 있다. 셋째, 소우스-게이트寄生抵抗을 減少시킬 수 있다. 넷째,

self-aligned工程이 가능하다. 反面에 不利한 點으로는 높은 게이트-드레인, 게이트-소우스容量을 指摘할 수 있다.

4. MESFET의 小信號 等價回路 解析

4-1 MESFET의 等價回路

MESFET의 RC等價回路는 통보를 分布 RC回路 解析하여야 한다. 單純한 lumpedelement 회로로 FET의 전달계수를 12GHz까지 正確하게 描寫할 수 있다. 소우스접지의 飽和電流領域內에서 動作에 對한 等價回路가 그림(4-1)에 圖示되어 있다. FET構造의 小信號素子位置는 그림(4-2)에 圖示되어 있다. 眞性 FET model에서  $(Cdg + Cgs)$ 는 總 게이트 通보사이의 容量을 表示하고  $Cds$ 는 다이분層 容量을 model化 한 것이며  $Ri$ 와  $Rds$ 는 채널 抵抗의 效果를 나타낸 것이



그림(4-1) MESFET의 내부 등가회로

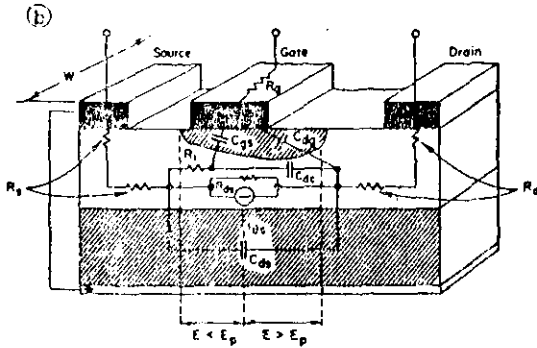


그림 (4-2) MESFET의 소자위치

다.  $i_{ds}$ 는 電壓調整電流源으로 定義한다. 傳達 어드미턴스  $ym$ 은  $C_{gs}$  양단의 電壓에 對한  $i_{ds}$ 의 함수가 된다.

12GHz 이하에서의  $ym$ 은 周波數에 따라 變하여 傳達 콘덕턴스  $gm$ 과 位相遲延 $\tau_0$ 은  $E > E_p$ 인 채널內에서 캐리어遷移時間의 反射에 依해서 特性지이진다. 外因性(寄生的)要素로 소오스 抵抗( $R_s$ ), 드레인抵抗( $R_d$ ), 게이트 길이와  $500\mu m$ 의 幅을 갖는 GaAs MESFET의 典型的인 要素의 값은 表(5)와 같다. 等價回路를 해석함으로써 臨界周波數  $f_k$ 을 求할 수 있으며, 이 以上の 周

外部素子 값	内部素子 값
$gm = 53 \text{ mmho}$	$C_{ds} = 0.12 \text{ PF}$
$\tau = 5.0 \text{ PS}$	$R_g = 2.9 \text{ ohms}$
$C_{gs} = 0.62 \text{ PF}$	$R_d = 3 \text{ ohms}$
$C_{dg} = 0.014 \text{ PF}$	$R_s = 2.0 \text{ ohms}$
$C_{dc} = 0.02 \text{ PF}$	$L_g = 0.05 \text{ nH}$
$R_i = 2.6 \text{ ohms}$	$L_d = 0.05 \text{ nH}$
$R_{ds} = 400 \text{ ohms}$	$L_s = 0.04 \text{ nH}$

표 5.\* GaAs MESFET의 素子 값

\* HP의  $1\mu m \times 500\mu m$  게이트 GaAs MESFET로 Bias는  $V_{DS} = 5V, V_{GS} = 0, I_{DS} = 70 \text{ mA}$  이다.

波數에서는 無條件安定하다.  $f_k$ 는 다음과 같이 近似的으로 주어진다.

$$f_k \approx \frac{1}{2\pi(\tau_0 + \tau_1 + \tau_2)} \quad (2)$$

여기서  $\tau_0$ 은 그림에서 定義되었고,

$$\tau_1 = \frac{C_{dg}(2R_g + R_i + R_s)}{\frac{C_{dg}}{C_{gs}} + \frac{R_s}{R_{ds}}} \quad (3)$$

$$\tau_2 = \frac{2}{\frac{gm}{C_{gs}} \left[ \frac{C_{dg}}{C_{gs}} + \frac{R_s}{R_{ds}} \right]} \frac{R_g + R_i + R_s}{R_{ds}} \quad (4)$$

表 3에 나타내져 있는 parameter를 갖는 MESFET의  $f_k$ 는 6.1GHz이다. 共軛復素整合 入力단을 갖는 MESFET는 減少周波數에 對하여 不安定하게 되는데 그 理由는 出力電壓의 상당한 부분이 入力  $C_{dg} + R_{in}$  分壓器에 饋還되기 때문이다. 여기서  $R_{in}$ 은 近似的으로 다음과 같이 주어진다.

$$R_{in} \approx \frac{1}{2\omega^2 C_{gs}^2 (R_g + R_i + R_s)}$$

( $R_{in}$ 은 共軛 임피던스整合源를 接屬한 後의 게이트와 소오스사이의 實効抵抗이다)

減少周波數에 對하여  $R_{in}$ 은  $\frac{1}{\omega^2}$ 로 增加하며  $C_{dg}$ 의 리액턴스는  $\frac{1}{\omega}$ 로 增加한다. Mason의 unilateral gain<sup>2)</sup>은 近似的으로 다음과 같이 주어진다.

$$Gu \approx \left( \frac{fu}{f} \right)^2 \quad (5)$$

여기서  $fu$ 는 最大發振周波數로

$$fu = \frac{f_T}{2\sqrt{r_1 + f_T \tau_3}} \quad (6)$$

이며,  $f_T$ 는 單位 電流利得에서의 周波數이다.

$$f_T \approx \frac{1}{2\pi} \frac{gm}{C_{gs}} \quad (7)$$

여기서  $r_1$ 은 出力抵抗에 對한 入力抵抗의 比이며  $\tau_3$ 는 時定數이다.

$$r_1 = \frac{R_g + R_i + R_s}{R_{ds}} \quad (8)$$

$$\tau_3 = 2\pi R_g C_{dg} \quad (9)$$



式(5)는 周波數의 增加에 따라 利得은 6dB/octave로 減少함을 알 수 있다. 周波數가  $f_u$ 일 때 單位利得이 되며,  $f_u$ 가 最大로 되기 위해서는 眞性 MESFET의 周波數  $f_T$ 와 抵抗比  $Rds/Ri$ 가 最適이 되어야만 한다. 여기에 外因性抵抗  $Rg$ 와  $Rs$ , 饋還容量  $Cdg$ 는 最小가 되어야만 한다.

#### 4-2 주파수의 제한

MESFET에서 高周波制限은 素子の 幾何學的 形態(또는 構造)와 材料에 依해서 決定된다. Si와 GaAs에서 電子들은 正孔보다 큰 移動도를 갖기 때문에 n-형 FET만이 마이크로波 應用에 이용을 앞세워 서술하였다(表 1 참조).

GaAs에서의 電子는 Si에서 보다 6배나 큰 電界 移動도를 가지며, 2배나 빠른 最大 drift 速度를 갖는다. 飽和速度는 두 반도체물질이 거의 같다. 따라서 GaAs MESFET는 Si MESFET보다 電流利得帶域幅  $f_T$ 는 2배가 크고, 最大發振周波數  $f_u$ 는 3배가 크다. 素子の 幾何學的 形態에 있어서 決定的인 因子는 gate의 길이 " $L$ "이다. gate길이의 減少는 容量  $Cgs$ 를 減少시키며 傳達 콘덕탄스  $gm$ 을 增加시킨다. 結果的으로 電流利得帶域幅  $f_T$ 는 改善된다. 짧은 게이트 길이를 갖는 마이크로波 MESFET의  $f_T$ 는  $\frac{1}{L}$ 에 比例한다. 高速度動作은 게이트길이를 最小로 함으로써 可能하다. 從來의 photo-masking contact, 또는 投射 masking 方法으로는  $1\mu g$  크기의 게이트길이를 만드는 데에는 制限을 받는다. 짧은 게이트 길이는 X-線과 電子 beam石 板術<sup>(22)</sup>에 의해서 實現되었다. 마이크로파 능동 장치인 MESFET의 減少限界는 게이트의 길이가 채널두께  $D$ 에 近似할 때이다.  $L/D$ 가을 維持하기 爲해서 채널의 두께는 게이트의 길이와 함께 減少되어야만 한다. 이것은 強한 doping

level을 의미하는 것이며 실제의 素子は 降服現象 때문에, 가장 높은 doping level도  $4 \times 10^{17} \text{cm}^{-3}$ 이다. 結論的으로 말하면 Si MESFET의 게이트 길이는  $0.1\mu m$ 보다 커야한다. 이런 幾何學的 構造는 電流利得帶域幅을 約 70GHz<sup>(23)</sup>로 制限하게 된다. GaAs에서도 高周波制限의 크기를 定하여 둘 必要가 있다. 매우 짧은 게이트 素子( $L < 0.2\mu m$ )에서 電界는 全 게이트를 通하여 限界直  $E_p$ 을 초과하고 電子들은 全 channel을 通過하면서 큰 移動狀態를 維持하는 것으로 豫測<sup>(24)</sup>된다.

#### 5. 結 論

半절연기관에 使用되고 있는 半導體物質중에서 InP와 GaAs가 Si 및 Ge과 같은 半導體物質에 比하여 3~5배 이상의 電子移動도가 빠름에 착안하여, GaAs MESFET를 製조하면 높은 周波數에서 使用이 가능하며, 또 MESFET의 게이트 길이를 微小하게 할 수록 使用周波數領域이 높아진다. 그러나 게이트 길이를 微小하게 만드는 데에는 製조 기술상 어려운 점이 있으므로 게이트 형태를 變化시킴으로써 보다 效率을 높일 수 있다. V型 게이트 MESFET는 좁은活性 通로의 領域에서 높은 電界가 存在하며 drift saturation이 일만 MESFET 보다 매우 빨리 發生하여 비교적 게이트길이가 길더라도 매우 높은 주파수 領域에 까지 동작하는 특성을 나타내고 게이트 위치를 淸하시킨 경우 게이트에서 소우스에 이르는 저항값을 淸소로 하고 게이트의 저항성을 淸소로 하며 半導體기관과 에피택시알층사이에 완충층(buffer layer)를 형성시킴으로서, trapping center 등을 제거하여 포화특성을 좋게함으로써 기생효과를 淸소한도로 줄여 높은 주파수(65GHz)에서 효율적이 좋은 동작특

성을 나타내고 있다. 2중 게이트 MESFET는 제 2 게이트가 제 1 게이트에서 드레인에 이르는 전계영역 형성을 방지함으로써 매우 작은 잡음지수의 특성을 나타내고 비교적 큰 출력을 보여주고 있다.

또, MESFET를 소신호 등가회로로 해석하여 저잡음증폭기, 발진기등을 설계할 수 있다.

이와같은 MESFET의 높은 효율과 특징으로 직접 고속회로의 스위칭 시간이  $10^9$  bit/sec의 자료처리능력의 속도를 필요로 하는 디지털 통신, 다중 위상 shift key의 변조 및 복조장치, time multiplexing과 주파수 분할, 계수회로등에 응용할 수 있으며, 電子自動교환장치 및 인공 위성 통신에 매우 능률적으로 사용되고 있으므로 우리나라에서도 마이크로파 능동장치인 MESFET에 대하여 적극적인 연구 활동이 있으리라 믿는다.

參 考 文 獻

10) Mok, J.D and Salance, C.A.T, "V-shaped-channel field effect transistor." Electro lett, pp478~479. oct, 1974  
 11) M.J. Rogers and J.D. Meindl, "VMOS: High-speed TTL Compatible MOS Logic." IEEE, J. Solid-State Circuit, Vol. sc-9 pp.239~249 oct. 1974  
 12) Tarui, Yand Komiya, Y, "Preferential etching and etched Profile of GaAs." J. Electrochem, Soc. pp.118~122 May, 1971  
 13) Kohn, E, "V-shaped gate GaAs MESFET for Improved high frequency performance."

Electro lett, pp.160. April, 1975  
 14) Kohn, E, "Normally-off MESFET with fast swit ching behavior." Electro lett, pp.555 oct, 1974  
 15) Kohn, Eand willer, R, "High Speed 1  $\mu$ m GaAs MESFET." Electro lett pp.171~172 April, 1975.  
 16) J.A. Turner and A.J. waller, "Dual-Gate GaAs microwave FET. Electrolett, Vol.7 pp. 661. Nov. 1971  
 17) R.H. Dean and R.J. Matarese, "Submicrometer self-aligned dual-gate GaAs MESFET." IEEE, ED pp.358~360 June, 1975.  
 18) M. Fukuta and T. Mimura, "Mesh source type microwave power FET." in 1973 ISSCC, Dig, Tech. papers. pp.84~85  
 19) L.S. Napoli, "GaAs FET for high power Amplifier at microwave frequency." R.C.A. Review 34, pp.608~615, 1973  
 20) J. Blocker, "X-band RF Power performance of GaAs FET's." in 1974. IEEE IEDM, Dig. Tech. papers, pp.288~291  
 21) S.Mason, "Power gain in feedback Amplifier." IRE trans. circuit theory, vol. CT-1, pp.20-25. June, 1954  
 22) H. smith, "Fabrication techniques for surface acoustic wave and film optical devices," Proc. IEEE, Vol 62. pp.1361~1387 oct. 1974  
 23) M. Reiser and p. wolf, "computer study of submicrometer FET's" Electro lett, Vol 8, pp.254~256. May, 1972  
 24) T. Maloney and J. Frey, "Effects of nonequilibrium velocity-field characteristics on the performance of GaAs and Imp FET." in 1974 IEDM, Dig. Tech. Papers pp.296~298