

# 順序회로를 實現하기 위한 쉬프트레지스터의 選擇에 관하여 (On the Selection of Shift-Registers Realizing Sequential Machines)

李 根 泳\*  
(Lee, Kuen Young)

## 要 約

Roome<sup>6)</sup>은 주어진 狀態表로부터 최소  $k$ -CC를 구하고 이로부터  $k$ -SR의 種分割인 要素分割을 구하는 알고리즘을 提示하였다. 本 論文은 단순히 비트의 比較와 處理만으로 基本分割을 구할 수 있고 계산기 프로그램에 용이한 보다 改善된 두 알고리즘을 提示하였다. 基底分割의 雙이란 概念을 정의하였고 이것을 利用함으로써 주어진 基底分割의 集合이 基底分割의 雙의 要素단을 갖게되어 알고리즘이 간단화 되었다.

## Abstract

From the state table of sequential machines, Roome<sup>6)</sup> obtained minimal  $k$  co-mapping chain ( $k$ -CC) and proposed an algorithm obtaining binary partitions which were seed partitions of  $k$ -shift registers. By comparing and processing bits simply, this paper obtained two different algorithms more efficient than that of Roome's for obtaining such binary partitions and defined the concept of the triple pair of the basis partitions. By using the concept, given set of basis partitions was reduced to the set containing elements of the triple pair only and the algorithm became quite simple.

## 1. 序 論

최근에 IC기술의 進歩에 따라, 集積회로 모듈을 使用하여 論理회로를 合成하는 方法이 연구되고 있다. 따라서 個個의 記憶素子나 論理素子를 使用하는 方法보다는 모듈단위로 合成하는 方法의 개발이 절실히 要求된다. 記憶素子로서 쉬프트레지스터(SR, shift-register) 모듈을 使用하여 順序회로를 合成하는 方法이 연구되었다<sup>1-6)</sup>. Nichols<sup>1)</sup>는 分割理論을 基礎로하여 列分割과 行分割을 정의하고 그것과 SR의 性質과의 관련성을 밝혔다. Roome<sup>6)</sup>은 列分割과 行分割의 관계로부터 分割和(partition addition)를 하여 可能한 段數의 SR을 生成할 수 있는 分割 그그래프를 정의하고 이것으로부터 SR을 選擇하는 알고리즘을 提示하였다.

Roome<sup>6)</sup>의 合成方法중에서 重要한 부분의 하나는 基本分割을 選擇하는 알고리즘이다. 本 論文은 단순히 비트의 比較와 處理만으로 쉽게 基本分割을 選擇할 수 있는 두가지 알고리즘을 提示하였다. 그리고 基底分割의 雙의 개념을 정의하였고 이것을 利用하여 알고리즘을 더욱 간단히 할 수 있음을 보였다.

## 2. 分割理論

順序회로를 SR로 實現하는데 有用한 分割의 基本的인 性質<sup>1,5,6)</sup>을 기술한다.

[定義 1]  $S$ 를 상해의 有限集合,  $B_1, B_2, \dots, B_L$ 을 空集合( $\phi$ )이 아닌 部分集合이라 하면  $S$ 에 대한 分割  $\Pi$ 는 다음과 같은 性質을 갖는다.

$$B_1 \vee B_2 \vee \dots \vee B_L = S, B_i \wedge B_j = \phi$$

여기서  $i \neq j$ 이고  $i, j = 1, 2, \dots, L$ 이다. 이때 각  $B_i$ 를  $\Pi$ 의 블럭이라고 한다.

[定義 2]  $S$ 에 대하여  $\Pi$ 가 한개의 블럭을 가지면 1 分割이라 하고 각 블럭이 한개의 狀態를 가지면 0 分

\* 正會員, 光云工科大学 應用電子工學科  
The Department of Electronics, Kwangwoon Institute of Technology  
接受日字: 1978年 2月 8日

割이라 한다.

[定義 3]  $\Pi_\alpha$ 와  $\Pi_\beta$ 가  $S$ 의 分割일때 分割積  $\Pi_\alpha\Pi_\beta$ 는  $s_i \equiv s_j(\Pi_\alpha)$ ,  $s_i \equiv s_j(\Pi_\beta)$ 이면  $s_i \equiv s_j(\Pi_\alpha\Pi_\beta)$ 로 정의하고, 分割和  $\Pi_\alpha + \Pi_\beta$ 는  $s_k \equiv s_{k+1}(\Pi_\alpha)$  혹은  $s_k \equiv s_{k+1}(\Pi_\beta)$ 의 관계가 있는 일련의 狀態  $s_i = s_0, s_1, \dots, s_m = s_j$ 가 존재하면  $s_i \equiv s_j(\Pi_\alpha + \Pi_\beta)$ 로 정의한다. 여기서  $0 \leq k \leq m-1$ 이다. 두개의 狀態  $s_i, s_j$ 가  $\Pi$ 의 같은 블럭에 속하면  $s_i \equiv s_j(\Pi)$ 로 표시한다.

[定義 4] 다음 성질을 갖는 일련의 狀態  $s_i = s_0, s_1, \dots, s_m, s_{m+1} = s_j$ 가 있을때 두개의 狀態  $s_i, s_j$ 는 列의 關係  $s_i \equiv s_j(\Pi_c)$ 에 있다고 한다: 入力심벌  $I_\alpha, I_\beta$ 와 두개의 狀態  $s_k, s_{k+1}$ 에 대하여  $\delta(s_k, I_\alpha) = s_p$ 와  $s(s_{k+1}, I_\beta) = s_p$ 인 狀態  $s_p$ 가 존재한다. 여기서  $I_\alpha$ 와  $I_\beta$ ,  $s_p$ 와  $s_k$  혹은  $s_{k+1}$ 과는 같아도 되며  $k=0, 1, \dots, m$ 이다.  $s_i \equiv s_j(\Pi_c)$ 의 관계가 있는 두개의 狀態  $s_i, s_j$ 는 同一 블럭에 속하는데 이렇게 하여 얻은 分割을 列分割(column partition)  $\Pi_c$ 라 한다.

[定義 5] 다음의 성질을 갖는 일련의 狀態  $s_i = s_0, s_1, \dots, s_m, s_{m+1} = s_j$ 가 있을때 두개의 狀態  $s_i, s_j$ 는 行의 關係  $s_i \equiv s_j(\Pi_r)$ 에 있다고 한다. 入力심벌  $I_\alpha, I_\beta$ 와 두개의 狀態  $s_k, s_{k+1}$ 에 대하여  $(s_p, I_\alpha) = s_k$ ,  $\delta(s_p, s_\beta) = s_{k+1}$ 인 狀態  $s_p$ 가 존재한다. 여기서  $I_\alpha$ 와  $I_\beta$ ,  $s_p$ 와  $s_k$  혹은  $s_{k+1}$ 과는 같아도 되며  $k=0, 1, \dots, m$ 이다.  $s_i \equiv s_j(\Pi_r)$ 의 관계가 있는 두개의 狀態  $s_i, s_j$ 는 同一 블럭에 속하는데 이렇게 하여 얻은 分割을 行分割(row partition)  $\Pi_r$ 이라 한다.

[定理 1] 두개의 狀態  $s_i$ 와  $s_j$ 가  $\Pi_c$ 의 다른 블럭에 속한다고 하자. 그러면  $\delta(s_i, I_\alpha) = s_j$ ,  $\delta(s_j, I_\beta) = s_p$ 일때  $s_\alpha, s_\beta$ 는  $\Pi_r$ 의 다른 블럭에 속한다. 다시 말해서  $s_i \not\equiv s_j(\Pi_c)$ 이면  $s_\alpha \not\equiv s_\beta(\Pi_r)$ 이다.

[定理 2] 狀態  $s_\alpha, s_\beta$ 가  $\Pi_r$ 의 다른 블럭에 속한다고 하자. 그러면  $\delta(s_i, I_\alpha) = s_\alpha$ ,  $\delta(s_j, I_\beta) = s_\beta$ 일때  $s_i, s_j$ 는  $\Pi_c$ 의 다른 블럭에 속한다. 즉  $s_\alpha \not\equiv s_\beta(\Pi_r)$ 이면  $s_i \not\equiv s_j(\Pi_c)$ 이다.

[定理 3] 주어진 入力에 대하여  $\Pi_c$ 의 각 블럭은  $\Pi_r$ 의 한개의 블럭으로 寫像한다. 그리고  $\Pi_c$ 의 각 블럭은  $\Pi_c$ 의 한개의 블럭에 의해서 寫像된다.

이와 같은 두 分割  $\Pi_c, \Pi_r$ 은 共寫像의 關係(CC, co-mapping chain)가 있다고 하며  $\{\Pi_c, \Pi_r\}$ 로 표시하고 分割雙(partition pair)을 이룬다고 한다.

[定理 4]  $\{\Pi_\alpha, \Pi_\alpha'\}$ 와  $\{\Pi_\beta, \Pi_\beta'\}$ 가 共寫像이면  $\{\Pi_\alpha + \Pi_\beta, \Pi_\alpha' + \Pi_\beta'\}$ 도 같은 성질을 갖는다.

### 3. 分割과 쉬프트레지스터(SR)

SR의  $i$ 段  $J$ - $K$  Flip-Flop(FF)의 入力  $J_i(K_i)$ 는  $i-1$

段의 出力  $y_{i-1}(\bar{y}_{i-1})$ 과 직접 연결되므로 다음과 같이 정의할 수 있다.

[定義 6] FF  $i$ 와  $j$ 가  $J_j = y_i, K_j = \bar{y}_i$ 일때 이들은 SR의 關係가 있다고 한다.

[定義 7] 한개의 FF에 의하여 0으로 割當된 狀態들을 한 블럭에 1로 割當된 狀態들을 다른 한 블럭에 配列하면 두개의 블럭으로 된 分割  $\Pi$ 를 얻는다. 이것을 基本分割(EP, elementary partition)이라 한다.

[定理 5] FF  $i$ 와  $j$ 의 基本分割  $\Pi(y_i)$ 와  $\Pi(y_j)$ 가 共寫像의 관계가 있으면 FF  $i, j$ 는 SR의 관계가 있다.

[定義 8] 모든  $i < k$ 에 대하여 基本分割  $\Pi(y_i)$ 와  $\Pi(y_{i+1})$ 가 SR의 관계가 있다면  $k$ 개 FF의 集合  $y_i$ 은  $k$ 段의 SR( $k$ -SR)을 형성한다.

[定理 6] 주어진 順序回路  $M$ 의 分割  $\Pi_\alpha, \Pi_\beta$ 가 共寫像의 관계가 있다고 하자. 그러면  $\Pi_\alpha$ 는  $M$ 의 列分割  $\Pi_c$ 보다 크거나 같다.

[定理 7] 주어진 順序回路  $M$ 의 分割  $\Pi_\alpha$ 가 列分割  $\Pi_c$ 보다 크거나 같다고 하자. 그러면  $\Pi_\alpha$ 는 다른 分割  $\Pi$ 와 共寫像의 관계를 갖는다.

$k=2$ 인 최소共寫像(2-CC)는  $\Pi_c = \Pi_{2,1}$ 와  $\Pi_r = \Pi_{2,2}$ 이다. 일반적으로  $1 \leq i \leq k$ 에 대하여  $[\Pi_{k,i}, \Pi_{k,i+1}]$ 이면  $k$ 최소共寫像( $k$ -CC)을 이룬다.  $k \geq 3$ 인  $k-1$  CC가 生成되면  $k$ -CC는  $\Pi_{k,i} = \Pi_{k-1,i-1} + \Pi_{k-1,i}$ ,  $2 \leq i \leq k-1$

$[\Pi_{k,1}, \Pi_{k,2}]$ 로부터  $\Pi_{k,1}$ 을

$[\Pi_{k,k-1}, \Pi_{k,k}]$ 로부터  $\Pi_{k,k}$ 를 구하므로서 生成된다<sup>6)</sup>.

[定理 8]  $k$ -CC를 갖는 順序回路가 있다면 모든  $1 \leq i \leq k$ 에 대하여  $[\Pi_{k,i}, \Pi_{k,i+1}]$ 이다.

[定理 9]  $\{\Pi_i\}$ 가  $k$ -CC이면  $\Pi_i \geq \Pi_{k,i}$ 이다.

[定理 10]  $j \geq k$ 에 대하여  $\Pi_j \geq \Pi_{k,j}$ 이면 唯一한  $k$ -CC인  $\{\Pi_i\}$ 가 존재한다<sup>6)</sup>.

$k$ -CC가 주어졌을때  $\{\Pi_i\}$ 는  $\Pi_i \geq \Pi_{k,1}$ 으로부터 [定理 10]에 의하여 唯一하게 주어진다. 이때  $\Pi_i$ 을 種分割(seed partition)이라 한다. 따라서  $k$ -CC나  $k$ -SR을 간단하게 種分割로 表示한다.

### 4. 基本分割의 선택

分割  $\Pi_{k,1}$ 이  $L$ 블럭을 갖는다면 이들중에서 2개를 結合하여  $L-1$ 블럭을 갖는 基底分割(BP, basis partition), 3개를 結合하여  $L-2$ 블럭을 갖는 分割, ..., 2개의 블럭을 갖는 基本分割(EP, elementary partition)들을 구할 수 있다.  $\Pi_{k,1}$ 이 갖는 BP의 數는  $\frac{1}{2}L(L-1)$ 이고 EP의 數는  $2^{L-1}-1$ 이다. 그런데  $L$ 이 크면  $\frac{1}{2}L(L-1) \ll 2^{L-1}-1$ 이므로 적은 數의 BP를 고려함으로써 適合한 EP를 구하는 것이 더욱 효과적이다.

順序回路를 實現하기 위한 쉬프트 레지스터의 選擇에 關하여

BP3 : 0-----00- 0-----00-  
0-----11- 0-----11-

과 같다.

2p, 2p+1번째 비트에 가능한 組合(00, 01, 10, 11)이 모두 포함되고 2, , 2p-1과 2p+2, ..., L비트는 d이므로 2<sup>L-1</sup> EP를 모두 포함한다.

L=1, L=2일 때는 BPP가 존재하지 않고 L=3일 때 부터 L이 2씩 증가할 때 BPP가 하나씩 증가 하므로  $\lfloor \frac{L-2}{2} \rfloor$ 이다. (증명 끝).

[定理13] BP의 두集合 A, B가 BPP와 다른 BP를 포함할때 集合 A는 다른 BP를 제외한 BPP의 要素들만의 集合으로 간단화 할 수 있다.

(증명) BP1, BP2 ∈ A, BP3, BP4 ∈ B라 할 때 BP1, BP2, BP3에 대한 ISEP는 다음과 같다.

ISEP1=0-----01--, ISEP2=0-----10--, ISEP3=0-----11--, ISEP1, ISEP2, ISEP3에 共通 0-----00--. 만약 集合 A가 다른 BP를 要素로 가지며 그 BP보다 크거나 같은 EP의 集合을 EP'라 한다. EP'의 要素들은 ISEP1, ISEP2, ISEP3에 分布되므로 EP1' ⊆ ISEP1, EP2' ⊆ ISEP2, EP3' ⊆ ISEP3이고 EP' = {EP1' ∪ EP2' ∪ EP3'}이다. 0-----00--에 속하는 EP'의 要素는

ISEP1, ISEP2, ISEP3에 公同으로 集合 A, B에 公同이므로 集合 F에 부적합하다. 0-----10--, 0-----11--에 속한 EP'의 要素들은 ISEP2, ISEP3가 集合 B의 것이므로 마찬가지로 F에 부적합하다. 그러므로 集合 A의 어느 BP들의 EP'는 모두 ISEP1에 포함된다. 따라서 A는 BPP의 要素만으로 간단화 된다. (증명 끝)

集合 B에 어느 BPP의 세 要素가 존재하면 모든 2<sup>L-1</sup>-1 EP가 B의 要素가 되어 F=φ이다. 그렇지 않고 BPP의 세 要素가 두 集合 A, B에 分布되어 있으면 A에서 BPP의 要素 이외의 다른 BP는 제거한다. 그리고 나서 간단화 된 A와 集合 B에 關하여 <알고리즘 1>을 적용하여 E를 구한 다음 F를 구한다.

$$A = \begin{Bmatrix} 01010, 01001, 11000 \\ 00110, 00101 \end{Bmatrix}$$

$$B = \{10100, 01100\}$$

에서 L=5이므로 BPP1={11000, 10100, 01100}, BPP2={10010, 10001, 00011}이다. 두 集合 A, B는 BPP1의 세 要素를 포함하고 있으므로 A={11000}, B={10100, 01100}로 된다. 集合 A의 EP 集合은 E={00---}이고 B의 EP의 集合은 E={000--, 010--, 011---}이다. 따라서

$$EPA = \begin{Bmatrix} 00001, 00100 \\ 00010, 00101 \\ 00011, 00110 \\ 00111 \end{Bmatrix}$$

$$EPB = \begin{Bmatrix} 00001, 01000, 01100 \\ 00010, 01001, 01101 \\ 00011, 01010, 01110 \\ 01011, 01111 \end{Bmatrix}$$

이므로 F는

$$F = \{00100, 00101, 00110, 00111\}$$

이다.

<알고리즘 2>

[定理14] 주어진 BP에 대하여 EP ≥ BP인 基本分割 EP는 BP의 한 1비트에 대응하는 EP의 비트의 論理値는 0, 다른 한 1비트에 대응하는 EP의 비트의 論理値는 1, 나머지 0비트에 대응하는 EP의 비트의 論理値는 d를 갖는다. 그러한 EP는 모두 2<sup>L-2</sup>개가 있다.

(증명) [定理11]과 같은 方法으로 증명된다. BP의 두 1비트에 대응하는 EP의 論理値를 다르게 하면 EP의 두 블럭은 B0 ⊇ c, M, B1 ⊇ j, N 혹은 B0 ⊇ j, M, B1 ⊇ c, N과 같이 하여 生成된다. BP에서 한 블럭이던 c, j가 EP의 다른 두 블럭에 속하므로 EP ≥ BP이다. 두 경우 모두 L-3비트의 組合이므로 2 × 2<sup>L-3</sup> = 2<sup>L-2</sup>개 EP가 존재한다(증명 끝).

BP=01010 일때 EP ≥ BP인 EP는 다음과 같다.

$$ISEP=00-1- \quad EP = \begin{Bmatrix} 00010, 00011 \\ 00110, 00111 \end{Bmatrix}$$

$$ISEP=01-0-, \quad EP = \begin{Bmatrix} 01000, 01100 \\ 01001, 01101 \end{Bmatrix}$$

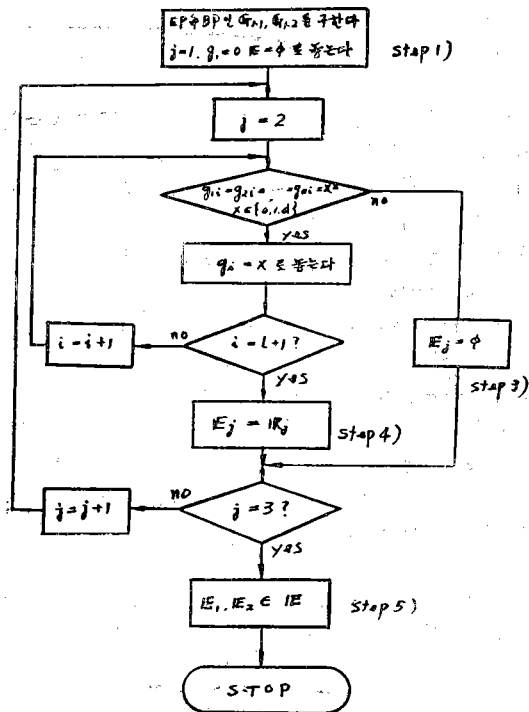


그림 2. 基本分割을 選擇하는 알고리즘 2  
Fig.2. another EP selection algorithm 2.

〈알고리즘 1〉은 각  $C_i (2 \leq i \leq L)$ 에 대하여 새로운 메이트릭스  $G_{i,1}$ 를 구한다. 이러한 과정을 피할 수 있는 방법으로 [定理14]를 利用한다. 이 방법은 두 메이트릭스  $G_{1,1}, G_{1,2}$ 의  $i$ 번째 레메이트릭스  $C_i$ 의 논리치에 따라  $EP \geq BP_1, BP_2, \dots, BP_n$ 인 EP  $R = [g_1, g_2, \dots, g_n]$ 을 구한다.

〈그림2〉는 〈알고리즘 2〉를 보였다. step1)은 각 BP에 대하여  $EP \geq BP$ 인 ISEP의 메이트릭스  $G_{1,1}, G_{1,2}$ 를 구한다. ISEP의 첫 비트는 모두 0이므로  $g_1 = 0$ 이다. step2)는  $EP \geq BP_1, BP_2, \dots, BP_n$ 인 EP 가 존재하기 위해서는  $C_i$ 의 모든 要素가 同一 論理值를 가질 수 있어야 한다. 0, 1,  $d$ 를 각 요소의 論理值가 0, 1,  $d$ 인 레메이트릭스라 하자.  $C_i$ 의 어느 要素가  $d$ 일때, 모든 요소가 同一 論理值가 되도록  $d$ 를 規制하면  $C_i = 0$  혹은 1 이고,  $C_i$ 의 모든 요소가  $d$ 이면  $C_i = d$ 이다. 그러므로  $C_i = 0$ 이면  $g_i = 0$ ,  $C_i = 1$ 이면  $g_i = 1$ ,  $C_i = d$ 이면  $g_i = d$ 로 하여  $R$ 을 얻을 수 있다. step3)은 그렇지 않는 경우로서  $EP \geq BP$ 인 EP를 갖는다. step4)는  $G_{1,1}$ 과  $G_{1,2}$  각각에 대하여 구한 EP의 集合  $E$ 이다.

앞의 例의 두 集合  $A, B$ 에 대하여  $EP \geq BP_1, BP_2, \dots, BP_n$ 인 EP를 구한다. 먼저 集合  $A$ 에 대하여 구하면 다음과 같다.

$$1) \quad G_{1,1} = \begin{pmatrix} 01--- \\ 01-0- \\ 01-0- \\ 0-10- \\ 0-1-0 \end{pmatrix} \quad G_{1,2} = \begin{pmatrix} 01--- \\ 00-1- \\ 00--1 \\ 0-01- \\ 0-0-1 \end{pmatrix}$$

2), 4)  $E_1 = \{01100\}$

3)  $E_2 = \phi$

5)  $E = \{01100\}$

$B$ 에 대하여 구하면 다음과 같다.

$$1) \quad G_{1,1} = \begin{pmatrix} 0-1-- \\ 001-- \end{pmatrix} \quad G_{1,2} = \begin{pmatrix} 0-1-- \\ 010-- \end{pmatrix}$$

2), 4)  $E_1 = \{00, --\}$

3)  $E_2 = \phi$

5)  $E = \{001--\}$

〈알고리즘 1〉에 의하여 集合  $A$ 의 요소인 어느 BP보다 크거나 같고 集合  $B$ 의 요소인 모든 BP보다 크거나 같지 않는 EP를 구하는 것은, 〈알고리즘 2〉에 의하여는 모든 BP에 대하여  $EP \geq BP$ 인 EP를 구하는 것이므로, 集合  $A$ 의 要素인 모든 BP보다 크지도, 같지도 않는 集合  $B$ 의 要素인 어느 BP보다 크거나 같은 EP를 구하는 것과 같다.

위의 結果로 부터

$$EPA = \{01100\}$$

$$EPB = \{00100, 00101, 00110, 00111\}$$

이고 EPA와 EPB는 같은 EP를 갖지 않으므로  $F$ 는

$$F = \{00100, 00101, 0110, 00111\}$$

이다.

각 EP는  $\Pi_{k,1}$ 의 種分割로서 [定理 10]에 의하여  $k$ -CC인  $\{\Pi_i\}$ 가 존재한다.

### 5. 結 論

주어진 順序回路的 狀態表로부터 최소  $k$ -CC를 얻은 다음 이로부터  $k$ -SR을 구한다.  $k$ -CC의 分割  $\Pi_{k,1}$ 이  $L$ 블럭을 갖는다면 모두  $2^{L-1} - 1$ 개의  $k$ -SR이 존재하며 이들중에서 가장 적합한 것을 선택하여야 한다. 대체로  $L$ 이 증가함에 따라  $k$ -CC의 種分割EP의 數는  $2^{L-1} - 1$ 로 지수 함수적으로 증가하나 BP의 數는  $\frac{1}{2}L(L-1)$ 로서 대략  $\frac{1}{2}L^2$ 로 증가한다. 따라서 EP에 비하여 훨씬 적은 數의 BP를 고려함으로써, 주어진 조건을 만족하는 EP를 구하는 알고리즘에 관하여 論했다.

〈알고리즘 1〉은 [定理 11]을 기초로 하여  $EP \geq BP$ 인 ISEP의 메이트릭스를 구하고 이들 메이트릭스의 레메이트릭스의 don't care를 規制하여 새로운 메이트릭스를 生成한다. 그러한 과정에서 필요한 EP를 구하였다. 基底分割의 雙(BPP)을 정의하고 이것을 利用하면 주어진 BP의 集合  $A$ 가 BPP의 요소만을 갖게 되며 EP의 集合  $F$ 를 구하는 절차도 간단화 되었다. 〈알고리즘 2〉는  $EP \geq BP$ 인 ISEP로 된 메이트릭스  $G_{1,1}, G_{1,2}$ 만을 고려한다.  $C_i \in \{0, 1, d\} (2 \leq i \leq L)$ 이면  $EP \geq BP_1, BP_2, \dots, BP_n$ 인 ISEP가 두 메이트릭스로 부터 生成되었다. 이것은 〈알고리즘 1〉보다 간단하다.

위와 같은 알고리즘은 단순한 비트의 비교 및 처리에 의해서 種分割을 구하므로 극히 간단하여  $k$ -SR을 선택하는 프로그램에 용이 할 것이다.

### 參 考 文 獻

1. A. J. Nichols, "Minimal Shift-Register Realizations of Sequential Machines," IEEE Trans. Comput. Vol. EC-14, pp.688-700, Oct. 1966.
2. C. C. Su, and S. S. Yau, "Unitary Shift-Register Realizations of Sequential Machines," IEEE Trans. Comput. Vol. C-17, pp.312-324, Apr. 1968.
3. W. A. Davis, "Single Shift-Register Realizations of Sequential Machines," IEEE Trans. Comput. Vol. C-17, pp.421-431, May, 1968.
4. D. L. Johnson, and K. H. O'keefe, "The Application of Shift-Register to Secondary Assignment; part I, II," IEEE Trans. Comput. Vol. C-17, pp.954-977, Oct. 1968.
5. H. C. Torng, and J. Zalewski, "On Implementing Sequential Circuits with Shift-Registers." IEEE

順序回路를 實現하기 위한 쉬프트 레지스터의 選擇에 관하여

- proc.Lett. Vol.58, pp.1394-1395, Sep.1970.      Multiple Shift-Register Realizations of Sequenti  
6. W.D. Roome, and H.C. Torng, "Algorithms fo      Machines," IEEE Trans. Comput. Vol. C-22, pp  
933-943, Oct. 1973.