

PMOS 集積回路 製作技法을 사용한 Seven Segment Decoder/Driver의 設計와 製作 (Design and Fabrication of a Seven Segment Decoder/Driver with PMOS Technology)

金 忠 基*, 林 亨 圭**
(Kim, Choong Ki, and Rim, Hyung Gyu)

要 約

Medium scale 集積回路인 BCD to seven segment decoder/driver를 P-channel Metal-Oxide-Semiconductor 集積回路 製作 技法으로 設計, 製作하였다. 本 素子는 특별히 common cathode seven segment light emitting diode에 적합하도록 設計되었다. decoder logic은 직렬로 연결된 두 개의 Read-Only-Memory로 구성되어 있으며 driver로는 channel이 넓은 FET를 사용하였다. 製作된 集積回路는 전원 전압이 -7 volt에서 -26 volt까지 변화할 때 정상적으로 동작하였으며 LED各 segment 電流의 non-uniformity는 약 $\pm 10\%$ 이었다.

Abstract

A medium scale integrated circuit, BCD to seven segment decoder/driver is designed and fabricated by employing P-channel metal-oxide-semiconductor technology. The device configuration is specifically designed for a common cathode seven segment LED display unit. The decoder logic is composed of two serially connected read-only-memory matrices and the LED drivers are implemented with wide channel FET's. The fabricated integrated circuit performed successfully with a supply voltage between -7 Volt and -26 Volt and the non-uniformity of the LED segment current is about 10%.

1. 序 論

Seven segment LED는 전자시계, 휴대용 계산기, 각종 계측기 등과 같은 산업용, 민생용 전자장치에 광범위하게 쓰이는 Display 素子이다. 이 素子를 사용하기 위하여는 2진법으로 표시된 數字를 decode하여 display 素子의 각 segment에 電流를 흘려주는 decoder/driver가 필요하다. 일반적으로 decoder/driver는 TTL이나 CMOS를 사용하여 제작하고 있다. 이러한 素子들은 +5 Volt로 동작하기 때문에 사용하기에는 편리하나 그 제작 공정은 Mask를 5개 내지 6개를 사용하는 복잡한 것이다. 본 논문에서는 PMOS 集積回路製作技法을 사용하여 common cathode LED display를 동작시킬 수 있는 decoder/driver를 設計, 製作하였다. PMOS는 TTL이나 CMOS보다 製作工程이 간단한 長點이 있으나 동작 속도가 늦은 短

點이 있다. 그러나 사람의 눈이 LED의 表示를 感知할 수 있는 속도에 PMOS로 얻을 수 있는 μsec 정도의 속도로 훨씬 미치지 못하기 때문에 PMOS로써도 decoder/driver에서 필요한 충분한 속도를 얻을 수 있다.

2. 回路의 設計

BCD to seven segment decoder/driver는 binary decoded decimal 입력을 seven segment로 변환시키는 decoder와 decode된 신호에 따라 LED segment에 適正電流를 흘려주는 driver로 구성된다. Common cathode LED의 segment assignment와 數字의 모양은 그림 1의 (a)와 같으며 이에 따르는 진리표는 그림 1의 (b)와 같다. 진리표로부터 각 segment에 대한 논리함수를 구하면 아래와 같이 된다.

$$a = A\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD$$

$$b = A\bar{B}C\bar{D} + \bar{A}BC\bar{D}$$

$$c = \bar{A}B\bar{C}\bar{D}$$

$$d = A\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D} + ABC\bar{D} + A\bar{B}C\bar{D}$$

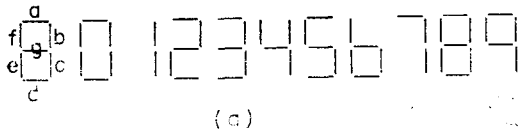
$$e = A\bar{B}\bar{C}\bar{D} + ABC\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + ABCD + A\bar{B}C\bar{D}$$

*正會員, 韓國科學院 電氣 및 電子工學科

**正會員, 三星半導體(주)

(*Dept. of Electrical Science, KAIS, and **Samsung Semiconductor, Inc.)

接受日字: 1978年 4月 17日



BCD	BCD				LED Segment						
	B	C	D	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1	1	0	0

(b)

그림 1. (a) LED의 segment assignment와 숫자의 모양

(b) BCD to seven segment decoder의 진리표 “0”은 ON, “1”은 OFF를 뜻한다.

Fig. 1. (a) Segment assignment of a LED and the shape of the numbers.

(b) Truth table for the BCD to seven segment decoder. “0” means that the segment is ON while “1” means that the segment is OFF.

$$f = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD$$

$$g = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D} \quad (1)$$

위의 식에서,

$$P_0 = \overline{A}\overline{B}\overline{C}\overline{D} \quad P_3 = \overline{A}\overline{B}\overline{C}D$$

$$P_1 = \overline{A}\overline{B}C\overline{D} \quad P_6 = \overline{A}\overline{B}CD$$

$$P_2 = \overline{A}\overline{B}C\overline{D} \quad P_7 = \overline{A}\overline{B}CD$$

$$P_3 = \overline{A}\overline{B}\overline{C}\overline{D} \quad P_9 = \overline{A}\overline{B}\overline{C}D$$

$$P_4 = \overline{A}\overline{B}C\overline{D} \quad (2)$$

로 놓으면 논리함수는 다음과 같이 된다.

$$a = \overline{P}_1\overline{P}_4\overline{P}_6$$

$$b = \overline{P}_3\overline{P}_6$$

$$c = \overline{P}_2$$

$$d = \overline{P}_1\overline{P}_4\overline{P}_7\overline{P}_9$$

$$e = \overline{P}_1\overline{P}_3\overline{P}_4\overline{P}_5\overline{P}_7\overline{P}_9$$

$$f = \overline{P}_1\overline{P}_2\overline{P}_3\overline{P}_7$$

$$g = \overline{P}_0\overline{P}_1\overline{P}_7 \quad (3)$$

식 (2)와 (3)은 Read-Only-Memory(ROM)으로서 쉽게 구현될 수 있다. 예를 들어서 그림 2와 같이 ROM

을 구성하면 Q_0, Q_1, Q_2 는 다음과 같이 된다.

$$Q_0 = \overline{A}\overline{B} \quad Q_1 = \overline{A}\overline{B} \quad Q_2 = \overline{A}\overline{B} \quad (4)$$

따라서 $A, B, C, D, \overline{A}, \overline{B}, \overline{C}, \overline{D}$ 를 입력으로 하고 식 (2)의 $P_i (i=0, 1, 2, \dots, 9; i \neq 8)$ 을 출력으로 하는 ROM을 그림 2와 유사한 방법으로 구성할 수 있으며, 또한 $P_i (i=1, 2, \dots, 9; i \neq 8)$ 을 입력으로 하고 a, b, c, \dots, g 를 출력으로 하는 ROM도 같은 방법으로 구성할 수 있다.

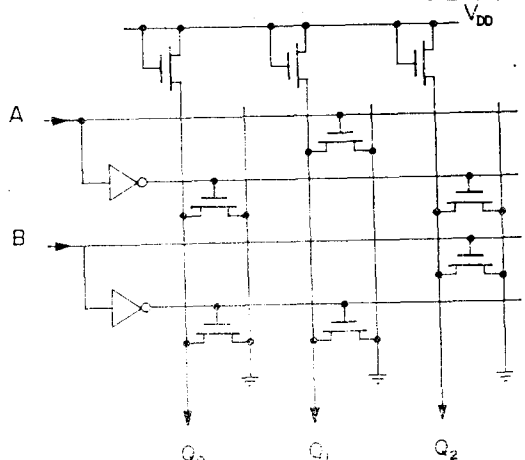


그림 2. Read-Only-Memory의 한 예

$$Q_0 = \overline{A}\overline{B}, \quad Q_1 = \overline{A}\overline{B}, \quad Q_2 = \overline{A}\overline{B}$$

Fig. 2. An example of a Read-Only-Memory

$$Q_0 = \overline{A}\overline{B}, \quad Q_1 = \overline{A}\overline{B}, \quad Q_2 = \overline{A}\overline{B}$$

LED driver는 그림 1에서 표시한 바와 같이 논리 “0”에서 LED에 電流를 흘려 주도록 설계 되어야 한다. PMOS 접적회로에서 Positive logic으로 논리 “0”은 큰 負電壓을, 논리 “1”은 작은 負電壓을 나타낸다. PMOS Field-Effect Transistor(FET)에서는 gate에 큰 負電壓이 加해졌을 때 Source와 drain간에 電流가 흐르게 된다. 따라서 LED driver는 그림 3과 같이 간단하게 구현될 수 있다. 그림 3에서 LED에 電

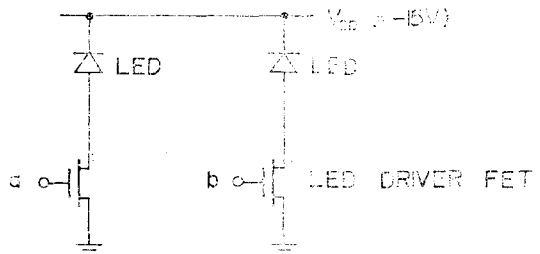


그림 3. LED driver 회로

(a, b가 “0”, 즉 큰 부전압(負電壓)이면 LED에는 전류가 흐른다.)

Fig. 3. LED driver circuit. (Current flows through LED when a, b are in the “0” state, i.e., large negative voltage.)

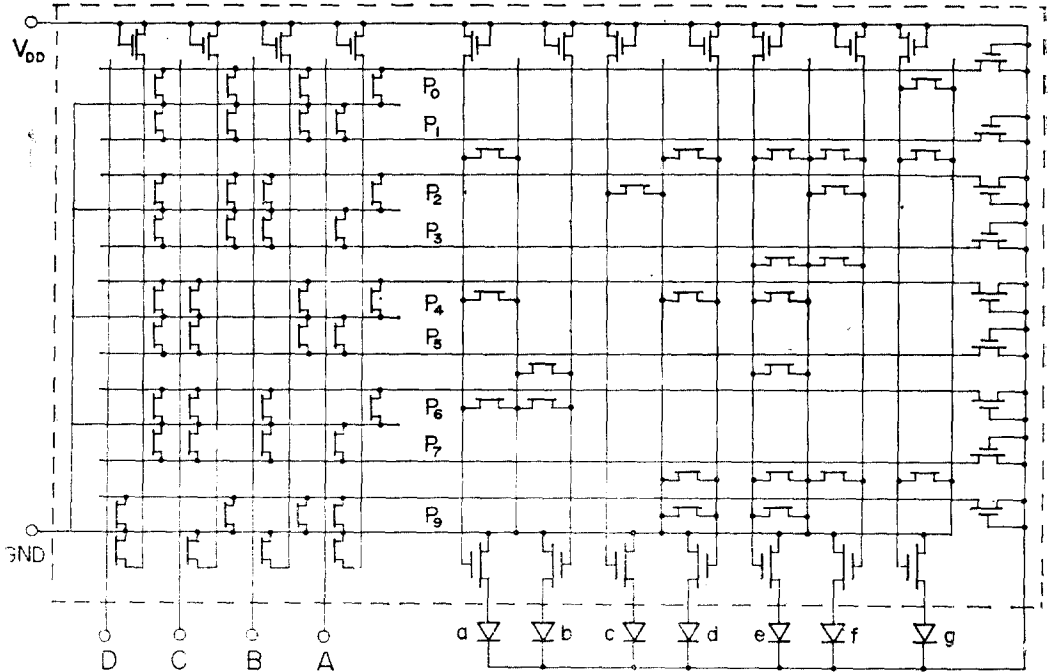


그림 4. PMOS seven segment decoder/driver 회로도

Fig. 4. Circuit diagram for the PMOS seven segment decoder/driver

流가 흐를 때 LED driver FET 는 포화 영역에서 동작하게 되며 LED 에 흐르는 電流, I_D 는,

$$I_D = \frac{\mu_p C_0}{2} \frac{Z_D}{L_D} (V_{in} - V_T)^2 \quad (5)$$

로 표시된다. 여기에서 μ_p 는 hole의 surface mobility, C_0 는 gate를 형성하는 산화막의 단위 면적당 캐패시턴스, Z_D 는 gate의 폭, L_D 는 source와 drain간의 거리, V_{in} 은 gate에 가해지는 큰 負電壓이고 V_T 는 threshold 전압이다. LED를 충분히 밝게 켜 주려면 약 10mA의 전류가 LED segment에 흘러야 한다. 식 (5)에서 LED에 흐르는 전류는 $\frac{Z_D}{L_D}$ 에 비례하므로 LED driver FET의 크기를 적당히 선택함으로써 LED에 適正電流를 흐르도록 할 수 있다. 이와 같이 設計된 회로도를 그림 4에 보였다.

3. 回路의 製作

그림 4에 보인 회로를 하나의 集積回路로서 製作하기 위하여는 먼저 회로에 대한 Mask를 設計, 製作하여야 한다. Mask는 일반적으로 Mask 제작에 사용되는 사진기의 성능, 제작공정(fabrication process)의 한계, 그리고 회로의 요구 조건을 고려하여 설계된다. 본 실험에서는 한국 과학원에서 제작한 Mask 제작기를 사용하여 Mask를 제작하였다. 이 Mask 제작기로는 $10\mu\text{m}$ 의 폭을 가진 線과 $10\mu\text{m} \times 10\mu\text{m}$ 크기의 contact

window를 어려움 없이 얻을 수 있다. 칩(chip)의 제작공정으로는 結晶 방향이 (100)인 wafer를 사용하는 Al-gate PMOS 제작 공정을 이용하였다. 이 경우 gate 산화막의 두께는 1000\AA , Field 산화막의 두께는 $1\mu\text{m}$, Q_{ss}/q (fixed surface state charge)는 약 10^{11}cm^{-2} 이 된다. MOS 트랜지스터의 threshold 전압, V_T 는,

$$V_T = \phi_{MS} - \frac{Q_{ss}}{C_0} + 2\phi_F - \frac{Q_{B(\max)}}{C_0} \quad (6)$$

로 표시되며¹⁾ 이때 ϕ_{MS} 는 전극 알루미늄과 n-type substrate 간의 일함수의 差, C_0 는 산화막에 의한 단위 면적당 캐패시턴스, ϕ_F 는 n-type substrate의 Fermi 준위, $Q_{B(\max)}$ 는 포면에 inversion layer가 형성되었을 때 空間 電荷 領域內的 電荷를 표시한다. n-type substrate의 불순물 농도를 $4 \times 10^{15} \text{atoms/cm}^3$ 으로 선택하면 식 (6)으로부터 MOS gate의 threshold 전압과 field 산화막에 대한 threshold 전압은 각각 아래와 같이 계산된다.

$$V_T(\text{MOS gate}) = -2.3 \text{ Volt}$$

$$V_T(\text{field oxide}) = -14 \text{ Volt} \quad (7)$$

이와 같은 threshold 전압은 製作된 集積回路가 -15 Volt 정도로 동작하기에 적합한 값이므로 본 실험에서는 substrate의 불순물 농도를 $4 \times 10^{15} \text{atoms/cm}^3$ 으로 결정하였다.

그림 4의 ROM Matrix는 여러개의 MOS NAND

gate 로 구성되어 있으며 NAND gate 의 동작은 threshold 전압과 NAND gate 의 beta-ratio(β_R)에 의하여 결정된다.²⁾

$$\beta_R = \frac{\left(\frac{Z}{L}\right)_{\text{driver}}}{\left(\frac{Z}{L}\right)_{\text{load}}} \quad (8)$$

본 실험에서는,

$$\left(\frac{Z}{L}\right)_{\text{driver}} = 5.0$$

$$\left(\frac{Z}{L}\right)_{\text{load}} = 0.2 \quad (9)$$

로 선택하였다. 이때 NAND gate 의 logic level 은,
 $V_{\text{LOW}} = -9.7 \text{ Volt}$
 $V_{\text{HIGH}} = -0.42 \text{ Volt}$ (10)

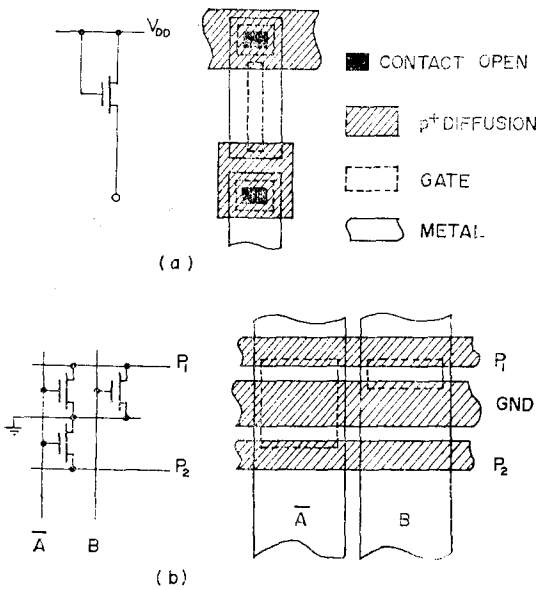


그림 5. ROM matrix 의 cell layout
 (a) Load FET 의 layout
 (b) Driver FET layout

Fig. 5. Layout of a cell in the ROM matrix.
 (a) Layout of the load FET
 (b) Layout of the driver FET

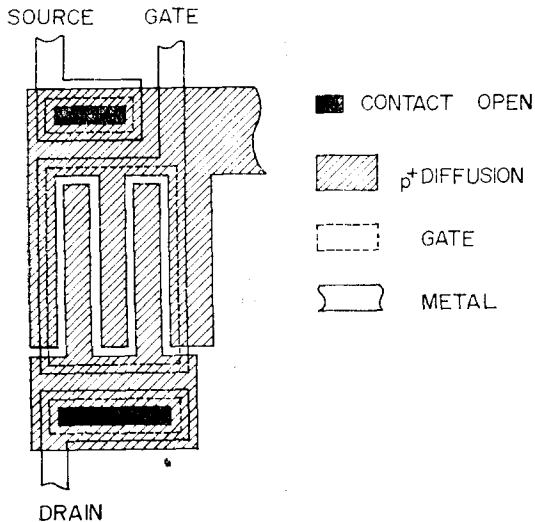


그림 6. LED driver FET 의 layout
 Fig. 6. Layout of the LED driver FET.

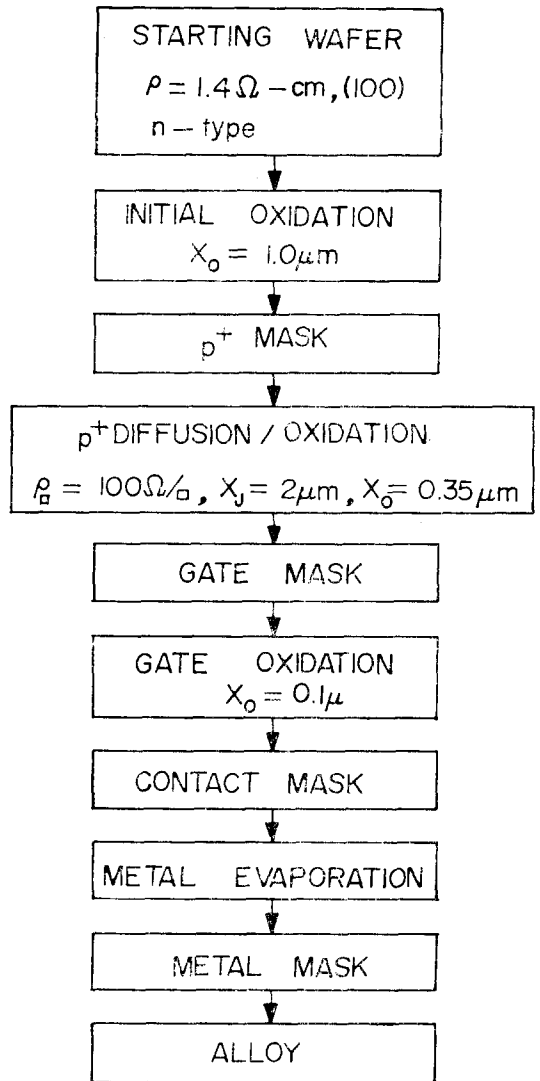


그림 7. 설계된 집적회로의 제조공정
 Fig. 7. Fabrication sequence of the integrated circuit.

로 계산되며 이 값은 식 (7)에서 결정된 MOS gate 의 threshold 전압과 함께 NAND gate 의 동작이 정상적 이 될 것을 보여 준다.

LED driver FET 의 크기는 LED 에 흐르는 전류에 의하여 결정된다. 식 (5)에서

$$\begin{aligned} \mu_p &= 130\text{cm}^2/\text{volt}\cdot\text{sec}^3) \\ V_{in} &= V_{Low} = -9.7\text{ Volt} \\ V_T &= -2.3\text{ Volt} \end{aligned}$$

로 놓으면 10mA 를 얻기 위한 $\frac{Z}{L}$ 의 값은 약 80이 된다. 그러나 이 FET 에는 큰 전류가 흐르므로 P+ 확산에 의한 source 의 저항에 의하여 전류는 감소될 것이 예측된다. 이러한 이유로 본 실험에서는 LED driver FET 의 $\frac{Z}{L}$ 을 120으로 선택하였다. 그림 5와 그림 6은 이상의 결과를 종합한 ROM Matrix의 cell layout 과 LED driver FET 의 layout 이다. 칩(chip)전체의 layout 에 사용된 design rule 은 표 1에 보인 바와 같으며 이 design rule 을 사용하여 설계된 칩(chip)의 크기는 2.15mm×1.65mm 이었다. 칩(chip)의 제조(fabrication)는 그림 7의 공정표에 따라 제작하였다. 이 공정은 PMOS FET 의 표준 제조공정⁴⁾이므로 자세한 설명한 략하기로 한다. 그림 8은 완성된 칩(chip)의 현미경 사진이다.

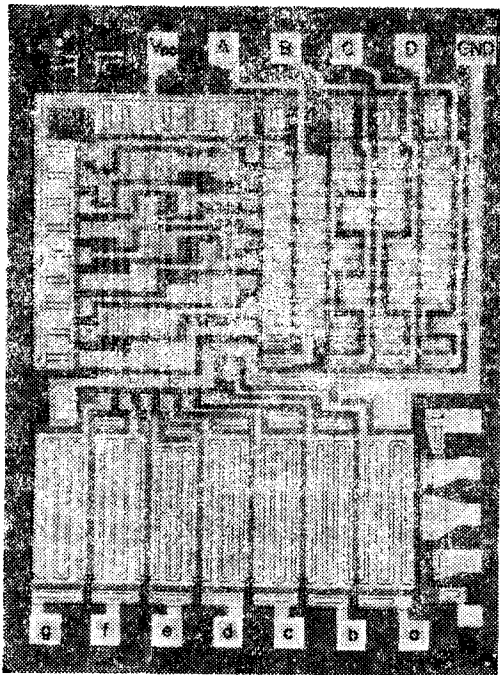


그림 8. 제작된 집적회로의 현미경 사진
Fig. 8. Microphotograph of the fabricated integrated circuit.

표 1. Chip layout 에 사용된 design rule
Table 1. Design rules for the chip layout.

Parameter	Minimum Dimension
P+ 확산의 폭	20 μ
알루미늄의 폭	20 μ
gate 의 크기	15 μ ×75 μ
contact 의 크기	15 μ ×20 μ
두 선간의 간격	15 μ
overlap 거리	5 μ
Pad 의 크기	100 μ ×100 μ

4. 測定 및 檢討

製作된 集積回路가 성공적으로 동작하기 위하여는 우선 NAND gate 를 구성하고 있는 inverter 가 정상적으로 동작하여야 한다. 그림 9는 ROM Matrix 의 입력부분에 있는 inverter 의 DC-transfer 특성이다. 이 특성에서 inverter 의 출력 전압으로부터

$$\begin{aligned} V_{HIGH} &\simeq -1\text{ Volt} \\ V_{LOW} &\simeq -9\text{ Volt} \end{aligned}$$

임을 볼 수 있다. 이러한 logic level 은 설계값인 $V_{Low} = -9.7\text{ Volt}$, $V_{HIGH} = -0.42\text{ Volt}$ 와 거의 일치함을 볼 수 있다. Input inverter 의 switching 특성은 그림 10에 보인 바와 같다. Inverter 의 출력 전압으로부터 rise time 은 5 μsec 보다 짧고 fall time 은 약 20 μsec 로 상당히 긴 것을 알 수 있다. 이것은 inverter 의 load 와 driver 의 $\left(\frac{Z}{L}\right)$ 의 차이에서 나타나는 것으로 logic level 을 정상적으로 하기 위해서는 피할 수

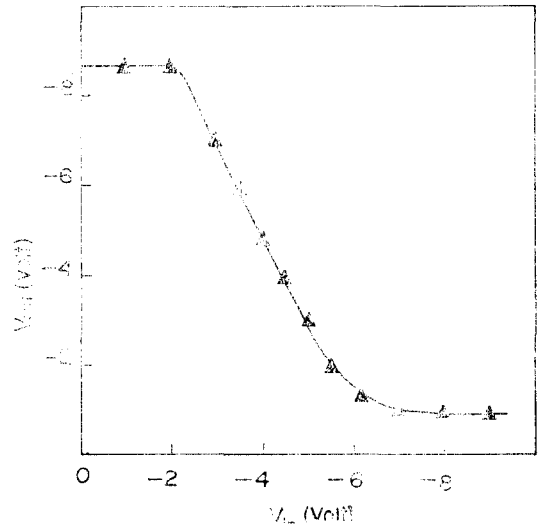


그림 9. Input inverter 의 DC transfer 특성
Fig. 9. DC-transfer characteristics of the input inverter.

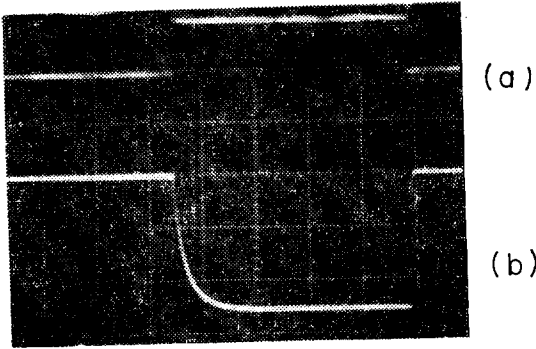


그림 10. 입력 inverter 의 스위칭 특성
 (a) 입력파형 Vertical scale : 5 Volt/div
 Horizontal scale : 50 μ sec/div
 (b) 출력파형 Vertical scale : 2 Volt/div
 Horizontal scale : 50 μ sec/div

Fig. 10. Switching characteristics of the input inverter.

(a) input waveform Vertical scale : 5Volt/div.
 Horizontal scale : 50 μ sec/div
 (b) output waveform Vertical scale : 2 Volt/div
 Horizontal scale : 50 μ sec/div

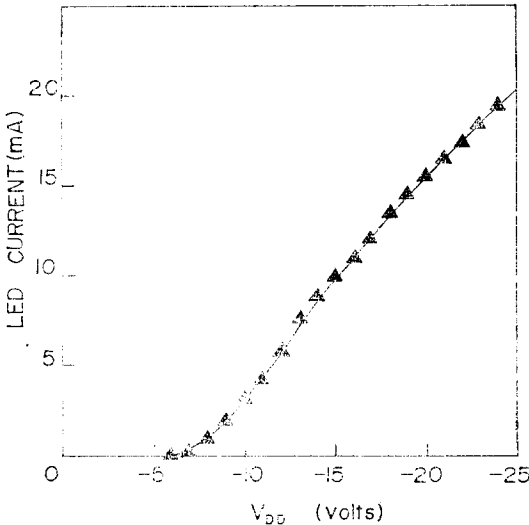


그림 11. 전원 전압에 따른 LED 전류의 변화
 Fig. 11. LED current versus supply voltage.

표 2. LED 각 segment 의 전류 ($V_{DD} = -15$ Volt)
 Table 2. Variation of LED Segment Current.
 ($V_{DD} = -15$ Volt)

Segment	a	b	c	d	e	f	g
전류 (mA)	11.6	11.5	11.1	10.0	9.2	10.7	11.5

없는 현상이다.

LED driver FET 가 LED 의 각 segment 에 흘러주는 전류는 그림 11에 보인 바와 같이 전원전압에 따라 증가하였다. 이것은 전원 전압이 증가함에 따라 $V_{L,w}$ 의 값이 점점 큰 負電壓으로 증가하기 때문이라고 생각된다. 전원전압이 -15 Volt 일 때 LED 각 segment 에 흐르는 전류는 표 2와 같다. 표 2에서 segment 'e' 에 흐르는 전류가 다른 segment 에 흐르는 전류에 비해 적은 것은 그림 8에서 볼 수 있는 바와 같이 segment 'e' 를 drive 하는 FET 의 크기가 다른 FET 보다 작기 때문이다. Segment 전류의 non-uniformity 는 약 $\pm 10\%$ 이었으나 이에 따른 LED segment 의 밝기의 차이는 눈으로 感知할 수 없을 정도이었다.

Decoder logic 의 동작은 TTL 을 사용하여 counter 를 제작하고 본 실험에서 製作한 集積回路를 이용하여 LED를 display함으로써 확인하였다. Decoder logic 은 전원전압이 -7 Volt 에서 -26 Volt 까지 변화할 때 계속 정상적으로 동작하였다. 전원전압이 field threshold 전압보다 높을 때 decoder logic 이 정상적으로 동작하는 것은 field 에 channel 이 형성되어도 그 channel 의 저항이 크기 때문이라고 생각된다.

5. 結 論

Seven segment LED 의 display 에 필요한 BCD t_0 seven segment decoder/driver 를 設計, 製作하였다. PMOS 集積回路製作技法을 사용하여 제작이 비교적 간편하였다. LED driver 는 -15 Volt 의 전원에서 10mA 의 전류를 LED 에 공급하여 LED 를 충분히 밝게 켜 주었다.

본 集積回路의 短點은 전원전압이 -15 Volt 이기 때문에 TTL 과 같이 사용하기가 불편하다는 점이다. 이 점은 PMOS 대신에 NMOS 를 사용하면 쉽게 해결할 수 있을 것이다.⁵⁾ 이 경우 inverter load 를 depletion mode 로서 동작시키면 동작속도도 상당히 개선될 것이다. 단지 NMOS 는 PMOS 보다 제작 방법이 복잡한 점을 留意하여야 될 것이다.

6. 謝 意

본 논문에서 사용한 Mask 제작기를 직접 제작하고 성능을 시험하여 주신 정진국, 서광석씨에게 감사드립니다. 또한 集積回路의 製作에 많은 편의를 제공하여 주신 삼성반도체 주식회사의 이충수이사님께 감사를 드립니다.

參 考 文 獻

1. A.S. Grove, *Physics and Technology of Semiconductor Devices*, Chapter 11, John Wiley and Sons, Inc., New York, 1967.
2. W.N. Carr and J.P. Mize, *MOS/LIS Design and Application*, Chapter 4, McGraw-Hill, New York, 1972.
3. D. Colman, R.T. Bate, and J.P. Mize, "Mobility Anisotropy and Piezoresistance in Silicon p-Type Inversion Layers," *Journal of Applied Physics*, vol. 23, 1968.
4. The Engineering Staff of American Microsystems, Inc., *MOS Integrated Circuits*, Chapter 3, Van Nostrand Reinhold Company, New York, 1972.
5. J.R. Verjans and R.J. Van Overstraeten, "NENDEP-A Simple N-channel MOS Technology for Logic Circuits," *IEEE Journal of Solid-State Circuits*, vol.SC-10, No. 4, August, 1975.

