

VLSI 技術開發과 展望

장 기 현

한국화약 그룹 종합기획실

1. 서 론

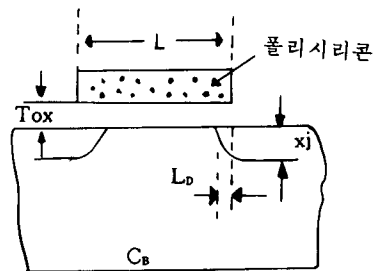
1971년 미국의 Intel 사가 처음으로 PMOS 계산기 칩을 개발하여서 VLSI 시대의 서막을 올린 이래로 약 10년간 IC 웨이퍼 웨브리케이션(wafer fabrication) 기술은 눈부시게 발전되어왔다. 특히 웨이퍼 웨브리케이션을 하기 위한 프로세스(process) 기술은 고속 스위칭, 저전력, 고밀도 및 낮은 원가에 초점을 맞추고 개발되어서 현재 64Kb의 RAM이 출하되기 시작하고 MOS도 바이폴러회로의 속도만큼 고속이 되었다. 이와 같이 바이폴러에 필적할 만한 고속동작이 가능하게 된 주이유는 MOS의 단채널(short channel)화가 된 때문이다.

VLSI를 생산하는 데 가장 중요한 것은 기능향상과 원가절감임으로 이 두가지 요인을 합친, 기능 및 가격은 웨이퍼의 대구경화, 고밀도화, 다기능 회로의 개발 및 칩의 대형화에 의하여 가능하게 되고 보다 많은 회로를 가지기 위해선 트랜지스터의 축소에 의한 회로밀도의 개량이 필요하게 되었다.

표 1은 MOS에 있어서 단면과 축소 해야 할 파라미터의 축소비율을 나타내고 있다. 일반적으로 비례축소법(scale-down)으로 알려진 이 기술은 1970년대 후반에 와서 Intel사에 의하여 HMOS(High performance NMOS)가 개발되고 마이크로프로세스(μ p)나 기억소자에 주

표 1. HMOS 소자의 크기를 1/S로 축소하기 위한 물리적 파라미터와의 관계

소자 / 회로파라미터	축 소 율
소자의 크기(T_{ox}, L, L_D, W, X)	1/S
기판 분순물 농도 C_B	1/S
전 원 전 압 V	1/S
전 원 전 류 I	1/S
기 생 용 량 WL/T_{ox}	1/S
게이트지연시간 $VO/I (Z)$	1/S
소 비 전 력 VI	$1/S^2$
전 력 × 지 연 시 간	$1/S^3$



류를 이루고 있다. 또 1980년에 접어들자 Intel은 HMOS-2 프로세스에 의하여 채널길이 $2\mu\text{m}$ 인 고속 RAM을 발표함으로써 50ns 이하의 바이폴러 RAM과 경쟁하게 되었다. 그림 1을 HMOS 구조를 보여주고 있다.

이와 같이 트랜지스터의 축소에 의한 회로밀도 개량이 VLSI를 만드는 최상의 방법임으로 $3\mu\text{m}$ 이하의 단채널화 즉 미세한선(fine line)을 프린팅 할 수 있는 새로운 lithography가 필

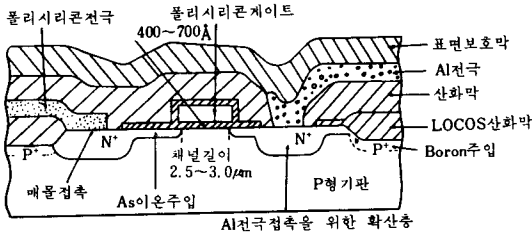


그림 1. HMOS 구조

요하게 되고 이를 뒷바침하는 건식부식 (dry etching), 이온수입 (ion-implantation) 등 여러 가지 기술의 발전을 가져오게끔 되었다.

2. Lithography

최근 VLSI 제조를 위한 lithography 는 2 ~ 3 μm 정도이나 가까운 장래에 1 μm 내지 그이하 (sub-micron)도 가능 할 것이다. 그러나 보통의 광학적인 lithography를 사용해서는 색수차등으로 1.0 ~ 1.5 μm 정도 밖에 할 수 없다. 기하학적으로 미세선 가공의 폭은 0.2 μm 정도 까지 필요하다. 왜냐하면, MOS 에 있어서 게이트 채널의 폭이 0.2 μm 이하가 되면 인가 전압이 1볼트 이하라도 게이트 산화물이 파괴 되기 때문이다. 0.2 μm 역시 바이폴라 경우에도 적용된다. 즉 base 의 두께가 0.2 μm 이하일때 컬렉터의 공간전하가 에미터까지 흘러갈 수 있으므로 펀치트루 (punchthrough) 현상을 가져와서 컬렉터 파괴를 가져온다.

그러므로 보통의 lithography 대신에 새로운 lithography를 사용하여서 보다 더 미세한 폭을 가진 선을 만들기 위한 새로운 lithography가 필요하다. 아래에서 설명되는 lithography는 최근 개발 된 것 또는 개발 중인 것이다.

(1) Deep UV Projection System

미국의 Perkin Elmer 사에서는 2000~2700 mm의 파장을 가진 강한 자외선 (deep UV) 및 새로운 레지스터, 실리콘 마스크, 정확한 어라인먼트 (alignment) 및 초점조정을 통하여 0.5

μm 정도의 폭을 가진 미세선을 만들었다. 이와 비슷하게 일본의 VLSI 연구조합에서도 강한 자외선 (230nm의 파장)을 사용하여서 1 μm 정도의 해상도 (resolution)를 얻는데 성공하였는데 그 주요 특성은 아래와 같다.

- 가. 웨이퍼 크기 - 최대 5인치
- 나. 광원 - 고압, 2kw의 Xe-Hg 램프
- 다. 광학조직 - 1:1 반사 거울식 투명
- 라. 해상도 - 1 μm
- 마. 초점 허용도 - ± 4 μm
- 바. 주사방식 - 공기배아령식 선형주사

이 시스템으로 한시간당 5인치 웨이퍼를 60매 까지 할 수 있으며 이를 위하여 화이트 레지스터 (white resister)라는 새로운 네가티브 레지스터를 사용하였다.

(2) 전자 비임 방식

일본의 VLSI 연구조합은 최근 전자 비임 lithography로 VL-R₂, VL-S₂ 및 VL-F₁이라는 시스템을 개발하여서 미세선폭이 0.5 μm까지 만들었다. 그중 VL-R₂ 시스템을 간단히 설명하면 아래와 같다. 그림 2는 VL-R₂의 인쇄 방식을 그린 것이다. 이 방법은 종래의 라스터 주사방식 (raster scanning)에 다가 가변침수 비임방식을 응용하여서 서브마이크론 (sub-micron)에서 수 μm까지 가능하다.

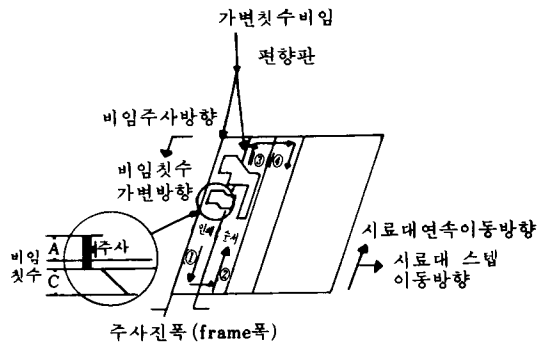
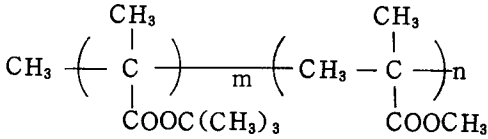
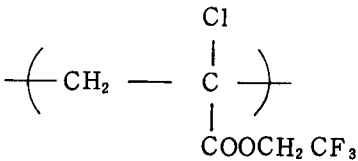


그림 2. VL-R₂의 lithography 방식

VL-R₂는 최고 100 mm/sec의 속도로 이동시키면서 회로의 패턴을 최대폭이 4 μm인 전자비임을 사용하여 라스터주사함으로써 행한다. 이때 공동연구소에서 내열성이 좋고 전식부식에 강한 CP-3와 EBR-9을 사용하였다. 그림 3은 이들 레지스터의 구조식을 보여준다.



(a) CP-3



(b) EBR-9

그림 3. 레지스터 구조식

한편 미국에 있는 많은 반도체 업체들도 VLSI의 개발을 위하여 전자비임 lithography 연구에 정진한 결과 예전보다 약 5배 이상의 성과를 얻었다.

Texas Instrument의 연구진이 개발한 EBM-II 시스템으로 해상도가 1~1.25 μm 이고 패턴 정확도는 0.25 μm 내외이며 3인치 마스크를 시간당 2~3매를 생산할 수 있고 반면에 웨이퍼 직접 패턴을 인쇄할 경우에는 최소 1.0~1.25 μm 정도의 기하학적인 해상도를 가지고 3인치 웨이퍼를 시간당 14매 까지 생산할 수 있다. 이 시스템을 80년대 중반에 가서 해상도 0.5 μm 이며 시간당 20매 까지 처리할 수 있는 시스템이 개발될 때 까지 사용될 것이다. 대체로 전자비임 lithography 시스템은 두가지 방식으로 나누어진다 - 벡터와 라스터 주사방식이다.

벡터방식은 주로 Texas Instrument, IBM, GCA, Philips 등에서 개발사용되고 있으며 이와 반대로 라스터 주사방식은 벨전화 연구소의 특허를 이용하여 ETEC 및 Varian 등에 의하여 사용되고 있다. 이들 두방식은 고해상도와 마스크 제작시 빠른 전환시간(turnaround time)과 같은 공통 장점을 가지고 있다.

라스터 주사방식은 주로 정교한 1×의 크롬 마스크를 제작하는데 이용되며 70년대 초에 벨연구소와 Western Electric에 의하여 개발되었으나 최근 2년안에 비로소 실용화 되었으며 RAM, ROM, 마이크로 프로세스, 바블 기억소자와 같은 복잡한 IC를 개발하는데 사용되고 있다. 이 방식에서는 전자비임이 조직적으로 동작하여서 노출되어야 할 전표면을 주사하나 노출이 필요하지 않은 곳에선 전자비임이 꺼진다.

또 벡터 주사방식은 지난 일년 사이에 상업화 되었으며 라스터 주사방식보다 3배 내지 4배나 빠르다. 이 방식은 보통 미세선을 가진 마스크 제작이나 10× 자리 레티클(reticle)을 만드는데 사용되기도 하며 가끔 웨이퍼에 직접 스텝핑(steppping)하는데도 이용된다.

이 방식은 라스터 주사방식과 달리 회로가 있는 곳에 만 비임이 주사한다. 이 방식은 전자비임이 주사하는 동안에 목표물(target)이 고정되어 있으므로 어느 정도 문제점이 있다.

앞에서도 그렇지만 이 전자비임 lithography는 노출에 적합한 레지스터의 개발이 중요한 점이다. 여기에 사용되기 위한 레지스터의 조건은 온도변화에 강해야 되고, 전식이나 습식부식에도 견디 내어서 웨브리케이션의 모든 공정에도 웨이퍼 표면에 안정하게 부착되어 있어야 하는 것이다. 또 전자비임이 기판위의 레지스터를 통과하여서 2차효과(secondary effect)를 일으킨다.

그 결과, 노출되지 않아야 할 부분을 노출시켜서 해상도에 영향을 가져오게 한다. 그러므로 이

점을 충분히 고려한 후에 레지스터를 개발하거나 사용해야 한다.

(3) X-선

MIT 부설 링컨연구소나 벨연구소와 같은 연구기관과 IBM을 비롯한 몇몇 반도체 업체들은 X-선을 이용한 lithography를 연구하고 있다. 그러나 전자 비임이 궁극적으로 X-선 lithography를 대신 할 가능성이 있으므로 그렇게 활발하지는 않다. 그러나 X-선 lithography를 이용하여 0.1 μ m의 폭을 가진 미세선을 이미 만들었다. X-선 lithography에 사용되는 마스크의 투과되는 부분은 X-선이 흡수되어 미세선(fine line)이 비틀어지거나 끊어지지 않도록 매우 얇아야 하는 반면에 투과되지 않는 부분에는 X-선이 투과할 수 없도록 두꺼워야 한다. 그러므로 금과 같은 값비싼 물질이 사용된다. 또 사용되는 레지스터는 저감도이므로 진노출 시간과 방사감도(radiation intensity)가 높아야 한다. 그러므로 많은 마스크가 필요한 웨이퍼 웨브리케이션에는 부적합하기 때문에 버블 기억소자 제작에 사용되고 있다.

(4) Direct-step-on-the wafer(DSW)

64K RAM과 같은 복잡한 IC를 제조하기 위해서 종래의 광학적인 lithography를 사용할 수 없으므로 이를 해결하기 위하여 개발된 것이 DSW이다. 종래 사용되어 왔던 마스크 대신에 웨브리케이션하려는 IC의 마스터 패턴(master pattern)을 사용하여서 주어진 전 웨이퍼상에 스텝 및 리피트(step and repeat)과정을 거쳐서 직접 인쇄한다.

이 DSW의 장점은 최대 6인치 웨이퍼까지 처리할 수 있고 현재의 공정기술을 이용하여 생산되는 IC에 대해서도 1.25~1.5 μ m 정도의 해상도를 갖게 할 수 있다는 데 있다. 그림 4는 lithography는 발전 상황을 설명하여 주고 있다. 이외에도 이온 비임을 이용한 lithography

도 있다.

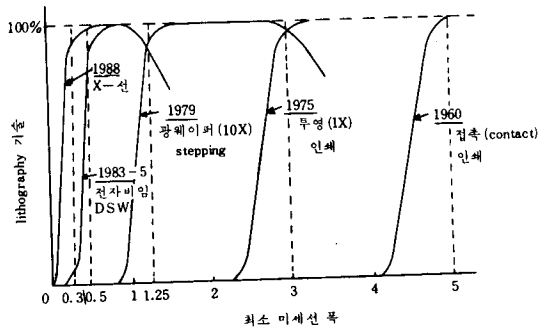


그림 4. lithography의 변화 및 발전 추이

3. 건식부식(Dry Etching)

부식은 VLSI를 제작하기 위하여 필요한 미세선(fine line) 가공기술에 있어서 매우 중요한 역할을 한다. 사실 아무리 미세선이 기판위의 레지스터에 현상(development)이 되었다 할지라도 정확하게 그부분이 부식되지 않는다면 아무런 의미가 없다. 종래의 부식방법은 화학처리에서 의한 습식부식을 사용하여 왔다.

이 방법에 의한 부식은 하부각임(under cutting)에 의하여 매우 불량한 해상도를 가져왔으므로 VLSI에는 이용될 수가 없었다. 그러므로 건식부식방법이 새로이 개발되어서 미세선 가공에 널리 사용하게 되었다. 이 건식부식 방법 가운데 주요한 것은 아래와 같다.

(1) 플라즈마 부식(plasma etching)

플라즈마는 거의 같은 수의 양자와 전자들을 가지고 있는 가스이다.

이 플라즈마는 레지스터나 기판위에 덮혀있는 어떤 물질과 반응하여서 부식시킨다. 그러므로 화학적인 공해와 부식시킬 때 일어나는 하부각임 현상을 가져오는 습식부식 대신에 현재 많이 쓰이고 있다. 이 부식방법을 사용하면 부식시키고자 하는 부분만을 균일하게 부식시키고 하부각임이 없다. 그러므로 VLSI의 개발에 사용되는 가장 적합한 부식방법이다. 초기의 원통형

플라즈마 반응기는 이방성 부식, 알루미늄 부식, 또는 실리콘 위에 있는 산화실리콘의 선택부식을 못하는 단점이 있으나 현재에도 $3\sim 5\mu\text{m}$ 정도의 전식 부식을 위하여 사용되고 있다. 최근 이 단점을 보완하기 개발된 것이 플래이너(planar) 플라즈마 반응기이다. 이 플래이너 플라즈마 반응기를 사용하면 실리콘, 폴리실리콘, 산화실리콘, 질화실리콘(silicon nitride) 및 알루미늄 까지도 이 방향(anisotropic) 부식을 해서 $1\sim 2\mu\text{m}$ 범위의 해상도를 얻을 수 있다.

(2) 반응식 이온 부식(Reactive Ion Etching : RIE)

1976년 IBM이 화학적인 부식과 화학적으로 기판의 표면에 이온을 충돌 반응시키는 것을 복합적으로 하여서 새로운 전식 부식방법을 개발하였는데 바로 이 방법이 RIE이다.

이 부식방법은 상(image)이나, 이방성 부식 능력 부식 속도 및 선택도가 그전의 플라즈마부식방법보다 개선되었다. 1976년 이래로 IBM은 이방법을 사용하여 IC 프로세스를 하고 있으며 VLSI 개발에 최적인 부식방법으로 되어지고 있다.

(3) 이온 비임 밀링(Ion Beam Milling)

이온 비임 밀링방식은 진공통 속에서 알콜 이온 비임을 집중 시켜서 기판위에 노출된 부분의 물질에다가 이온을 대치시켜서 깎아내는 방식이다. 이 방식은 어떠한 물질도 부식시킬 수 있는 장점을 가졌으나 원하지 않는 부분도 계속해서 부식시킬 수 있으며 간혹 이미 부식된 부분을 다시 복원시킬 수도 있다. 그러나 최근 순수한 알곤 가스 대신에 C_2F_6 가 혼합한 알곤 가스를 사용하여 이러한 단점을 보완하고 있다. 현재 Extrion, Veeco Instrument 및 Technics Inc. 등에서 이 이온 비임 밀링 방식을 실용화시켰다. 이 방식은 바블 기억소자이나 G_aAs IC를 제조하는 데 많이 이용된다. 아마 80년대 중반까지는 이 세가지 방식이 전식부식

으로 같이 사용될 것으로 보인다.

4. 이온 주입(Ion Implantation)

VLSI를 제조하는 데 필요한 기술의 하나로 는 이온 주입이다. 이온 주입의 장점은 저온 공정이라는데 있다. 즉 저온에서 이온을 주입하므로 불순물의 농도를 쉽게 제어하기가 쉽고 고온의 확산로에서 불순물을 확산시키지 아니 함으로 앞서의 공정과정에 별로 영향을 미치지 않는 장점이 있다. 특히 MOS의 문턱전압(threshold voltage) 제어라든가 JFET제조에 필요한 낮은 도우핑(doping)을 얻는데는 이 이온 주입이 매우 좋다. 현재 signetics를 비롯한 몇몇 업체들은 확산도에서 하는 확산공정 대신 이 이온 주입으로서 불순물을 도우핑시키는 기술을 활발히 연구하고 있으며 거의 실용화 단계에 있다. 이온 주입으로 일어나는 손상은 laser annealing으로 보완될 수 있다. Laser annealing의 장점을 furnace annealing에서 일어날 수 있는 potato-chip 효과를 피할 수 있다는 데 있다. 왜냐하면 laser annealing 시 웨이퍼의 상부만 열이 가해지기 때문이다.

5. 기타 프로세스 기술

(1) 저 저항율 게이트

종래의 실리콘 게이트 MOS를 무난히 축소할 수 있을까? 그렇지 않다. 왜냐하면 게이트 채널이 앞에서 말한 바와 같이 $0.2\mu\text{m}$ 이하가 되지 못하고 또 폴리 실리콘으로 되어있는 연결선이 얇아져서 저항의 증가를 가져옴으로 전달 시간의 지연과 같은 성능상의 제한이 있다. 이를 해결하기 위하여 저항율이 낮은 실리콘 화합물 또는 폴리브텐, 텅스텐 또는 티나니움 같은 비철금속을 폴리 실리콘 대신에 연결선으로 사용되어져서 성능 향상을 가져온다. 이들 금속 또는 화합물의 저항율은 비교적 낮아서 대체로 $20\Omega/\square\sim 30\Omega/\square$ 이다. 그림 4는 실리콘

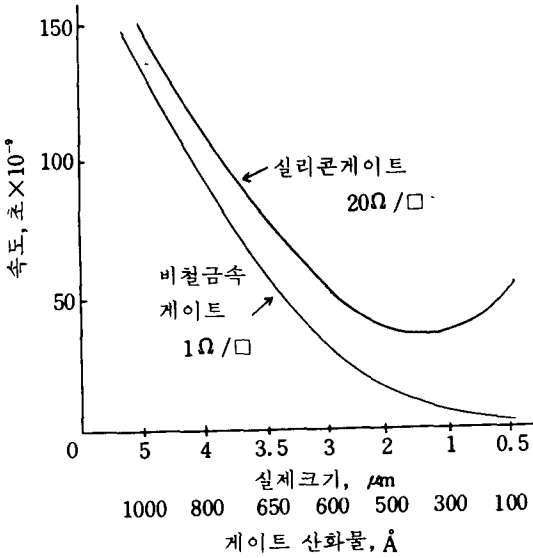


그림 5. 실리콘 게이트와 비철금속 게이트 사용에 따른 속도 (access time) 관계

큰 게이트와 비철금속 게이트간의 속도관계를 보여 주고 있다.

(2) 기 타

이제 까지 들은 것외에도 이온 비임을 이용한 lithography 가 개발되어서 2~3 μm 의 폭을 가진 미세선을 만들었다. 이 방법은 Hughes 사에 의하여 개발되었으며 장차 폭이 1.0 μm 이하인 미세선을 만들어 낼 것 같다.

또 미세선을 만들기 위해서는 레지스터를 얇게 기판에 입혀야함으로 기판에서 레지스터는 공정을 하는 동안에 잘 부수어지고 균형있게 입혀지지 않는 단점이 있다. 그러므로 이를 보완하기 위하여 IBM 과 벨연구소에서는 최근 여러층(2~3 층)의 레지스터를 기판위에 입혀서 프로세스를 했다. 그결과 종래의 방법보다 나은 해상도와 미세선의 폭을 조절할 수 있으며 스텝 카브리지(step coverage)도 훨씬 좋았다.

게터링(gettering) 공정에 있어서도 레이저를 펄스화 시켜서 웨이퍼의 뒷면에 처리하는 방법 모색이 되고 있다.

이 밖에 트리밍(trimming)시 레이저를 이용

함으로 웨이퍼상에 있는 먼지같은 것을 제거할 수 있고, 저항값도 조절할 수 있다.

이 외에도 CVD 에 의한 방법도 있다.

6. 전 망

(1) SO CMOS

HMOS 기술은 저소비 전력이라는 특징을 가진 CMOS에도 응용되어서 SO CMOS 라고 불리우고 있다. 특히 근래 각종 전자통신 장치의 소형화가 추진됨에 따라 SO CMOS 기술이 마이크로 프로세스나 정적기억소자 (static memory)에 활발히 이용되고 있다. SO CMOS 구조에 있어서 폴리 실리콘 전극은 모든 영역에 걸쳐 단일 불순물이 도우핑되어 있으므로 이제까지 p형과 n형 폴리 실리콘 간을 알미늄선에 의하여 연결시킬 필요가 없어지고 있다.

더우기 선택 산화와 자체 어라인먼트(self alignment)에 의하여 만들어진 구조로 CMOS를 보다 디지털 회로에 적합한 것으로 만들고 있다. 그러므로 설계의 어려움과 경제성때문에 실용화되지 아니했지만 장차 적절한 프로세스와 설계가 개발되어 사용된다면 VLSI에 많이 사용 될 것이다.

(2) GaAs 기술

GaAs 트랜지스터는 고주파영역에 있어서 우수한 특성을 지니고 있기 때문에 마이크로파 회로에 사용되는 일이 많다. 그림은 GaAs 트랜지스터의 단면도를 보여주고 있다. GaAs 소자의 고주파 특성은 캐리어 모빌리티가 실리콘에 비해 6배 정도 크기 때문에 고속 스위칭 동작이 가능케 한다. 그러나 현 실점에서는 대구경 웨이퍼를 제조하기도 힘들고 더우기 VLSI를 위한 웨브리케이션 기술도 아직 확립되지 아니했으므로 그 고속화의 관점에서 상당히 주목되고 있다. 현재 Rockwell과 Hughes 사에서 이온 주입(ion implantation) 방법과 에피택시(epitaxy) 방법으로 활발하게 GaAs 소자는 연

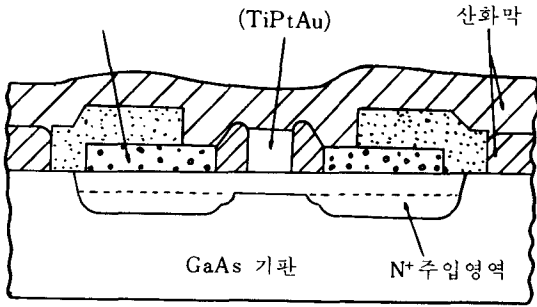


그림 6. GaAs 소자 구조

구하고 있다.

(3) 자기 바블 기억소자

자기 바블 기억소자의 구조는 일반적으로 비자성의 갈륨, 가넷트, 및 가돌리늄의 단결정 웨이퍼 표면에 형성된 철과 가넷트로 이루어진 에피택셜 층을 기판으로 하여 이 에피층에 출력 및 감지용으로 설치된 동 또는 알루미늄의 합금전극과 퍼머로이(permalloy) 패턴에 의해 구성되고 있다. 이 파바로이 패턴은 자기 버블을 전파 시키는 것으로 서집적 밀도를 높이기 위해서는 높은 수준의 lithography 기술이 요구된다. 이 소자의 동작원리는 기존 반도체 IC와 전혀 다르나 그 제조공정은 통상의 IC 제조에 사용되고 있는 기술과 마찬가지로이다. 현재 Intel사와 Texas Instrument 사에 의하여 1Mb의 기억소자가 개발되었으며 이미 256K의 기억소

자가 Texas Instrument, National Semiconductor, 히다찌(日立) 및 후지츠(富士通)에 의하여 생산되고 있으나 저속의 데이터 처리와 고가격이라는 문제점이 있다. 그러나 이점이 해결되어 진다면 비휘발성인(nonvolatile) 바블 기억소자의 장래는 매우 유망시 된다.

7. 결 언

이제까지 최근에 개발 중이거나 실용화된 웨이퍼 웨브리케이션 기술에 대하여 논하였다. 그러나 이에 대한 기술개발비가 너무나 크므로 일본에서는 VLSI 기술연구조합 연구소가 설립되어서 활발하게 VLSI 기술개발을 하고 있으며 더욱이 통산성에서 290억엔의 보조금을 지원하고 있다. 또 미국에서는 초고속 IC(very high speed IC)를 제작하기 위하여 국방성에서 2억 1천만불을 투자하고 있다. 이결과 VLSI의 기술개발은 빠른속도로 전개되고 있다.

아마 2000년대에 가면 미세선의 폭이 0.5 μm 이하가 될 것이고 칩의 크기도 약 4cm² 정도가 될 것이며 한칩당 백만개의 게이트 회로가 들어 갈 것이다. 또 확산로에서 불순물을 도우핑을 하는 대신에 이온 주입으로 불순물을 도우핑을 시키게 될 것이며 웨이퍼 웨브리케이션에서 거의 전식 프로세스로도 대치될 것이다.