

海外論文紹介

IC 설계를 위한 모델링 및 해석방법

■ 차 례 ■

1. 모델링 (Modelling)
2. 해석 방법
 - 2.1 해석 방정식의 형성
 - 2.2 해를 구하는 방법

오늘날 다기능의 복잡한 대규모 IC를 제작하기 위하여서는 반도체 제작 기술의 발달과 함께, 정확하고도 신속한 IC 설계 방법이 요구된다. 그림 1은 하나의 IC를 설계하고 제작하는 과정을 간략하게 설명하고 있다. 여기서 기본적인 IC의 설계(과정 1)는 일반적으로 회로 설계자들의 지식과 경험을 토대로 한 책상에서의 작업(Prototype Design by Intuition)을 중심으로 이루어지고 있으나, 그 이외의 과정에서는 IC의 규모나 복잡성 때문에 점차 전자계산기를 이용한 방법(CAD; Computer-Aided Design)이 주로 사용되고 있는 경향이다. 따라서 큰 의미에서의 CAD이라 함은

주어진 요구 조건에 맞는 IC 소자치 뿐만 아니라, 제작 시 필요한 기하학적인 구조(Aay-out)와 여러 공정 변수들 까지도 전자계산기를 이용하여 체계적이고 신속하게 결정하는 것을 말한다. 일반적으로 현재 널리 사용되어지고 있는 CAD 프로그램 들로는 IC 소자치 결정을 위한 SPICE II와 MSINC, 그리고 기하학적인 구조 결정을 위한 CALMOS와 LILAC, 또한 공정 변수 결정을 위한 SUPREM II 등이 있다. 본 글에서는 이러한 여러가지 CAD프로그램 들 중에서 소자치 결정 프로그램에서의 소자 모델링과 해석 방법에 대하여 최근에 발표된 논문 들을 중심으로 간략하게 소개하고자 한다. (그림 2 참조)

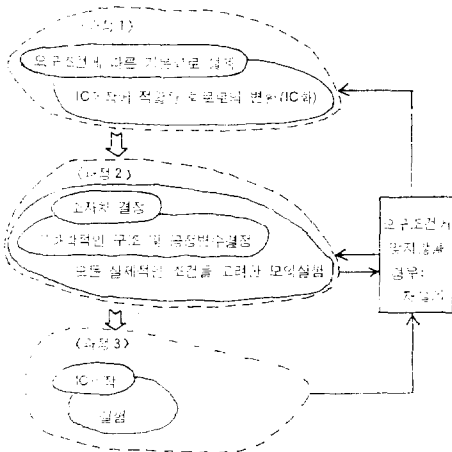


그림 1. IC 설계 및 제작과정

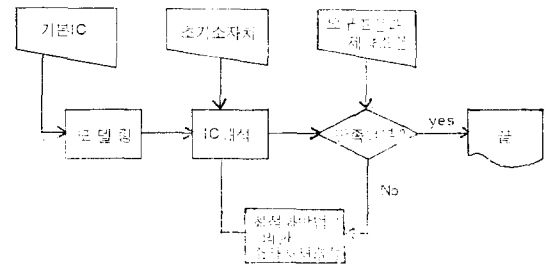


그림 2. 소자치 결정 프로그램의 기본적 구조

1. 모델링 (Modelling)

*本原稿는 韓國科學技術院 電氣 및 電子工學科 回路 및 시스템 研究室 제공임

CAD를 통한 회로 해석에서의 모델링이란, 회로내의 모든 소자, 특히 능동소자들을 전압-전류 관계에

따라 저항, 커패시터, 인덕터, 전류 전원, 전압 전원, Controlled Voltage Source, Controlled Current source 등의 기본 회로 소자들의 조합으로 나타내는 것이다.

일반적으로, 집적회로에 많이 사용되는 소자들은 Bipolar Junction Transistor와 MOSFET 들인데, 이들 능동소자들은 물리적인 특성이 잘 알려져 있으므로 거의 완전하게 모델링될 수 있다.

그러나, 실제의 CAD 프로그램인 SPICE II 나 MS-INC에서는, 설계자가 어느 정도의 복잡한 물리적인 특성을 고려하느냐에 따라서, 그에 적합한 모델을 선택할 수도 있다. ^{(1), (2)} 즉, 회로내에서의 소자의 성격에 따라 그에 필요한 정도의 Modelling을 하게 된다.

예를 들면, SPICE II에서 Bipolar Junction Transistor Model은 Gummel-Poon의 Integral Charge Control Model이지만, Gummel-Poon Parameter들을 정하여 주지않는 경우에는 Bipolar Junction Transistor의 Model로 간단한 Ebers-Moll Model이 사용되어진다. ⁽¹⁾

이와 같이, 소자의 Model을 선택적으로 결정할 수 있을 때, 일반적으로는 무시되는 Parameter가 어떤 특정한 회로에서는 중요하게 될 수도 있을 뿐만 아니라 I.C. 제작 기술이 발달함에 따라, 회로의 집적도가 높아지고 여러 종류의 소자가 사용되므로 흔히 2차 효과라고 불리는 현상들이 심각하게 나타나게 되어, 소자의 모델링이 점점 중요시 되고 있다. ⁽³⁾

이러한 모델링의 예를 두가지 경우, 즉, 특정한 소자인 CCD(Charge-Coupled Device)와 특정한 회로인 SCF(Switched-Capacitor Filter) 이하에 살펴보면 다음과 같다.

CCD의 경우 그 동작원리를 생각하면, 정상 동작에서 단지 한정된 양의 전하(電荷)만을 전달한다. 따라서 CCD안에서의 전하가 이동되는 구조를 일반적인 MOSFET에서 사용되는 개념으로 Modelling할 경우 그 결과가 만족스럽지 못하다. 소자에 홀려 들어가고, 소자로부터 흘러나오는 전류의 양은 소자의 단자상태 뿐만 아니라 소자내의 각 부분에서의 전하분포에 의하여서도 결정되기 때문이다. 이러한 점에서 Surface-channel CCD의 Model은 Distributed Circuit Model로 생각될 수 있다. 이 경우, 분포회로이기 때문에 작순간에서의 전류가 단자상태와 전하분포에 의하여 결정되도록 Model을 설정할 수 있다. 뿐만 아니라, 분포회로는 많은 수의 작은 기본구조가 연쇄적으로 배열된 구조이므로, 각각의 기본구조는 간단한 1차적인 관계

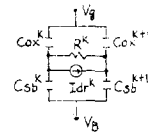
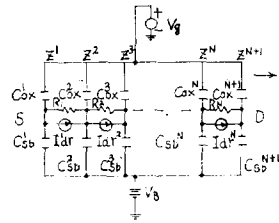


그림 3. MOS소자의 분포회로 Model

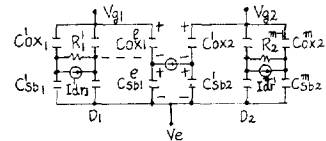
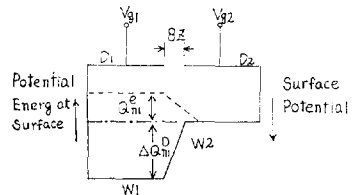


그림 4. CCD의 분포회로 Model

식만으로 구성되고 Short-channel이나 Narrow-width와 같은 현상들이 2차적인 효과들은 국부적인 몇 부분의 변형으로써 포함시킬 수 있다. 따라서, 등가회로가 간단하여질 뿐만 아니라 수치적으로는 더욱 정확하여질 수 있다.

그림 3에서와 같이 일반적인 MOS소자를 분포회로로 모델링 할 수 있다. 같은 방법으로 그림 4에는 기본적인 구조의 CCD가 분포회로로 모델링 된다. 여기서 Csb는 Source와 Bulk간의 커패시턴스이고 Cox는 Gate 산화막에 의한 커패시턴스이다. 분포회로에서 첨자는 해당 소자를 나타내고 어깨숫자는 소자내에서의 해당 부분을 나타낸다. 예를 들어서 Csb2는 번호 2 소자의 분포회로 Model에서 다섯 번째 부분을 나타낸다. 이러한 분포회로의 Model을 사용할 경우 Ion-implantation으로 인한 불순물 농도가 위치에 따라 변화하는 경우도 포함시킬 수 있다. ⁽³⁾

앞의 경우는, CCD와 같이 그 동작원리가 일반적인 MOS 소자와 다르므로 일반적인 MOSFET 모델보다 그 소자에 적합한 모델을 만드는 것에 관한 것이고, 또 다른 한 가지의 예인 SCF의 경우는 여파기 구성에

사용되어지는 개폐기(Switch)와 커패시터가 이상적인 것으로 가정하였을 때 실제적으로 생기는 문제의 모델링에 관한 것이다.

여기서의 예는 Bilinear Z-transform에 의해서 SCF를 설계한 경우이다. ^{(4), (5)} 등가적인 저항을 얻기 위하여 그림 5와 같은 개폐기와 커패시터의 배열을 사용할 때, Stray Capacitance를 고려하면 그림 6-7과 같이 된다. 그림 6-7과 같은 경우, Switching을 시키면 그림 6-7과 같은 등가회로로 Modelling이 된다. 만약 이러한 배열을 사용하여 Floating Inductor나 공진기를 만든다면, $\gamma_1 \neq 0$ 일 때 그림 7와 같은 결과가 나타난다. ⁽⁵⁾

이와 같이 Stray capacitance가 Switched Capacitor Filter의 동작에 영향을 미치는 데, 실제적으로

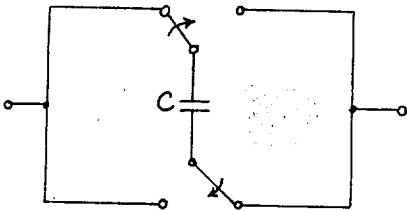


그림 5. Bilinear z-변환에서의 등가저항의 기본구조

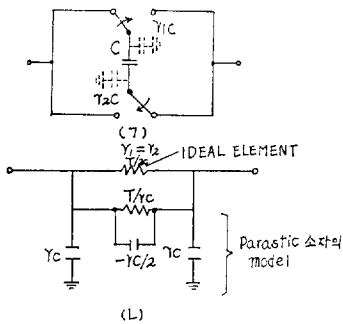


그림 6. ㄱ) Stray Capacitance가 고려된 등가저항의 기본구조
 ㄴ) ㄱ)의 모델링

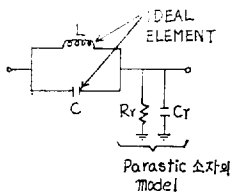


그림 7. 등가적인 공진기에서 Stray Capacitance를 고려한 모델링

집적화 과정에서 이러한 Stray Capacitance를 제거하기가 힘들다. 또한 여기서 보여준 Stray Capacitance의 효과는 대칭적이고 입력의 크기에 관계없는 경우이나, 집적회로화 할 경우에는 Stray Capacitance가 비대칭적으로 존재할 수 있으며, 이 경우는 앞에서와 같은 모델링 보다 복잡한 모델링이 요구된다. 경우에 따라서는 입력의 크기에 좌우되는 커패시턴스도 존재할 수 있고, 개폐기에 의한 Parasitic 효과도 큰 영향을 발휘할 수 있다. 이러한 특수한 상황하에서는 그에 적합한 Modelling이 요구되어진다. ⁽⁶⁾

이와 같이, 모델링이 어느 특수한 소자를 위하여 필요할 뿐만 아니라, 같은 소자 혹은 기본 구조라도 집적회로화 과정에서 회로의 구조나 성격에 따라서 각각 다르게 모델링 되어질 필요가 있다.

2. 해석 방법

일반적으로 전자 계산기를 이용하여 문제를 해결하고자 할 때, 고려하여야 할 요소 들로는 프로그램의 간편성, 소요 시간 및 저장 용량의 크기 등이 있다. 이러한 관점 하에서 모델링에 의하여 회로 기본 소자로 재구성되어진 IC의 해석을 살펴보기로 하자.

2-1. 해석 방정식의 형성

일반적으로 널리 알려진바와 같이, 회로방정식의 형성 방식들은 전압을 회로 변수로 하는 노우드해석(또는 Cut-set 해석) 방식과 전류를 회로 변수로 하는 Mesh 해석(또는 Loop 해석)방식, 위의 두 경우를 조합한 Hybrid 해석 방식, 회로 상태 방정식에 의한 해석 방식등이 있다. 이 중에서 노우드 해석 방식(Nodal Approach)을 제외하고는 모두가 Tree선택과 같은 부수적인 작업이 필요하므로 노우드 해석 방식이 그 직접성 및 간단성 때문에 주로 CAD 프로그램에 이용된다. 그러나 노우드해석 방식에서는 전압 전원이거나 전류 조정 전원과 같은 회로 소자들을 직접적으로는 취급할 수 없기 때문에 그 일반성이 결여되어 있다. 이러한 문제점들을 보완하기 위하여 노우드 전압(Node Voltage) 이외에 일부분의 브랜치전류(Branch Current)를 회로 변수에 첨가하는 변형 노우드 해석방식(Modified Nodal Approach; MNA)이 Ho, Ruehli Brennan에 의하여 제안되었다⁽⁷⁾. 변형 노우드 해석방식의 일반적인 행렬 형태는 다음과 같이 표시가 된다.

$$\begin{bmatrix} Y_2 & B \\ C & D \end{bmatrix} \begin{bmatrix} V \\ I \end{bmatrix} = \begin{bmatrix} J \\ E \end{bmatrix} \quad (1)$$

식 (1)에서 V 는 노우드 전압 벡터, I 는 회로 변수로 채택된 브랜치 전류 벡터를 나타낸다. 또한, 식 (1)은

크게 두가지 형태의 방정식으로 이루어지는데, $Y_R V + BI = J$ 는 각각의 노우드를 둘러싸는 cut-set 방정식에 해당되며, $CV + DI = E$ 는 그의 전류가 회로변수로 채택된 브랜치들의 전압-전류 관계를 나타낸다. 결국 변형 노우드 해석방식은 노우드 해석방식의 장점, 즉 간단성과 직접성은 그대로 유지한 채로 앞에서 기술한 노우드 해석방식의 단점을 효과적으로 보완하였다.

그러나 브랜치 전류와 브랜치 전압 전류관계가 첨가되어진 관계로 인하여 그 크기가 증가되었으며, 식(1)의 D 에는 Zero Diagonal Entry 들이 존재할 수 있다는 것이 단점으로 나타나 있다. 예로서 그림 8과 같은 간단한 회로를 생각하여 보자. 이 회로에서는 전압 전원 때문에 노우드 해석 방식을 직접 이용할 수는 없다 변형 노우드 해석 방식을 적용하면 다음과 같은 행렬식을 쉽게 얻을 수 있다.

$$\begin{pmatrix} g_1 + g_2 & -g_2 & 1 \\ -g_2 & g_2 + g_2 & 0 \\ 1 & 0 & 0 \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \\ i \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \\ e_s \end{pmatrix} \quad (2)$$

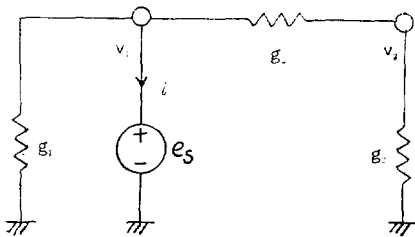


그림 8.

2-2. 해를 구하는 방법

이제 일단 행렬 해석 방정식이 세워졌으면, 그것은 일반적으로 다음과 같은 대수적 행렬 방정식이 된다.

$$Ax = b \quad (3)$$

식(3)를 푸는 방법으로는, 우선 A 의 역행렬을 구하면 되나, 이것은 계산 시간이 많이 소요되므로 적합하지 않다. 일반적으로 많이 사용되어지고 있는 방법은 주어진 행렬 A 를 하나의 Triangular 행렬로 변환시키는 Gaussian 소거 방법과 두 개의 Triangular 행렬, L 과 U 로 분해하는 LU 분해 방법이 있다⁽⁹⁾. 이상의 방법을 사용하면 역행렬에 의한 방법보다 계산 시간을 $\frac{1}{3}$ 정도까지 줄일 수 있게 된다. 그런데 실제적으로 회로 행렬 방정식 A 는 0인 요소들이 0이 아닌 요소들보다 훨씬 많은 Sparse 행렬이므로 $0 \cdot a = 0, 0 + b = b$ 와 같은 불필요한 계산을 없애는 Sparse Matrix Tec-

hnique가 위의 방법들과 더불어 고려되어야 한다. 즉 A 에서 0이 아닌 요소들만을 취함으로써 계산 시간과 저장 용량을 효과적으로 줄일 수 있다. 예를 들어 1,000개의 노우드를 가진 IC를 변형 노우드 해석방식을 이용하여 풀 경우 최소한도 1,000개의 미지수를 가진 해석 방정식이 세워지게 된다. 이러한 방정식을 한번의 풀타기가 10^{-6} 초가 걸리는 전자 계산기로 풀 경우, 곱하는 과정에서만 역행렬에서는 $(1,000)^3 \times 10^{-6}$ 즉 1,000초가 소요된다. 그러나 LU 분해 방법에서는 $\frac{1}{3} \times 1,000$ 초 즉 대략 330초가 걸리며, Sparse Matrix Technique이 함께 고려 되었을 경우에는 Sparsity를 0.1이라 하였을 때 $(0.1)^3 \times 330$ 초 즉 3.3초로 계산 시간이 줄어든다.

이제 만약 우리가 식(3)의 해를 구하기 위하여, Sparse Matrix Technique에 의한 LU 분해 방법을 사용한다면 처음에는 0이었으나 수행 과정 도중에 Non-zero로 바뀌는 항(Fill)들을 최소화하는 것이 바람직하다. 즉 Optimal Diagonal Pivoting이 선행되어야 한다. 그런데 식(1)과 같은 MNA행렬에서는 Zero-Diagonal이 존재하므로, 임의의 Diagonal-Pivoting을 수행할 수가 없다. 이 문제를 해결하기 위하여 Hajj, Yang, Trick 등이 Row-Interchange를 체계적으로 가능케 하는 Node Ordering 알고리즘을 제안하였다⁽⁸⁾. 예컨대 그림 8의 MNA 행렬 방정식(2)에서는 Zero-Diagonal Entry가 존재한다. 이를 없애기 위하여 첫 번째 Row와 세 번째 Row를 서로 바꾸어 버리면 그 결과식은 다음과 같이 Zero-Diagonal Entry가 존재하지 않게 된다.

$$\begin{pmatrix} 1 & 0 & 0 \\ -g_2 & g_2 + g_2 & 0 \\ g_1 + g_2 & -g_2 & 1 \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \\ i \end{pmatrix} = \begin{pmatrix} e_s \\ 0 \\ 0 \end{pmatrix} \quad (4)$$

끝으로 정리하여보면, 하나의 IC가 주어졌을 때 그것을 해석하는 순서는 다음과 같다.

1. 주어진 IC를 요구 조건에 따라서 적당히 모델링한다.
2. Zero-Diagonal을 없애고, Fill을 최소화하는 Nodeordering을 수행한다.
3. MNA에 의하여, 회로 방정식을 세운다. (이때 Sparse Matrix Technique에 의하여 Non-zero항만을 저장한다.)
4. LU 분해 방법에 의하여 근을 구한다.

이후 그림 2에서 보듯이 각 소자치들을 조금씩 변화하면서 재해석할 경우에는 위에서 세 번째와 네 번째 과정만 반복함으로써 전체 계산 시간을 효과적으로 줄일 수 있다.

參 考 文 獻

- [1] L.W. Lagel; "SPICE II: A computer program to simulate electronic circuits," Univ. California, Berkeley, Memo. ERL-M 520, May. 1975
- [2] R.W. Dutton, T.K. Young; "Mini-MSINC-A Minicomputer Simulator for MOS Circuits with Modular Built-In Model," IEEE, JSSC, Oct. 1976
- [3] N.N. Wang; "A Simple Distributed Circuit Model for Charge-Coupled Devices," IEEE Circuit & System, Jan. 1981
- [4] Gaber C. Temes et al; "Switched-Capacitor Filter Design Using the Bilinear z-Transform," IEEE Circuit & System, Dec. 1978
- [5] Gaber C. Temes et al; "Spectral Analysis of Switched-Capacitor Filters Designed Using the Bilinear z-Transform," IEEE Circuit & System, Mar. 1980
- [6] J.A. Nossek, G.C. Temes et al; Comments on "Switched-Capacitor Filter Design Using Bilinear z-Transform," IEEE Circuit & System, Jan. 1981
- [7] C.W.Ho, A.E. Rueli and P.A. Brennan; "The Modified Nodal Approach to Network Analysis," IEEE Circuit & System, June 1975
- [8] J.N. Hajj, P. Yang, and T.N. Trick; "Avoiding Zero Pivots in the Modified Nodal Approach," IEEE Circuit & System, April 1981
- [9] L.O. Chua, Pen-Min Lin; "Computer-aided Analysis of electronic circuits: algorithms & computational techniques," Prentice-Hall 1975