

誤動作 測定이 쉬운 論理回路의 設計方式 研究

(A Study on Design Method for the Testable Digital Systems)

金 容 得 *

(Kim, Yong-Deak)

要 約

本 論文은 回路의 複雜性이 증가됨에 따른 信賴度의 개선과 維持補修에 대한 效率性을 높이기 위한 연구로서 測定이 가능한 작은 回路 블록을 모듈 單位로 設計하여 이들의 組合으로 디지털 시스템을 構成하였다.

이는 測定上에 信號 發生機와 信號 解析機가 필요치 않고 모듈 單位로 완전 測定되기 때문에 높은 信賴도와 짧은 測定 時間을 갖는다.

Abstract

This paper deals with the development of a design approach to generate easily testable complex digital systems. As the technique is based on small testable building blocks(submodule) with the exhaustive testing circuits, it is not necessary for any automatic test equipment and signature analyzer.

As a result, the test time which is determined not by circuit complexity but size of the largest submodule, is not exhaustive and also, the circuit reliability is very high.

I. 序 論

VLSI 技術 出現에 따라 single chip 에 많은 回路素子를 높이며, 따라서 經費를 절감하게 되었다. 이러한 回路의 複雜性이 증가됨에 따라 信賴도와 維持補修에 관심을 가져야 하며, 在庫率(spare part)에 대한 高價를 극복하고 고장 수리에 대한 效率性을 높여야 한다.

이러한 測定技術(testing technique)은 예측되는 결과를 얻도록 출력반응을 檢査하는 自動測定機(programmed automatic testes)를 要한다.

이러한 과정은 回路 複雜性이 증가하게 됨으로 가능한 誤差形態(fault pattern)가 매우 複雜化되고 内部 回路의 接近度(access)에 따라 다르며, 연속적인 外部

測定法은 그 자체를 表示하는 標準 信號 形態(test pattern)를 만들어 내어 結果를 해석해야 하므로 만족스럽지 못하다.^[1] 결과적으로 일반적인 추세는 基本 設計과정에서 測定上의 문제를 병합하도록 추진되고 있으며 이와 관련된 문헌은 "scan techique"^{[2][3]}로서 측정모드(test mode)에 따라 귀환회로(freeback loops)를 차단하고 쉬프트레지스터(shift register)에 중간정보를 scan-in, out 시키는 방법이다.

이러한 研究는 入出力의 標準 信號形態法^[4]에 비하여 많은 장점을 갖고 있지만 組合會路에서는 아직도 標準 信號形態가 필요하며, 더우기 scanning 回路가 요구된다.

최근의 論文으로는 autonomous self test^[5]이며, 이는 測定 가능한 副回路(subnetworks)로 自動區劃(automatic partition)이 이루어지며 測定信號를 적용하여 반응을 해석하는 LFSR(linear feedback shift register)를 이용한 것으로 信賴도와 維持補修面에서 고려할 때 효율적이다 (cost effective system).

* 正會員, 亞洲大學校 工科大學 電子工學科
(Dept. of Electronics, Ajou Univ.)
接受日字: 1981年 3月 7日

따라서 本 論文에서는 이러한 自動測定(autonomous testing)을 위한 設計方式에 대하여 논하기로 한다.

II. 設計 理論 (A Testable Desing Procedure)

本 論文에서는 종래의 設計方式인 $F(x)$ 를 設計하여 이를 區劃(partition)한 후 測定回路를 갖는 모듈(module)을 미리 設計하여 임의 $F(x)$ 를 設計하면 (그림 1(b)), 複雜化되어 가는 VLSI시스템을 쉽게 測定할 수 있고 信賴度가 개선되며, 完全 自動化된 電算設計方式(computer aided design)에 쉽게 이용할 수 있다.

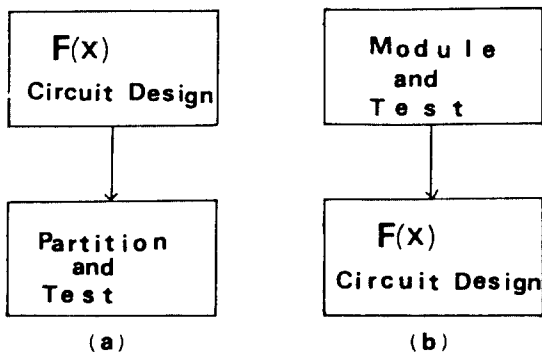


그림 1. 설계방법
Fig. 1. Design method.

이러한 設計方法(design technique)에는 부모들(sub-modele)의 設計法, 基本 모듈을 設計하기 위한 모듈의 内部連結法(interconnection)이 논의되어야 한다.

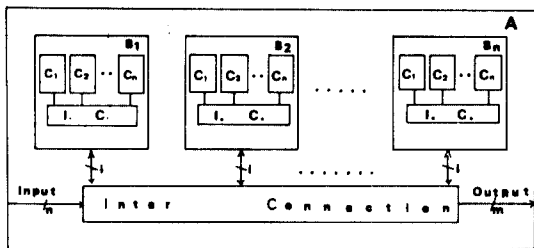


그림 2. 논리시스템
Fig. 2. A logic system.

그림 2와 같이 設計하려는 디지털 시스템 A는 몇 개의 B그룹 모듈로 구성되며, 이들 각 모듈은 C의 부모모듈로 구성된다.

여기서 n개의 각 B그룹 모듈은 서로 다른 기능의

모듈이라고 하고(이 중 몇 개는 같을 수도 있음), B 모듈내에서 C_i 는 동일한 부모모듈로 구성한다. 즉 B_n 모듈은 동일 기능의 C_i 의 内部連結에 의하여 $F_{B_n} = f(C_i)$ 를 구성한다.

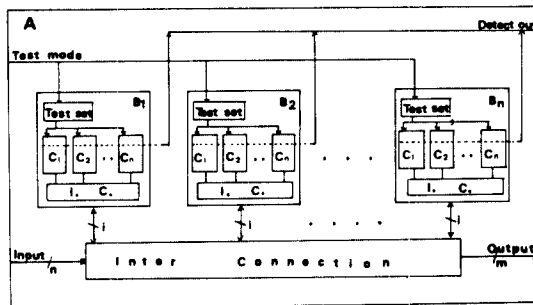


그림 3. 측정회로를 갖는 논리 시스템
Fig. 3. A log system with test circuits.

여기에 그림 3과 같이 外部端子 T (test mode)를 첨가하여 $T = 1$ 이면 각 부모들인 $C_1, C_2 \dots C_n$ 는 모두 分離되어 동시에 주어진 測定信號 (test generation set)에 의하여 測定되어 誤差(error) 判定出力에 결과가 나타나도록 하며, $T = 0$ 면 B_n 모듈은 正常技能(normal function)을 갖도록 한다. 즉 이러한 단일 비트 制御技術(single bit control technique)이 本 論文에서의 基本回路가 되며 다음과 같이 요약된다.

1. 사용될 모듈 및 부모들을 擇한다. 이 때 가능하면 부모들은 비슷한 回路 複雜度를 갖도록 한다.
2. 가장 많은 人力을 가진 부모들을 測定(exhaustive test)하기 위한 計數回路(counter)를 設計한다.
3. 正常狀態(normal mode)와 測定狀態(test mode)를 選擇할 수 있도록 각 人力에 멀티플렉서를 連結한다.
4. 誤差檢出(fault detection)을 위한 모든 出力 모듈을 XOR連結(exclusive OR connection)한다.
5. 이렇게 設計된 모듈로서 bus control을 사용한 시스템을 設計한다.

여기서 부모들이 동일하지 않은 경우에는 어려움이 따르며, 따라서 최소한 2개 이상의 동일 부모들이 되도록 設計한다. 그러나 실제로 이것은 다음 節에서 보듯이 重大한 制約이 되지 않는다. 順序回路가 부모들에 包含된 경우에는 추가적인 回路素子가 필요하며, 이 때는 부모들 入力數에 모듈 制御 入力數의 flip-flop으로 計數回路를 設計한다.

III. Model System의 設計

모듈內的 부모들이 너무 적으면 測定回路는 간단해 지나 이들 부모들의 内部連結回路는 複雜化 되어, 부수적인 회로가 필요하게 되며 따라서 부모들사이의 内部連結回路數(No.of interconnection; IC), 測定時間(testing time; Tt), 및 回路 複雜性(circuit complexity; Cc)에 따른 最適值를 구해야 되며, 이를 數學的(mathematical model)으로 고려해 보면 다음과 같다.

먼저 回路 複雜性은

$$C_c = n * C_{sm} + (n * D_i + C_i) * C_m + (D_i + C_i) * C_f \quad (1)$$

로 表示되며, 여기서 回路 複雜性은 gate input level 法 {6}, 즉 게이트=입력수 + 1, 플립플롭=7, XOR=5, Inverter=3으로 計算되며 n은 동일 부모들수, Di는 부모들당 입력수, Ci는 제어입력수, Csm은 측정 회로가 없는 부모들에 대한 회로 복잡도를 의미한다.

회로의 複雜性을 구하는 (1)에서 모듈 複雜性은 추가된 멀티플렉서(Cm), 測定回路數(Cf)에 따른다. 즉 (1)식의 첫 항은 測定回路가 첨가되지 않은 경우의 回路 複雜性이며, 두 번째 항은 測定 또는 正常 狀態를 위한 멀티플렉서에 따른 추가된 回路 複雜性이고, 끝 항은 標準信號形態를 만들기 위한 것으로 부모들 入力數만큼 flip-flop이 필요함을 뜻하고, 順序回路인 경우에는 Ci개의 flip-flop이 더 추가됨을 뜻한다. 그

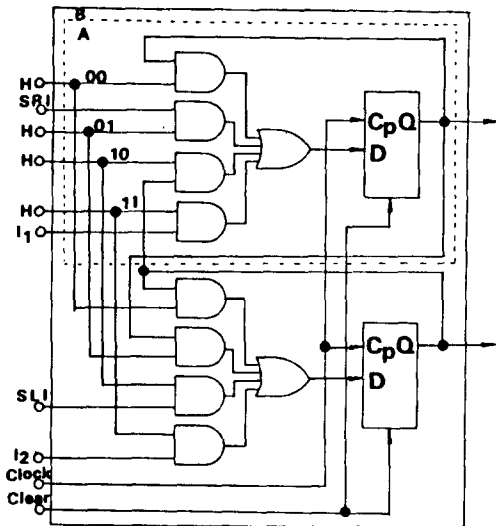


그림 4. 바이디렉셔널 쉬프트 레지스터
Fig. 4. Bidirectional shift register.

러므로 동일한 부모들 수가 클수록 유리하며, 많은 입력을 갖는 부모들의 測定回路 複雜性은 증가됨을 보인다. 또한 모듈의 測定時間(Tt)은 (2)식과 같다.

$$T_t = 2^{(d_i + c_i) / n} \quad (2)$$

좋은 부모들이란 Cc, Ic, Tt의 最適化로서 (3)식과 같다.

$$\text{Good submodule} = \text{optimization of } F\{C_c, I_c, T_t\} = f\{[n \cdot C_{sm} + 5(n \cdot d_i + C_i) + 7 \cdot 2^{(d_i + c_i)}], I_c, 2^{d_i + c_i}\} \quad (3)$$

그러므로 그림 4에서 블럭 A를 택하는 경우 부모들 式은 (4)식이고

$$S_a = f\{[4 \times (24 + 4.5) + 5(4 + 6) + 7 \times 2^3], 8, 2^3\} = f\{193, 8, 8\} \quad (4)$$

또 block B를 택하는 경우엔 (5)식과 같다.

$$S_b = f\{225, 8, 8\} \quad (5)$$

(4), (5)식을 비교해 볼 때 block A를 택하는 경우가 더욱 이상적임을 알 수 있다.

IV. 設計例 (Sample Design)

앞 章에서 論한 부모들 選擇方法에 따라 設計한 例

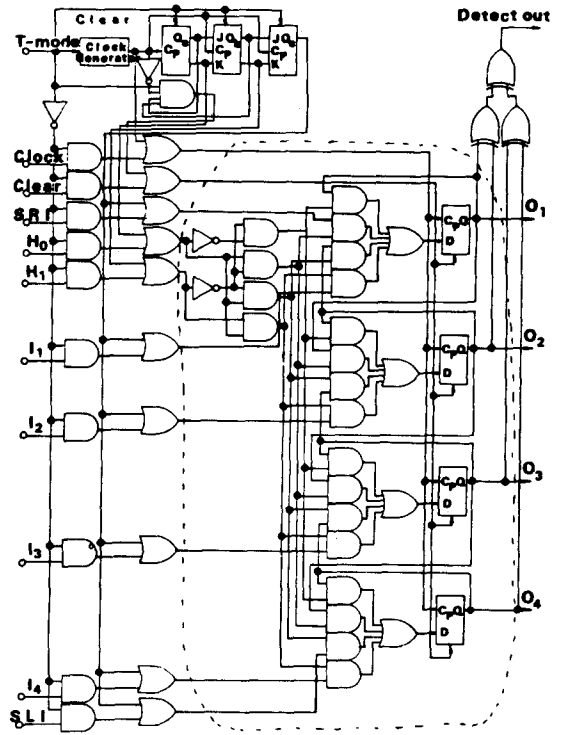


그림 5. 측정회로를 갖는 쉬프트 레지스터
Fig. 5. Bidirectional shift register with test circuits.

를 보여주며, 이들은 測定度(testability)를 개선하도록 設計되나, 그러나 부가적인 費用이 들게 된다. 따라서 經費 效率性(cost benefit study)에 기초를 두어 타당성 여부를 고려해야 한다.

그림 5는 그림 4에 기초를 두어 設計한 것으로 점선 외 부분은 測定回路(고장 진단과 해석)에 필요한 것이다.

여기서 情報(data) 入力は 적고, 制御入력이 많음을 보게 되며 測定回路의 증가율은 불려수가 많을수록 감소된다 (표 1 참조). 즉 4 bit에서 16 bit로 될 때 測定에 필요한 회로는 16% 감소된다.

같은 방식으로 二進係數器와 레지스터를 設計하면 그림 6, 7과 같으며, 부모들을 選擇한 基本形은 앞에서와 같이 한비트 단위(single bit unit)로 하며, 回路 複雜度와 遲延率(delay ratio)은 표 1과 같다.

다음엔 ALU에 대한 設計를 하면 그림 8과 같으며, 測定 및 檢出回路를 포함한 回路 複雜性은 290이며 區別하여 멀티플렉서를 사용한 SN 74,181 ALU에 대한 複雜性은 279임을 보게 된다.〔1〕 그러나 標準 信號發生(test generation)을 위하여 추가회로(약 $C_c = 70$) 人力 멀티플렉서(100) 및 出力信號 解析(signature analyzer)을 위한 回路가 附加되어야 한다.

반면 演算速度면에서 그림 8은 SN 74,181보다 2배 느리다.

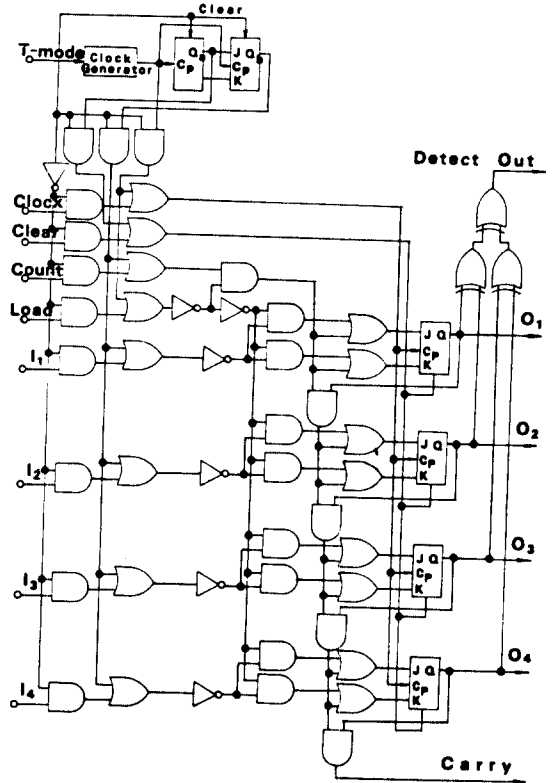


그림 6. 측정회로를 갖는 2진 계수기

Fig. 6. Binary counter with test circuits.

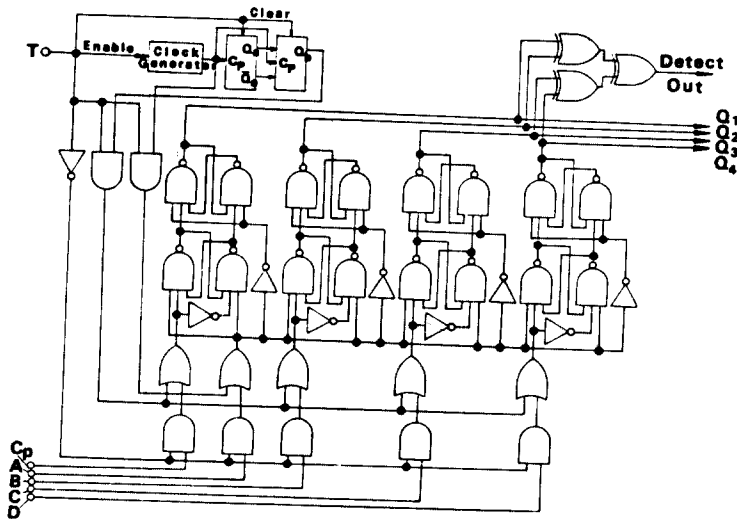
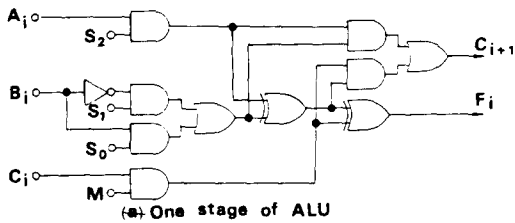
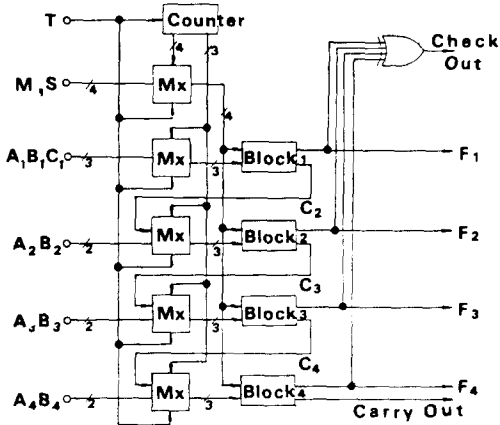


그림 7. 측정회로를 갖는 레지스터

Fig. 7. Register with test circuits.



(a) One stage of ALU



(b) ALU block diagram

그림 8. 측정회로를 갖는 연산기
Fig. 8. ALU with test circuits.

표 1. 비교표

Table 1. Relative complexity and delay time.

No of Modules	ALU		Acc		Register		PC		Overall	
	R_c	R_t	R_c	R_t	R_c	R_t	R_c	R_t	R_c	R_t
4	1.66	1.37	1.55	1.40	1.60	1.40	1.63	1.40	1.58	1.40
16	1.64	1.37	1.32	1.40	1.49	1.40	1.63	1.40	1.58	1.40

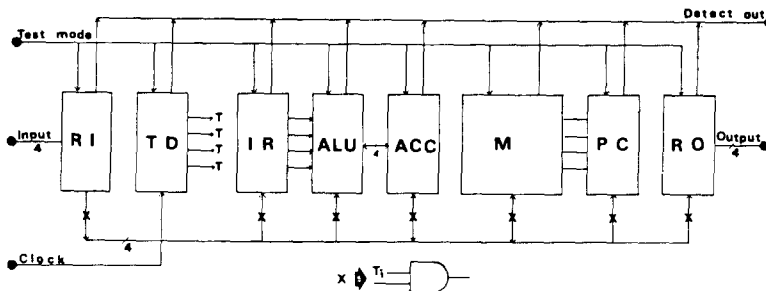


그림 9. 마이크로프로세서
Fig. 9. Microprocessor block diagram.

그러나 본회로에 two stage carry look ahead 회로 ($C_c = 100$ 정도)를 첨부하면 50% 속도가 향상된다. 실제로 큰 회로에서 ALU의 이러한 회로 복잡성에 대한 증가는 그렇게 중요하지 않다.

V. 測定方法 (Testing Procedure)

그림 9는 16개의 4 bit 記憶素子를 갖는 4 bit마이크로프로세서에 대한 設計로서 ALU (Fig. 8), 累積器 (accumulator)와 time distributor (ring counter; Fig. 5), I/O 및 IR (instructional register; Fig. 7) 및 PC (program counter; Fig. 6)를 이용하였다.

이들은 모두 T端子(test mode)에 의하여 正常狀態 ($T=0$)와 測定狀態 ($T=1$)로 동작되며, 測定狀態인 경우 각 모듈의 부모들은 分離되어 각 모듈단위로 測定하게 되며 誤動作 (fault) 상태가 XOR 회로로 出力에 나타난다.

표 1에는 이들 각 모듈에 대한 測定遲延時間 (delay ratio; R_t)과 測定회로 增加率 (ratio of circuit complexity; R_c)을 보여 주며 R_t , R_c 는 (6), (7) 式과 같다.

$$R_t = \text{측정회로 지연시간} / \text{회로 지연시간} \dots (6)$$

$$R_c = \text{측정회로 복잡성} / \text{회로 복잡성} \dots (7)$$

표 1에서 보면 부모들 入力數는 적을수록, 부모들數가 많을수록 測定회로 增加率은 적으며 測定遲延時間은 원 회로에 대하여 40% 지연된다.

또한 그림 9에서의 測定時間은 ALU 모듈의 測定時間과 같으며 本 設計方式이 아닌 그림 9에 대한 회로의 誤動作 測定은 매우 어려우며 이를 비교하면^[4] 다음과 같다.

Our method : 2^7 unit time = 128 unit time

Test pattern method:

2^{4+22} unit time = 6.7×10^7 unit time

VI. 結 論

本 論文은 쉽게 測定할 수 있는 VLSI system의 設計方式에 대한 研究로서 測定이 가능한 작은 回路 블럭을 設計하여, 이들의 組合으로 VLSI 시스템을 設計하였다. 이는 2개의 I/O 端子가 추가되며 測定上的의 標準 信號發生機(test pattern generator)나 信號 解析機(signature analyzer)를 필요로 하지 않고 단지 測定 端子의 mode 變換만으로 가능하며 모듈단위로 完全測定(exhaustive test)되기 때문에 random test나, compact test에 비하여 높은 信賴度를 가지며, 또한 測定時間도 적게 소요된다.

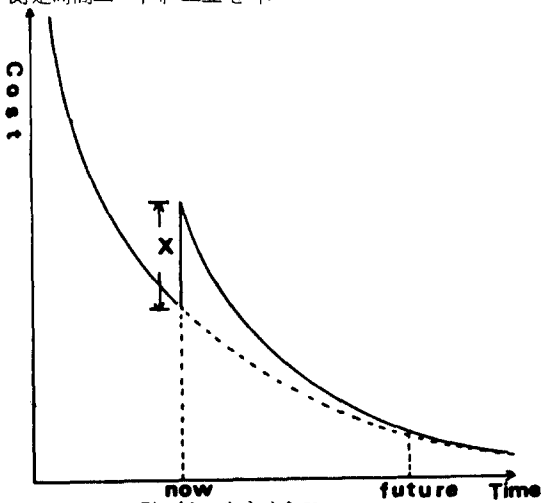


그림 10. 생산비용표

Fig. 10. Cost diagram.

그러나 모듈단위가 작은 경우 實 回路가 갖는 複雜性 對 測定回路 複雜性의 비율이 높아지나 이는 급속히 發展되는 IC 産業技術에 따라 개선될 것이며, 더욱 중요한 것은 그림 10에 보여주듯 임의의 미래시간 t에서는 VLSI 시스템 규모가 너무 크고, 복잡하여 현 방식으로는 測定할 수가 어려우나 本 設計方式을 사용하면 쉽게 測定되어지고, 信賴度는 향상되며 經濟性도 현실화 될 것이다.

參 考 文 獻

1. E. J. McCluskey & S. B. Nesbat, "Structured design for testability to eliminate test pattern generations."
2. M. J. Williams & J. B. Angell, "Enhancing testability of LSI circuits via test point and additional logic" IEEE-TC, Vol. c-22, pp. 46-60, Jan. 1973.
3. E. B. Eichelberger & T. W. Williams, "A logic design structure for LSI testability" Design Automation & FTC. pp. 165-178, May 1978.
4. T. W. Williams & K. P. Paker, "Testing logic networks and design for testability" IEEE-TC, Vol. c-28, pp. 9-21, Oct. 1979.
5. E. J. McCluskey, "Design for autonomous test" Center for Reliable Computing, CSL, Stanford, Sept. 1980.
6. W. M. Consolla & F. M. Danner, "An objective printed circuit board RADC, Griffss Air Base, pp. 1-120, Jan. 1980.
7. B. Konemann & J. Mucha, "Build-in test for complex digital integrated circuits" IEEE Solid State Circuit, Vol. sc-15, pp. 315-318, June 1980.