

# 새로운 Clocking 방식에 의한 Voltage Inverter Switch 및 Switched Capacitor Filter 설계에의 應用 ( A Voltage Inverter Switch with a New Clocking Scheme and its Applications to Switched Capacitor Filter Design )

李 芳 遠 \* , 朴 松 培 \*\*

( Lee, Bang Won and Park, Song Bae )

### 要 約

本 論文에서는 VIS ( voltage inverter switch )을 使用한 SCF ( switched capacitor filter ) 設計 方法에 있어서 從來에 發表된 clocking scheme을 一般化 하고, 이로써 생기는 RC, RL 등의 竝列 素子들과 有損失 또는 無損失 LC 竝列共振 素子들을 提示하였다. 또 이들 素子들을 SCF의 設計에 應用함으로써 從來의 方法에 비해 演算增幅器와 capacitor의 數를 줄일 수 있는 設計 方法에 對해 記述 하였다. 이 結果로 SCF를 더욱 작은 칩 (chip) 面積으로 集積化 할 수 있겠다.

또 새로운 構造를 갖는 VIS를 提示하고 이를 使用한 低域通過 濾波器和 簡單한 帶域洩止 濾波器를 實驗하여 그 結果가 理論値와 잘 一致함을 보였다.

### Abstract

This paper proposes a method of generalizing the clocking scheme in the Switched Capacitor Filter (SCF) design using Voltage Inverter Switches (VIS's). Parallel RC and RL elements, and parallel LC resonators can be implemented by the proposed clocking schemes.

Applying these new elements and the generalized clocking schemes to the SCF design, the total number of required operational amplifiers and capacitors can be reduced.

Experimental results of a band-stop filter and a low-pass filter using a new type grounded VIS show good agreements with the theoretical characteristics.

### 1. 序 論

最近 數年間 스위치 (switch), 演算增幅器, capacitor, clocking 部分 들로 構成되는 SCF에 對한 研究가 活潑히 되고 있다. 發達된 MOS 集積回路的 製作技術로 손쉽게 製作되는 SCF의 모든 濾波器 特性들은 但只 capacitor間的 比에 의해 定해진다. 그러므로 이런 SCF는 集積化할 때 capacitor間的 比誤

차는 대개 capacitor 값이 10 pF 미만일 경우에는 1% 이하로, 10 pF 이상일 경우에는 0.1% 이하로 줄일 수 있을 뿐더러 capacitor의 溫度特性이 다른 集積素子들에 비해 좋기 때문에 製作後 再調整이 要求되는 能動 (active) RC 濾波器나 까다로운 周邊裝置를 必要로 하는 CCD (charge coupled device) 濾波器를 더 작은 칩面積에 集積化 시킬 수 있다.<sup>[1][2]</sup>

Capacitor를 開閉함으로써 等價抵抗을 얻을 수 있다는 것이 發表된 以後<sup>[3]</sup>, 이를 積分器 構成에 適用하여 濾波器를 設計하려는 여러 가지 方法들이 考案되고 있다. 이런 方法들은 아날로그 (analog) 領域과 샘플 (sample) 領域間的 變換方法에 따라 LDI (loss-less discrete integrator) 變換과 雙一次 (bilinear)

\* 正會員, 三星電子(株)  
(Samsung Electronics Co., Ltd.)

\*\* 正會員, 韓國科學技術院 電氣및 電子工學科  
(Dept. of Electrical Science, KAIST)

接受日字: 1981年3月2日

變換으로 나누어 지는데<sup>[4][5]</sup>, 그 각각은 變換特性에 의해 前者는 aliasing 現象이 있고 後者는 周波數가 歪曲되는 現象이 있다. 그러나 最近에 들어 이들 現象들을 미리 補償시키는 方法과 CAD (computer aided design) 들로써 解決하여<sup>[6][7]</sup> 클럭 (clock) 周波數 帶域까지 動作할 수 있는 SCF를 設計하고 있다.

그러나 이와 같은 設計方法에서는 많은 數의 演算增幅器가 必要하게 되므로 넓은 面積이 要求된다. 때문에 FDNR (frequency dependent negative resistance) 등의 能動 濾波器 設計方法을 利用하여 演算增幅器의 數를 줄이려고 하고 있다.<sup>[8][9]</sup> 그러나 이런 方法들은 演算增幅器의 特性 및 素子值에 의한 感度 (sensitivity)가 높은 것이 問題이다.

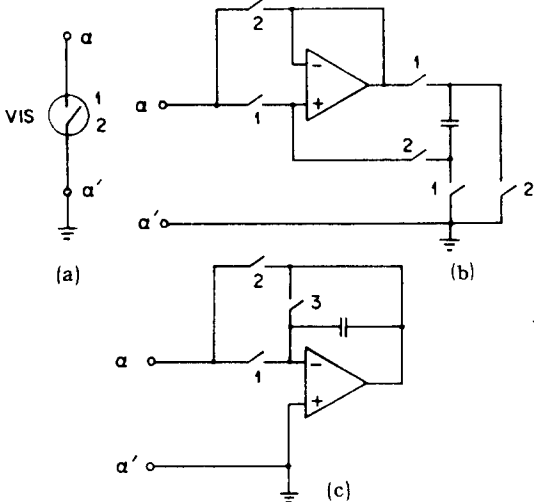


그림 1. Voltage inverter switch [10], [12]  
(a) VIS 기호, (b) 접지된 VIS, (c) 접지된 IVIS

Fig. 1. Voltage inverter switch in [10] [12]  
(a) A symbolic representation of VIS.  
(b) A grounded VIS.  
(c) A grounded integrated IVIS.

또 다른 SCF 設計方法으로서 各 루프 (loop) 마다 그림 1과 같은 VIS를 넣어 雙一次 變換 領域에서 等價 R, L, C를 求해서 이들을 受動 (passive) R, L, C 濾波器에서 그에 對應되는 素子와 代置함으로써 SCF를 設計하는 方法이 있다. [10][12] 이 方法은 受動 R, L, C 濾波器 設計方法을 그대로 쓸 수 있을 뿐더러 이 方法으로 製作된 SCF는 다른 어떤 方法들에 비해 感도가 낮고 작은 數의 演算增幅器로써 S-

CF를 具現할 수 있는 長點들이 있다.

本 論文에서는 上記 論文 [10][12]의 clocking scheme을 一般化시키고 RC, LC, RL, RLC 등의 竝列素子들을 提示하였다. 또 本 論文에서 提示한 V-IS와 上記한 素子들을 使用하여 SCF를 設計함으로써 演算增幅器의 數를 더욱 줄일 수 있는 方法에 對해 記術하였다.

2. VIS를 內包한 回路網에 對한 概念

그림 2와 같이  $\ell$ 개의 素子들과 한개의 VIS로 構成되어 있는 任意的 루프에서 電流가 重疊됨이 없이 週期 T로 反復하여 흐를 때 그림 3과 같이 時間  $t_n$ 을 아래와 같이 定義한다.

$$t_n = t_0 + nT$$

여기서 n은 定數,  $t_0$ 는 어떤 任意的 時間, 그리고 T는 動作週期 (operating period)이다.

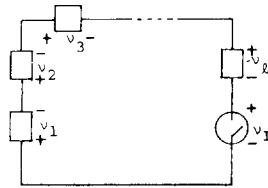
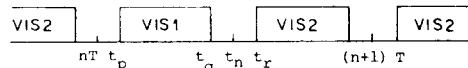


그림 2.  $\ell$ 개의 소자와 1개의 VIS로 구성되어 있는 임의의 루프

Fig. 2. Arbitrary loop composed of  $\ell$  elements and a VIS.



$$q(t_n) = \int_{nT}^{(n+1)T} i(t) dt$$



그림 3. 기본시간 구조

- (a)  $t_n$ 의 정의
- (b) 실제의 전류파형

Fig. 3. A basic timing scheme.

- (a) A definition of  $t_n$ .
- (b) A real current waveform.

또 SCF는 capacitor로 構成된 回路이므로 理想的으로는 電流는 펄스 (pulse) 形態가 되어 취급하기가

힘들기 때문에 그림 3(b)와 같이 時間  $t = nT$ 로 부터  $t = (n+1)T$  사이에 總電荷의 합을  $q(tn)$ 으로 定義하여 SCF 回路網을 說明한다.

그림 1과 같은 VIS는 SCF 內의 大部分의 電流를 制御하는 役割을 하는데 그 動作 原理에 따라 보통의 VIS와 IVIS (integrated voltage inverter switch)로 나누어진다. 이 중 principle of inverse re-charging에 의해 動作되는 IVIS는 그림 1(b)의 VIS에 비해 安定한 動作을 한다는 長點이 있다. [10] [12] [13] 이 모든 VIS는 每 動作 週期마다 스위치 1만을 달아 VIS 兩端의 電壓을 抽出 (sampling)하고 그 다음 時間에 스위치 2만을 달아 그 抽出된 電壓의 位相을 逆轉시켜 電壓을 내는 크게 두 가지의 動作을 한다. 그 다음 時間에 그림 1(c)의 IVIS의 경우에는 스위치 3만을 달아 capacitor에 蓄電된 電荷를 放電 시킨다. 이 各各의 時間을 voltage sensing time과 current flowing time이라 부르기로 하고 이들을 그림 3과 같이 VIS 1과 VIS 2로 줄여 表示하기로 한다.

또 그림 2와 같은 回路에서  $v_{ib}$ 와  $v_{ia}$ 를 參考文獻 [10] [12]와 같이 各各 電流가 흐르기 前과 흐른 後의 任意的  $i$  번째 素子의 電壓이라고 定義하면, 그림 3(a)와 같이 VIS 1 時間 ( $t_p < t < t_q$ )과 VIS 2 바로 直前 ( $t = t_r$ )의 電壓 ( $v_b$ )를 區分하기 위하여 이를 各各  $v_b(t_n^-)$ ,  $v_b(t_n^+)$ 라 하고 또 VIS 2의 直後의 電壓을  $v_a(tn)$ 라 쓰기로 하자. a, b는 after, before의 略字이다.

그림 2와 같은 回路에 VIS 1과 VIS 2 時間에 Kirchhoff 電壓法則을 適用하면 各各

$$\sum_{i=1}^{\ell} v_{ib}(t_n^-) + v_{ib}(t_n^+) = 0 \quad (1)$$

$$\sum_{i=1}^{\ell} v_{ia}(tn) + v_{ia}(tn) = 0 \quad (2)$$

와 같이 된다.

그리고 VIS 兩端의 電壓은

$$v_{ib}(t_n^-) + v_{ia}(tn) = 0 \quad (3)$$

이므로, 이를 식(1)과 식(2)를 더한 結果에 代入하면

$$\sum_{i=1}^{\ell} \{v_{ia}(tn) + v_{ib}(tn)\} = 0 \quad (4)$$

가 된다.

여기서 任意的  $i$  번째 素子의 等價電壓  $u_i(tn)$ 과 等價電流  $j_i(tn)$ 을 다음과 같이 定義하여 [10], [12]

$$u_i(tn) \triangleq \frac{v_{ia}(tn) + v_{ib}(t_n^-)}{2} \quad (5)$$

$$j_i(tn) \triangleq q_i(tn)/T = \frac{1}{T} \int_{nT}^{(n+1)T} i_i(t) dt \quad (6)$$

식(4)에 代入하면

$$\sum_{i=1}^{\ell} u_i(tn) = 0 \quad (7)$$

와 같이 된다.

여기서  $u_i(tn)$ 과  $j_i(tn)$ 은 各各 VIS 1 ( $v_b(t_n^-)$ )과 VIS 2 直前 ( $v_b(t_n^+)$ )에서의 before voltage ( $v_b$ )에 依해서 定해 진다는 것을 留意하여야 한다. 또 이 等價電壓과 等價電流는 한 動作 週期內에서의 各各 電壓과 電流의 平均値를 意味한다.

그리고 식(6)과 식(7)은 各各 Kirchhoff의 電流法則과 電壓法則을 나타내는 것이므로 이 等價電壓  $u_i(tn)$ 과 等價電流  $j_i(tn)$ 을 使用하여 SCF 回路網을 設計 解析할 수 있겠다.

### 3. SCF 回路網의 素子

#### A. 一次素子 (First Order Elements)

一次素子란  $v_b(tn)$ 이 但只  $v_a(tn-1)$ 에 의해서 定해지는 素子를 말하는 것으로, 그림 4와 같이  $v_b(tn)$ 이

$$v_b(t_n^-) = \alpha_1 v_a(tn-1) \quad (8)$$

$$v_b(t_n^+) = \beta_1 v_a(tn-1) \quad (9)$$

와 같이 주어진다라고 假定하고  $v_b(t_n^-)$ 와  $v_b(t_n^+)$ 는 各各 等價電壓  $u_i(tn)$ 과 等價電流  $j_i(tn)$ 을 結定하기 때문에  $\alpha_1$ 과  $\beta_1$ 을 各各 一次 電壓係數, 一次 電流係數라고 부르기로 한다.

그림 2와 같은 任意的 루프 內의  $i$  번째 素子의 경우를 생각하면 等價電壓  $u_i(tn)$ 은 定義에 의해

$$u_i(tn) = \frac{v_{ia}(tn) + \alpha_{i1} v_{ia}(tn)}{2} \quad (10)$$

이 되고, 그 素子의 capacitor 値를  $C_i$ 라고 하면 等價電流  $j_i(tn)$ 는

$$j_i(tn) = q_i(tn)/T = \frac{C_i}{T} \{v_{ia}(tn) - \beta_{i1} v_{ia}(tn-1)\} \quad (11)$$

가 된다. 식(10)과 식(11)을  $z$  變換을 하면 各各

$$U_i(z) = \frac{1 + \alpha_i z^{-1}}{2} V_{ia}(z) \quad (12)$$

$$2 \operatorname{Rei} J(z) = (1 - \beta_i z^{-1}) V_{ia}(z) \quad (13)$$

가 된다. 여기서  $\operatorname{Rei}$  는 等價抵抗이고,

$$\operatorname{Rei} \triangleq \frac{T}{2C_i}$$

로 定義한다. 또 小文字로 쓴 變數는 時間領域의 變數이고, 大文字로 쓴 것은  $z$  變換 또는 雙一次變換된 變數이다.

식(12)와 식(13)으로 부터  $i$  번째 素子の 임피던스

$$V_b(tn^-) = \alpha_1 V_a(t_{n-1}) \quad V_b(tn^+) = \beta_1 V_a(t_{n-1})$$

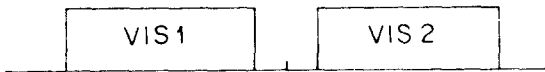


그림 4. 1차 소자의 기본 전압 관계

Fig. 4. A basic voltage relation of first order elements.

(impedance) 를 求하면

$$Z_i(z) = \frac{U_i(z)}{J(z)} = \frac{1 + \alpha_i z^{-1}}{1 - \beta_i z^{-1}} \operatorname{Rei} \quad (14)$$

로 주어지고, 이를 雙一次變換을 하면

$$\phi \triangleq \frac{1 - z^{-1}}{1 + z^{-1}} \quad (15)$$

$$Z_i(\phi) = \operatorname{Rei} \frac{1 + \alpha_i + \phi(1 - \alpha_i)}{1 - \beta_i + \phi(1 + \beta_i)} \quad (16)$$

가 된다.

이때  $i$  번째 素子が 能動素子를 使用하지 않고 實現되었다면,  $\alpha_i$  과  $\beta_i$  사이에는 다음과 같은 관계가 있다.

$$|\alpha_i| \leq 1 \quad (17)$$

$$|\beta_i| \leq 1 \quad (18)$$

식(16)을 素子値가 陽의 값을 갖도록 두개의 式으로 分離하면 그림 5와 같이  $\alpha_i + \beta_i \geq 0$  일 경우에는

$$\frac{Z_i}{\operatorname{Rei}} = \frac{1 - \alpha_i}{1 + \beta_i} + \frac{2(\alpha_i + \beta_i)}{(1 + \beta_i)^2 (\phi + \frac{1 - \beta_i}{1 + \beta_i})} \quad (19)$$

$\alpha_i + \beta_i \leq 0$  일 경우에는

$$\frac{Z_i}{\operatorname{Rei}} = \frac{1 + \alpha_i}{1 - \beta_i} + \frac{-2(\alpha_i + \beta_i)}{(1 - \beta_i)^2 (\phi + \frac{1 + \beta_i}{1 - \beta_i})} \quad (20)$$

가 된다.

이와같은 方法으로 參考文獻[10], [12]에서 發表된 素子들을 나타내면 표 1과 같다. 표 1에서 보는 바와

표 1. 참고문헌 [10]에서 발표된 소자들의  $\alpha, \beta$  로의 표현

Table 1.  $\alpha, \beta$  expression of elements described in [10]

$\alpha$	$\beta$	Element in $\phi$ Domain	SC-Realization
0	0		
1	1		
-1	-1		

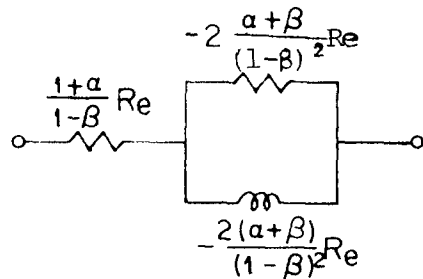
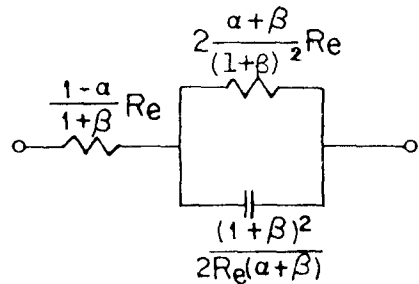


그림 5. 1차 소자들의 등가회로 (a)  $\alpha + \beta \geq 0$ , (b)  $\alpha + \beta \leq 0$

Fig. 5. Equivalent circuits of 1st order element (a)  $\alpha + \beta \geq 0$ , (b)  $\alpha + \beta \leq 0$ .

표 2. 임의의  $\alpha, \beta$  조합 중에서 유용한 1차 소자  
**Table 2.** Useful 1st order elements among arbitrary  $\alpha, \beta$  combinations .

$\alpha$	$\beta$	Element in $\phi$ Domain	SC-Realization
1	0		
1	$\frac{C}{C+C_1}$		
1	$-\frac{C}{C+C_1}$		
-1	$\frac{C}{C+C_1}$		
-1	$-\frac{C}{C+C_1}$		
-1	0		

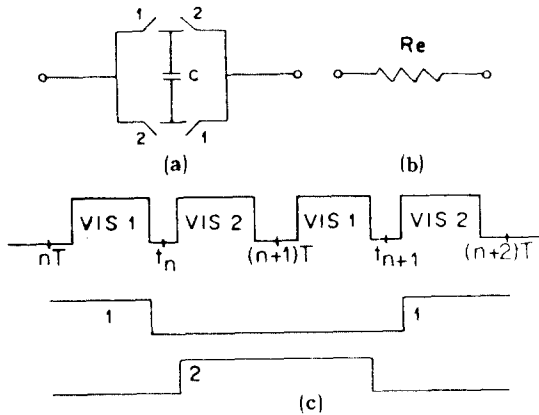


그림 6. Clocking scheme의 중요성을 알 수 있는 예  
 (a) 회로구조, (b)  $\phi$  영역에서의 등가회로,  
 (c) (a)의 회로로 등가저항을 얻는 clocking 방법

**Fig. 6.** An example to show the importance of clocking scheme .

(a) circuit structure, (b) equivalent in  $\phi$  domain, (c) clocking scheme to obtain an equivalent resistance from (a) .

$$v_b(t\bar{n}) = \alpha_1 v_a(tn-1) + \alpha_2 v_a(tn-2) \quad v_b(t\bar{n}^+) = \beta_1 v_a(tn-1) + \beta_2 v_a(tn-2)$$

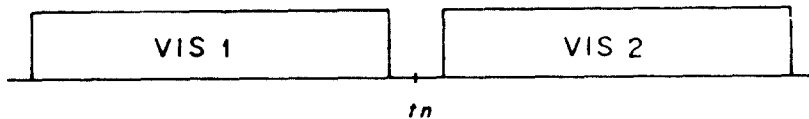


그림 7. 2차소자의 기본 전압 관계

**Fig. 7.** A basic voltage relation of second order elements .

같이 上記 論文에서 記述하고 있는 모든 素子들을  $\alpha = \beta$  즉  $v_b(t\bar{n}) = v_b(t\bar{n}^+)$ 이라는 것을 알 수 있었다.

그러므로 식 (16)은 이를 一般化한 것으로 이 중 그림 5에서 直列抵抗이 zero가 되는 것이 SCF 素子로서 有用한 것이 된다. 표 2는 이를 나타낸 것이다. 각 素子들의 스위치에 對한 詳細한 clocking scheme들은 5節에서 設計例를 들어 說明하기로 한다.

그림 6은 clocking의 重要性을 알 수 있는 例로 그 構造는 표 1의 세번째 열에 있는 인덕터(inductor)와 같지만 그림 6(c)와 같이 clocking 함으로써 抵抗이 된다는 것을 알 수 있다.

### B. 二次素子(Second Order Elements)

二次素子란  $v_b(tn)$ 이  $v_a(tn-1)$ 과  $v_a(tn-2)$ 에 의해 定해지는 素子로서 그림 7과 같이

$$v_b(tn) = \alpha_1 v_a(tn-1) + \alpha_2 v_a(tn-2) \quad (21)$$

$$v_b(tn) = \beta_1 v_a(tn-1) + \beta_2 v_a(tn-2) \quad (22)$$

된다고 하고, 一次素子和 같이  $\alpha_1, \alpha_2, \beta_1, \beta_2$ 를 각각 一次電壓係數, 二次電壓係數, 一次電流係數, 二次電流係數라고 부르기로 한다. 여기서 이 二次素子が 受動素子만으로 實現되었다면  $\alpha_1, \alpha_2, \beta_1, \beta_2$  사이에는

$$\begin{aligned} |\alpha_1| &\leq 1 \\ |\alpha_2| &\leq 1 \\ |\beta_1| &\leq 1 \\ |\beta_2| &\leq 1 \\ |\alpha_2| &= |\beta_2| \neq 0 \end{aligned}$$

라는 관계가 成立하고,  $\beta_1$ 과  $\beta_2$ 는 回路 構造에 따라 關係가 定해지는 從屬變數가 된다.

Capacitor의 값이  $C_i$ 인 任意的  $i$ 번째 素子の 等價電壓  $u_i(tn)$ 과 等價電流  $j_i(tn)$ 은 定義에 의해 각각

$$u_i(tn) = \frac{v_{ia}(tn) + \alpha_{i1} v_{ia}(tn-1) + \alpha_{i2} v_{ia}(tn-2)}{2} \quad (23)$$

$$j_i(tn) = \frac{q(tn)}{T} = \frac{C_i}{T} \{v_{ia}(tn) - \beta_{i1} v_{ia}(tn-1) - \beta_{i2} v_{ia}(tn-2)\} \quad (24)$$

가 되고, 이들을 z 變換을 시키면

$$U_i(z) = \frac{1 + \alpha_1 z^{-1} + \alpha_2 z^{-2}}{2} V_{i_a}(z) \quad (25)$$

$$2 \operatorname{Re} J(z) = (1 - \beta_1 z^{-1} - \beta_2 z^{-2}) V_{i_a}(z) \quad (26)$$

이 된다. 여기서  $\operatorname{Re} i \triangleq \frac{T}{2C_i}$  이다.

또 식(26)을 雙一次變換을 하고 素子의 임피이스를 求하면

$$Z_i(\phi) = \operatorname{Re} i \frac{\phi^2(1 - \alpha_1 + \alpha_2) + 2\phi(1 - \alpha_2) + 1 + \frac{\alpha_1 + \alpha_2}{\beta_1 - \beta_2}}{\phi^2(1 + \beta_1 - \beta_2) + 2\phi(1 + \beta_2) + 1 - \frac{\alpha_1 + \alpha_2}{\beta_1 - \beta_2}} \quad (27)$$

와 같이 된다.

식(27)에서 SC(switched capacitor) 回路로 實現 可能하고 有用한 素子들만 求하면 표 3 과 같다.

표 3. 유용한 2 차 소자들

Table 3. Useful 2nd order elements .

	$\alpha_1$	$\alpha_2$	$\beta_1$	$\beta_2$	Element in $\phi$ Domain	SC - Realization
(a)	0	-1	0	-1		
(b)	0	-1	$\frac{C_1}{C+C_1}$	0		
(c)	0	-1	$-\frac{C_1}{C+C_1}$	0		
(d)	0	-1	$\frac{C}{C+C_1}$	$-\frac{C}{C+C_1}$		
(e)	0	-1	$-\frac{C_1}{C+C_1}$	$-\frac{C}{C+C_1}$		

표 3의 (a)는 共振周波數가  $\phi$  領域에서 1로 固定되고 나머지 素子들은 有損失 共振素子들 이다. 이 有損失 共振素子들의 共振周波數  $\Omega r$  과 quality factor Q의 關係를 그려 보면 그림 8과 같고,  $\Omega r = 1$  일때 Q가 最大가 됨을 알 수 있다.

그림 1(c)와 같은 IVIS 는 安定한 動作을 하는 反面에 電壓係數  $\alpha$  와 電流係數  $\beta$  가 다른 경우에는 principle of inverse recharging 이 成立하지 않으므로 VIS

로서 使用할 수 없다. 그림 9는 本論文에서 提示한 새로운 形態의 VIS로서 그림 9(a)의 경우에는 항상 피이백(feedback) 루프가 연결되어 있어 IVIS와 같이 安定한 動作을 한다. 그림 9(b)는 그림 9(a)를 改造한 것으로 capacitor의 數는 減少되었지만 clock 1과 clock 2 사이에 피이백 루프가 끊어지므로 clocking에 留意하여야 한다.

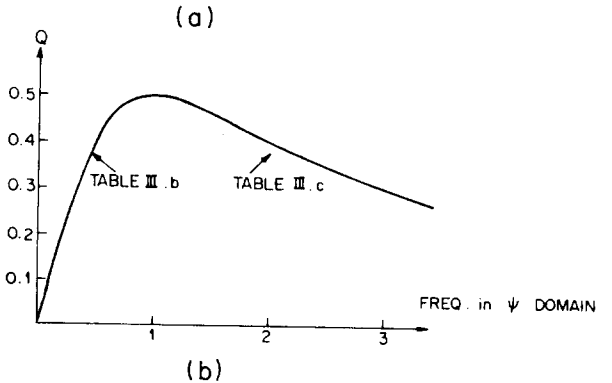
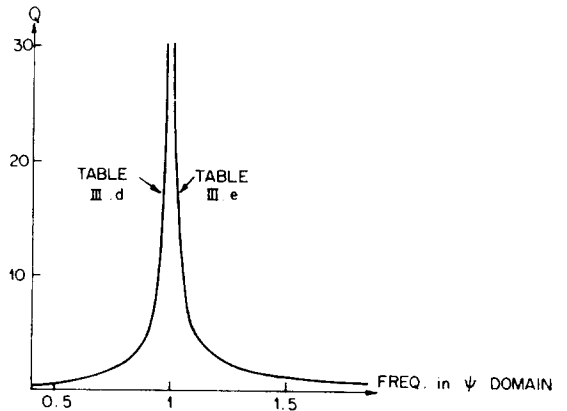


그림 8. 표 3에 나타낸 LC 공진기의 공진 주파수와 quality factor 간의 관계

Fig 8. Quality factor vs. resonant frequency of LC resonator in Table 3.

다음 節에서는 이 節에서 提示한 素子들의 應用에 對해 論하려고 한다.

#### 4. Termination

##### A. 入力Termination

그림 10과 같은 入力 termination 回路에서 電壓  $U(\phi)$  와 電流  $J(\phi)$  사이에는

$$J(\phi) = U(\phi) / Z + \{ U(\phi) - E_s \} / R_s$$

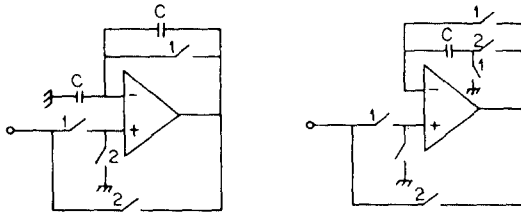


그림 9. 본 논문에서 제시한 VIS 들  
(a) 새로운 형태의 VIS, (b) (a)를 개조한 형태

Fig. 9. VIS's suggested in this paper.  
(a) A new type VIS, (b) Improvement of (a) to reduce a capacitor .

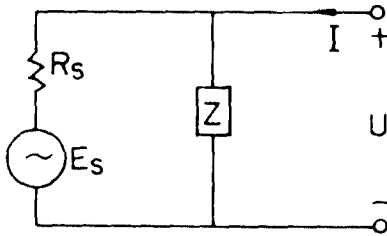


그림 10. 입력 termination  
Fig. 10. Input termination .

의 關係가 있고, 이를 整理하면

$$U(\phi) = \frac{J(\phi) + Es/Rs}{1/Rs + 1/Z} \quad (28)$$

가 된다.

예를 들어 표 2의 첫번째 열에 있는 素子에 그림 11(a)와 같이 電壓源을 넣어 等價電壓  $U(z)$  와 等價電流  $J(z)$ 의 關係式을 求하면 다음과 같다.

$$U(z) = \frac{V_a(z) + z^{-1} V_a(z)}{2} \quad (29)$$

$$2 \operatorname{Re} J(z) = V_a(z) - Es \quad (30)$$

식 (29)와 식 (30)에서  $V_a(z)$ 를 소거하면

$$U(z) = (1 + z^{-1}) \{ \operatorname{Re} J(z) + Es/2 \}$$

가 되고, 이를 雙一次變換을 하면

$$U(\phi) = \frac{J(\phi) + Es/2\operatorname{Re}}{1/2\operatorname{Re} + \phi/2\operatorname{Re}} \quad (31)$$

가 된다. 이를 식 (28)과 比較하여 等價回路를 求하면 그림 11(c)와 같다.

표 2와 표 3은 다른 素子들에게서도 capacitor를 放電시키는 루프에 電壓源을 넣으면 그림(12)와 같은 等價回路가 된다. 特別히 이 경우 入力抵抗値와 그의 並列

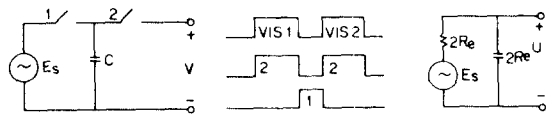


그림 11. (a) 표 3의 RC 병렬 소자, (b) clocking 방식, (c) (a)의 등가회로

Fig. 11. (a) RC parallel element in Table 3, (b) clocking scheme, (c) equivalent circuit of (a).

回路(Z)의 素子値가 같으면  $\phi$  領域에서 두개의 素子가 하나의 capacitor로 實現되지므로 全體의 capacitor 數를 줄일 수 있겠다. 特別히 표 3의 有損失 並列共振器는 그 共振周波數가 1이 아닌 경우에는 Q가 그림 8과 같이 急激히 減少하여 共振回路로서는 쓸모 없으나 이를 그림 12(c)와 같이 termination 素子로서 有用하게 使用할 수 있다.

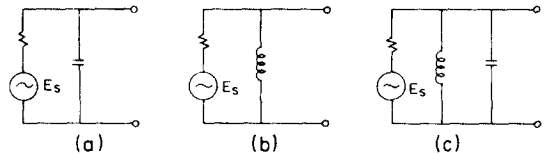


그림 12. (a), (b) 표 2 소자들의 등가회로  
(c) 표 3 소자들의 등가회로

Fig 12. (a), (b) equivalent circuits of elements in Table 2, (c) equivalent circuit of elements in Table 3.

## B. 出力 Termination

SCF 回路에서 出力電壓을 抽出할 때, 設計時 使用한 等價電壓  $U(tn)$ 과 實際로 抽出하는 電壓  $v_a(tn)$  사이에는 식(5)와 같은 關係가 있기 때문에 이를 考慮하여야 한다. 그러나 표 1의 첫열의 素子와 같은 resistive termination인 경우에는 電壓係數  $\alpha=0$ 이므로 식 (10)에서

$$U(tn) = \frac{1}{2} v_a(tn)$$

로 주어지기 때문에 特別한 回路가 必要로 하지 않으면 단지  $v_a(tn)$ 을 出力으로 抽出하면 된다. 이 경우 出力抽出電壓  $v_a(tn)$ 은 出力等價電壓의 두배가 되는데, 이는 SCF에서 入出力의 termination 素子인 抵抗까지 넣어 設計하기 때문에 생기는 電壓減衰를 相殺하는 結果를 가져오게 한다.

그러나 一般的인 termination 素子의 경우에는 等價電壓의 定義에 의해 電壓을 抽出하여야 한다. 그러므로 모든 SCF의 出力段에 使用되는 sample and hold의 sample 段을 그림 13과 같이 하여야 한다.

여기서  $C_1 = C_2$  이면 出力電壓  $v_0(tn)$  은  

$$v_0(tn) = v_b(tn) + v_a(tn)$$

$$= 2U(tn)$$

가 된다. 물론 願하는 電壓利得을 갖도록  $C_1$  과  $C_2$  를 定할 수도 있겠다.

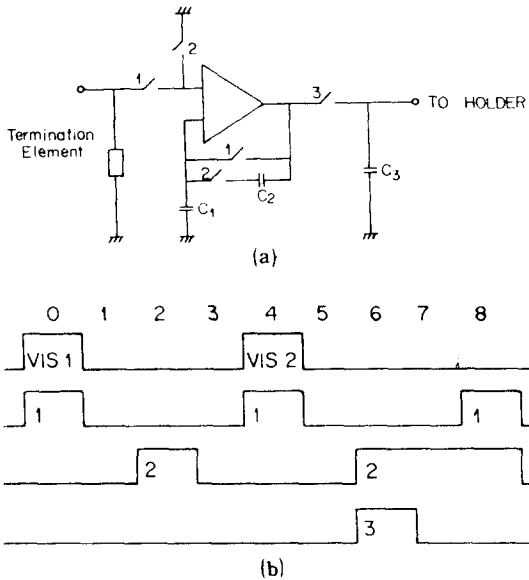


그림 13. Sample and hold 를 개조한 sample 단  
**Fig. 13.** Modified sample stage of sample and hold.

### 5. SCF 設計 例와 그 實驗結果

A. 減衰極 (attenuation pole) 을 갖는 三次 低域 通過濾波器

通過帶域과 截止帶域이 各各 0~1.5 KHz, 2.5~6 KHz 이고 各 帶域에서의 最大許容減衰  $A_{max}$  과 最大許容減衰  $A_{min}$  가 各各 0.3 dB, 25dB 인 低域通過濾波기를 設計하고자 한다.

截止帶域에서의 減衰를 增加시키기 위해 2.5 KHz에 減衰極을 넣고 動作周波數를  $F = 10$  KHz 로 定하고, 通過帶域의 遮斷周波數  $f_c$  와 截止帶域의 始作周波數  $f_s$  를 雙一次變換 領域의 周波數  $\Omega$  로 換算하면 各各

$$\Omega_c = \tan(\pi f_c / F) = 0.5095$$

$$\Omega_s = \tan(\pi f_s / F) = 1.0000$$

로 주어진다.

이 低域通過濾波기를 雙一次變換 領域에서 그림 14 (a)와 같은 回路로 實現하고, 그 素子值를 handbook

[11]에서 求하면

$$R_1 = R_2 = 1.0000$$

$$C_1 = C_2 = 2.2657$$

$$L_3 = 1/c_3 = 1.7672$$

가 된다.

또 그림 14(a)의  $R_1 // C_1$  과  $R_2 // C_2$  는 표 2의 두번 째 열에,  $L_3 // C_3$  는 표 3의 첫열에 該當되므로 이들을 SC 回路網으로 具現하면 그림 14(b)와 같다. 여기서  $C_a, C_b$  와  $C_f, C_g$  로 構成되는 回路網은 termination 素子이다. 또 이들 素子들의 clocking은 各 素子들에 該當되는 電壓係數와 電流係數들에 의해 그림 14(c)와 같이 定해 진다.

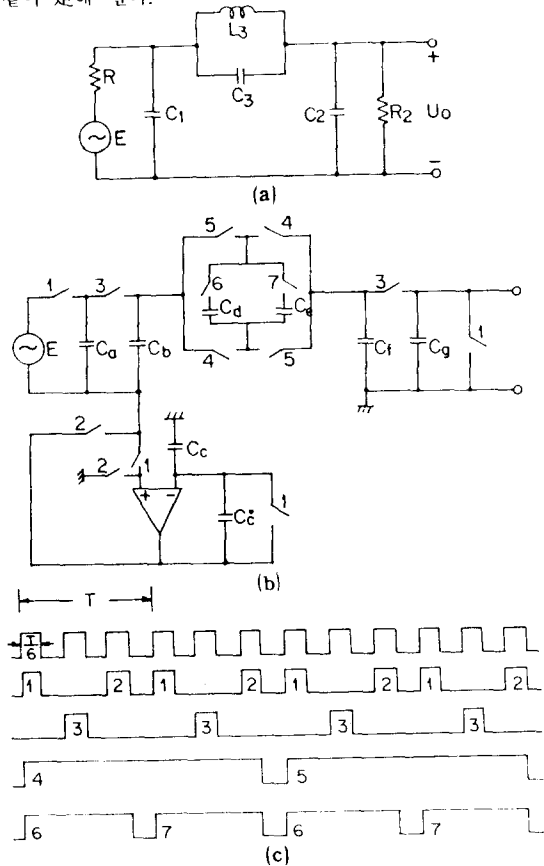


그림 14. 저역통과 여파기, (a) RLC 수동 여파기 회로, (b) 실현한 SC 회로, (c) clocking 방식

**Fig. 14.** Low pass filter, (a) RLC passive filter circuit, (b) SC realization, (c) Clocking scheme.

이 實驗에서 使用한 VIS 는 本 論文에서 提示한 것으로 VIS 1과 VIS 2는 各各 control clock 1과 2



에 該當된다. 그림 14 (c)의 clocking scheme 을 보면 RC 並列回路의 clocking은 clock 1 ( VIS 1) 때의 係數  $\alpha = 1$  이고, clock 3 때에는  $C_a, C_b$  의 경우에는  $v_b(t_n)$  와  $E(t_n)$  을  $C_f, C_g$  의 경우에는  $v_b(t_n)$  를 再分配하여 clock 2 (VIS 2) 에서의 係數  $\beta$  가 되도록 한다. 또 LC 並列共振回路에서는  $\alpha_1 = \beta_1 = 0, \alpha_2 = \beta_2 = -1$  이므로 clock 4,5,6,7 를 開閉시켰다.

표 1 과 표 2 를 利用하여 그림 14 (b)의 capacitor 比 를 求하면

$$\begin{aligned} C_a &= C_g = 4.559 \\ C_b &= C_f = 2.885 \\ C_d &= C_e = 1.000 \end{aligned}$$

이고  $C_c$  는 任意의 값이다. 다음은 實驗에 使用한 實際의 capacitor 값이다.

$$\begin{aligned} C_a &= C_g = 45.5 \text{ nF} \\ C_b &= C_f = 2.88 \text{ nF} \\ C_c &= 3.3 \text{ nF} \\ C_d &= C_e = 10 \text{ nF} \end{aligned}$$

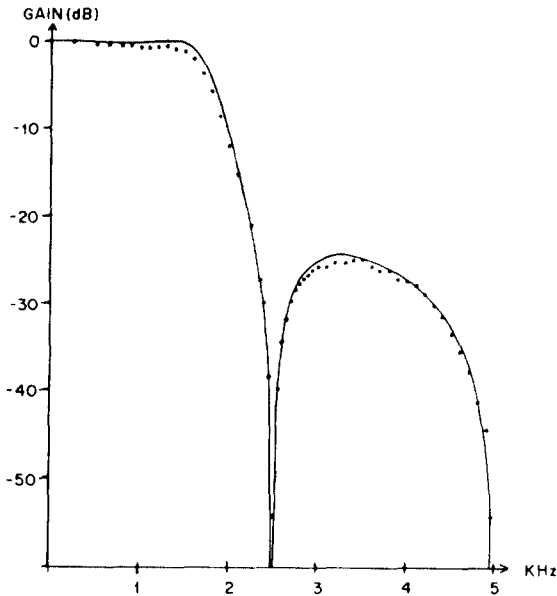


그림 15. 그림 14 의 실험결과,  $1/T = 10 \text{ KHz}$ , 역 쌍일차 변환(애널로그 周波數 領域)으로 계산된 이론치, ..... 실험치

**Fig. 15.** Experimental result of the SCF shown in fig. 14,  $1/T = 10 \text{ KHz}$ . theoretical value calculated in the inverse bilinear transformation (anlog freq. domain), .....experimental value

그림 15 는  $1/T = 10 \text{ KHz}$  로 하여 實驗한 結果이다. 實驗에 使用한 capacitor 가 5%의 誤差를 가진 것임을 考慮하면 그림 15 의 結果는 理論値와 잘 一致함을 보여 주는 것이라 하겠다.

**B. 帶域洄止濾波器 (Band - Stop Filter)**

그림 16 (a)와 같은 簡單한 帶域洄止濾波器를 그림 16 (b)와 같이 SCF 로 具現하였다.

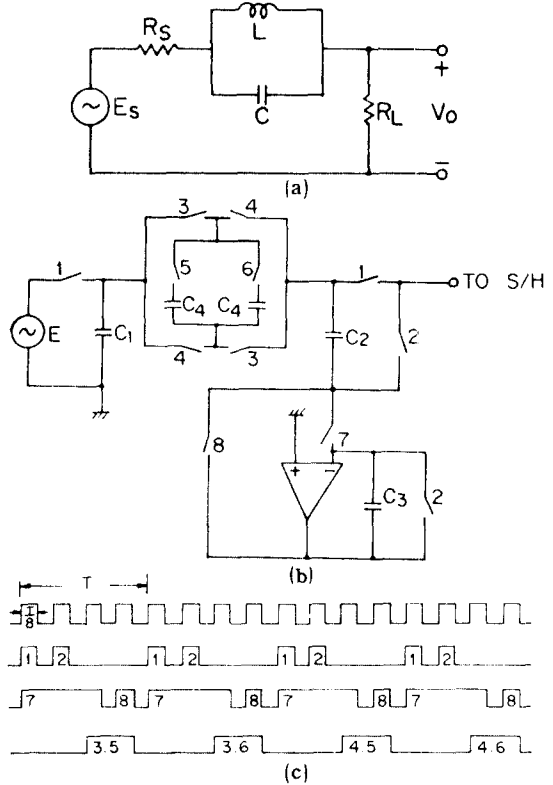


그림 16. 대역저지 여파기, (a) RLC 수동 여파기 회로 (b) 실현한 SC 회로, (c) Clocking 방식  
**Fig. 16.** Band-stop filter, (a) RLC passive filter circuit, (b) SC realization, (c) Clocking scheme .

이 回路에서 使用되어지는 모든 素子들은 電壓係數와 電流係數가 같으므로 IVIS 를 使用하여 實驗하였다. 實驗에 使用한 實際의 capacitor 값은 다음과 같고

$$\begin{aligned} C_1 &= C_2 = 10 \text{ nF} \\ C_3 &= 5 \text{ nF} \\ C_4 &= 10 \text{ nF} \end{aligned}$$

그림 17 은  $1/T = 10 \text{ KHz}$  로 하여 實驗한 結果이다.

그림 17(b)는 그림 17(a)를 擴大한 것으로 앞의 低域通 過濾波器보다 實驗値와 理論値가 잘 맞는 것을 볼 수 있는데 이는 capacitor의 비가 定數이기 때문에 capacitor 間의 比 誤差를 더욱 줄일 수 있었기 때문이다.

이 두 實驗에서 R, L, C 等價回路에는 竝列回路로 인해 루프가 생겨 每 루프마다 VIS 를 넣어야 한다고

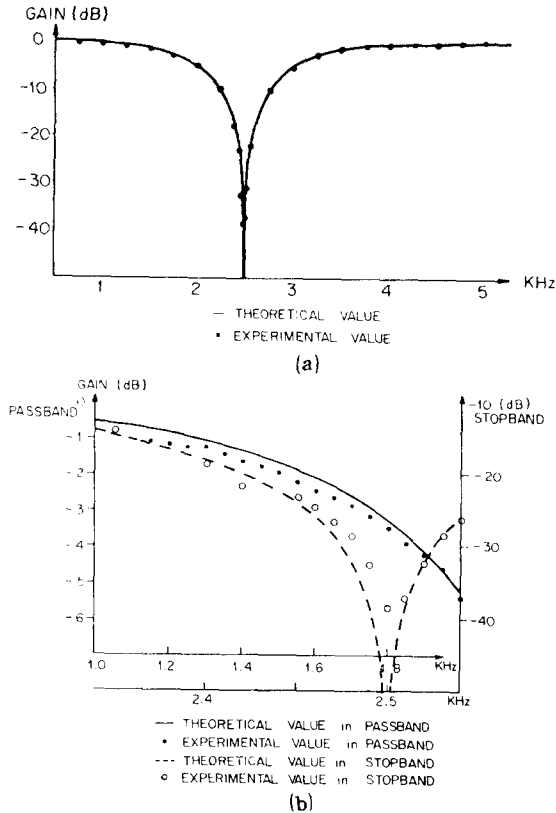


그림 17. (a) 그림 16의 실험결과, (b) (a)를 확대한 그림  
**Fig 17.** (a) Experimental result of band-stop filter show in Fig. 16 ,  
 (b) Expanded scale of (a).

[10][12] 여겨지지만, 本論文에서는 이들의 竝列回路를 한 素子로서 具現함으로써 SC回路로는 이들의 竝列素子들에 의한 루프가 없어져 한개의 VIS 만으로 實驗할 수 있었다.

이와 같이 표 2와 표 3의 竝列素子들을 使用하여 S-CF를 集積化 한다면 大部分의 chip面積을 차지하는 演算增幅器의 數를 줄일 수 있으므로 SCF의 chip크기를 줄일 수 있겠다.

이 實驗에 使用한 모든 스위치와 演算增幅器는 各各 CA 4066과 CA 3140 이다.

參考로 그림 15, 17의 橫軸은 애널로그 周波數이다.

## 6. 結 論

至今까지 VIS 를 使用한 SCF 設計方法에서 그 clocking scheme을 一般化 시키는 概念들과 이로 인하여 생기는 새로운 素子들에 對해 記述하였다. 이로써 至今까지 實現하기에 問題가 있었던 SCF 內의 竝列素子들을 하나의 素子로 實現함으로써 이들에 의해 생기는 floating 루프가 없어지게 되어 SCF 全體의 VIS 數를 減小 시킬 수 있겠다. 特히 LC 竝列共振素子の 경우 그 共振周波數가 1이 아닌 경우에는 Q가 매우 낮아 濾波器內의 素子로는 쓸모가 없으나 이를 termination素子로 使用함으로써 入力抵抗과 負荷抵抗을 同時에 具現할 수 있다.

또 RC, RL 竝列素子에서 各各  $R = \frac{1}{C}$ ,  $R = L$  로 하여 SCF를 設計한다면 雙一次變換 領域에서 두개의 素子를 한개의 capacitor로 實現할 수 있으므로 SCF 全體의 capacitor 數도 줄일 수 있다.

따라서 本論文에서 提示한 여러가지 方法을 使用하여 SCF를 集積化 한다면 chip面積을 더욱 줄일 수 있겠다.

그러나 VIS 를 使用한 SCF 設計方法은 各素子 特히 인덕터(inductor) 形態의 構造에서 생기는 浮遊(stray) capacitor가 問題가 되지만 最近에 集積回路 製作에서는 이를 減少시키는 方法이 提示된 바 있으며 [12], 또 이를 예상할 수 있다면 이를 고려하여 computer를 使用하여 SCF를 設計할 수 있겠다.

## 參 考 文 獻

1. D.L. Fried, "Analog Sampled-data Filters", IEEE J. Solid-State Circuits (Corresp), SC-7, pp. 302~304, Aug. 1972.
2. R.W. Broderson, P. R. Gray and D. A. Hodges, "MOS Switched-Capacitor Filters", Proc IEEE, vol. 67, No.1, Jan. 1979.
3. J.T. Caves, M.A. Copeland, C.F. Rahim and S.D. Rosenbaum, "Sampled Analog Filtering Using Switched Capacitors as Resistors Equivalents", IEEE J. Solid-State Circuits, vol. SC-12, No.6, Dec. 1977.
4. G.C. Temes, H.J. Orchard and M. Jahanbeglo "Switched-Capacitor Filter Design Using the Bilinear z-Transformation", IEEE Trans. Circuits Syst., vol. CAS-25, No.12, Dec. 1978.

5. L.T. Bruton, "Low Sensitivity Digital Ladder Filters," IEEE Trans. Circuits Syst., vol. CAS-22, pp. 168~176, Mar. 1975.
6. M.S. Lee and C. Chang, "Switched-Capacitor Filters using the LDI and Bilinear Transformations," in Proc. Int. Symp. on Circuits and Syst., May 1980.
7. Y.L. Kuo, M.L. Liou and J. W. Kasinskas "An Equivalent Circuit Approach to the Computer-Aided Analysis of Switched Capacitor Circuits," IEEE Trans. Circuits Syst., vol. CAS-26, No. 9, Sept. 1979.
8. G.C. Temes and M. Jahanbegloo, "Switched-Capacitor Circuits Bilinearly Equivalent to Floating Inductor or FDNR," Electron. Lett., vol. 15, pp. 87~88, 1979.
9. P.E. Fleischer, K.R. Laker, D.G. Marsh, J.P. Ballantyne, A.A. Yiannoulos and D.L. Fraser, "An NMOS Analog Building Block for Telecommunication Applications," IEEE Trans. Circuits Syst., vol. CAS-27, No. 6, June 1980.
10. A. Fettweis, D. Herbst, B. Hoefflinger, J. Pandel and R. Schweer, "MOS Switched-Capacitor Filters Using Voltage Inverter Switches," IEEE Trans. Circuits Syst. vol. CAS-27, No. 6, June 1980.
11. A.I. Zverev, Handbook of Filter Synthesis, John Wiley and Sons Inc., 1967.
12. D. Herbst, B. Hoefflinger, K. Schumacher, R. Schweer, A. Fettweis, K. Owenier and J. Pandel, "MOS Switched-Capacitor Filters with Reduced Number of Operational Amplifiers," IEEE J. Solid-State Circuits vol. SC-14, No. 6, Dec. 1979.
13. J. Pandel, "Sequential Voltage-Inversion Principle for Switched-Capacitor Filters," Electron Letters, vol. 15, pp. 339~440, June 21, 1979.

