

# 디지털 시스템의 回路測定 評價方式에 관한 研究 (A Study on a Testability Evaluation Method for the Digital System)

金 容 得\*  
(Kim, Yong - Deak)

## 要 約

本 論文은 디지털 시스템의 回路測定 評價方式에 관한 研究로서, 組合論理回路와 順序論理回路에서의 回路複雜도와 部分回路에 대한 外部 端子로부터의 接近度を 구하고, 이 들로부터 測定評價方式을 論하였다. 따라서 回路設計 初에 이 評價方式을 적용해봄으로써, 더 좋은 測定評價도를 얻도록 再設計되어져야 하며 이러한 設計方法은 시스템 維持補修에 매우 경제적이고 信賴度を 높일 수 있다.

또한 스테픈슨 - 그레손의 方法과 本 方法의 回路測定 評價도를 비교하면 결과 값은 서로 일치하면서 本 方法이 計算過程에서 매우 간편하였다.

## Abstract

This paper deals with the testability evaluation method for the digital systems. This method uses two factors: the complexity and the accessibility.

The complexity depends on the ratio in combinational and sequential circuits, number of input/output terminals, and the circuit count by using the gate input level method. The accessibility is how easily to handle the data from I/O terminals. The system testability has a normalized value. Thus, analyzing the testability evaluation, and redesigning the circuit to improve testability, the systems increase interests for the maintenance and have high reliability.

Finally, in comparison with Stephenson and Grason's technique, this technique gives sufficiently accurate results for much less computation effort.

## 1. 序 論

디지털회로의 誤動作에 대한 評價方法은 더욱 複雜化되는 디지털 시스템에서 維持補修와 信賴度 향상을 위하여 매우 중요하게 되었다. 따라서 시스템 設計에서 回路의 誤動作測定回路 및 補修회로의 插入은 필연적이 되어가며, 이에 관한 基本原理는 McCluskey 教授<sup>[1]</sup>에 의하여 考察되었다. 즉 測定時間의 減少와 測定結

果에 대한 信賴度を 增加시킬 수 있도록 測定이 어려운 回路를 가능한 限 測定이 쉬운 回路로 變化시켜 回路 設計初에 고려되어야만 한다. 그러나 實回路에서 測定의 難易度を 決定하는데에는 몇 가지 要素와 信賴度에 대하여 各 素子에 따라 비중을 두어 取扱해야 한다.

일반적으로 測定에 대한 效果的인 設計에는 다음 두 조건을 要한다.

1. 測定度에 대한 矯正 또는 改善技術은 設計初에서 고려되어야 하며,
2. 測定上의 特徵이 再設計에서 고려되어야 한다. 먼저 이와 관련된 理論은 Consolla와 Danner<sup>[1]</sup>의

\* 正會員, 亞洲大學校 電子工學科  
(Dept. of Electronics, Ajou Univ.)

接受日字: 1981年6月16日

testability rating system에서 論議되었다. 測定度에 영향을 주는 要因으로는

1. 回路의 複雜性에 따라 正比例하는 要素로서 回路의 構成數, I/O端子, 機能單位素子에 의한 基本的인 要素(basic factor),

2. 回路測定에 간접적인 도움을 주는 文書, 回路圖, 소켓 등과 같은 陽的要素(positive factor)

3. 測定에 어려움을 주는 順序論理回路, mono-stable과 같은 負的要素(negative factor)로 實驗에 의하여 비중을 두어 解析하였다.

더욱 理論的인 測定評價方法은 Stephenson 과 G-ration<sup>[3]</sup>, Goldstein<sup>[4]</sup>에 의한 入力の 可制御性과 出力의 可觀測性(controllability and observability)이며, 이는 回路의 特定點에서 人力의 可制御性과 出力의 可觀測性에 의한 傳達函數를 구함으로써 測定度の 難易性을 計算하였다. 그러나 이 方法에서 順序論理回路에 대하여는 언급되지 않았고, 더욱이 入력이 많은 경우에는 計算이 어렵다. 그러므로 本論文에서는 組合論理回路뿐만 아니라 順序論理回路에서도 쉽게 測定度を 구할 수 있는 알고리즘에 관하여 展開하였다.

II. 評價度の 展開

組合論理回路와 順序論理回路에 대한 測定度を 유도하기 위하여 回路內에서 測定에 어려움을 주는 素子特性에 대하여 언급하고, 測定이 쉬운 回路로의 變化方法에 대하여 論하기로 한다.

일반적으로 디지털回路는 몇 개의 機能的인 블럭으로 나눌 수 있으며, 이렇게 몇 개의 블럭으로 區劃하여 測定하면 測定回路가 간단하고, 測定時間이 빨라진다. 즉 둘로 나누면 回路와 時間에서 8배의 利點이 있다.<sup>[5]</sup>

이들 블럭은 위치에 따라 測定도가 다르다. 또한 입의 블럭에서 블럭 複雜度와 I/O단자에 信號가 얼마나 쉽게 얻을 수 있는가에 따른 接近度を 고려 하도록 한다. 이때의 블럭 測定度(BT; block testability)는 區劃된 블럭의 回路複雜度(BC; block complexity)와 外部端子에서 그 블럭에 情報가 될 수 있는 尺度를 나타내는 블럭 接近度(BA; block accessibility)의 대수적인 함수로 정의하면 (1)식과 같이 表示할 수 있다.

$$BT = BA \times BC \quad (1)$$

여기서 BT, BA, BC는 正規值로서 難易性에 따라 0에서 1의 값을 갖는다.

즉 BT가 1이라 함은 모든 回路를 항상 測定할 수 있고(그림1(a)), 0은 測定할 수 없음을 의미한다.(그



그림 1. 블럭 설명도  
Fig.1. Block description.

림 1(b)), 또한 BA가 1이면 항상 入力情報, 出力情報로부터 그 블럭을 制御할 수 있고(그림 1(a)), 0은 어느 경우에도 制御할 수 없음을 뜻한다.(그림 1-b), BC가 1은 블럭 回路가 간단하고, 0은 매우 複雜함을 뜻한다.

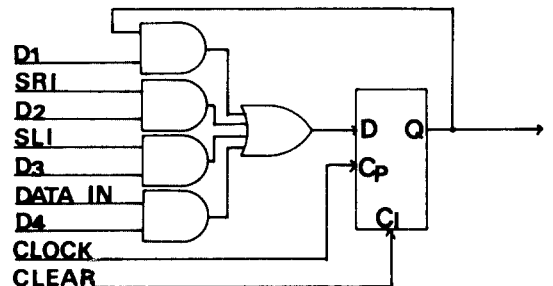
II - 1. 블럭 複雜度

주어진 블럭의 複雜度는 다음 要素에 따라 결정한다.

1. 블럭의 入力端子數
2. 블럭의 出力端子數
3. 블럭의 回路構成數

여기서 回路構成數란 Corsolla 와 Danner<sup>[2]</sup>의 gate input level法 (gate = 入力數 + 1, inverter = 3, flip-flop = 7, XOR = 5)에 의한 論理回路 計算方法이다. 그러나 블럭의 構成數는 같은 構成數를 갖는 回路라도 誤動作測定에는 순수한 組合論理回路와 順序論理回路에 따라 다르므로 그림 2의 実回路에서 考察해 보면 다음과 같다.

그림 2는 단일비트 양방향 쉬프트레지스터로서 入出力端子數는 9이고 (clock pulse 입력은 제외시킴) 全回路의 構成數(Cc)를 計算하면 2입력 AND gate 4개 (3 × 4)와 4입력 OR gate 1개 (5), 또 플립플롭 1개(7)로 구성되어 있기 때문에 Cc = 12 + 5 + 7이 된다.



- D1 : No change
- D2 : Shift right
- D3 : Shift left
- D4 : Data load

그림 2. 양방향 쉬프트레지스터  
Fig. 2. Bidirectional shift register.

또한 順序論理回路의 構成數(Sc)는 귀환 회로를 지나는 모든 論理게이트로서 고려될 수 있다. 즉 그림 2에서 順序論理回路의 構成數는 AND(3), OR(5) 및 F/F(7)을 지나는 1개의 귀환회로로서 Sc = 3+5+7이 된다. 따라서 全回路 構成數에 대한 順序論理 回路의 構成數의 비율(S<sub>CR</sub>)은 (2)식과 같다.

$$S_{CR} = Sc / Cc \quad (2)$$

그러므로 全回路의 構成數(Tc)는

$$Tc = Cc \{ 1 + S_{CR} \} \quad (3)$$

로 表示할 수 있으며, 이는 어느 回路內에 포함된 順序論理回路가 많을 수록 回路構成數가 증가됨을 뜻한다.

블럭의 複雜度(BC)는 全回路構成數가 클수록 測定이 어렵고(0에 접근), 入出力數가 많을수록 간단(1에 접근)하기 때문에 이들의 대수적인 비율로 (4)식과 같이 정의할 수 있다.

$$BC = \text{SQRT} \{ (I + O) / Tc \} \quad (4)$$

여기서 제공근은 複雜度의 分布度를 개량하기 위한 것으로 分散과 標準偏差와의 관계가 같다.

그림 2에서 全回路의 複雜度(Tc)를 計算하면 T<sub>c</sub> = Cc(1 + Sc/Cc) = 49가 된다. 이는 같은 回路라도 귀환회로가 없는 경우에는(이에 귀환회로 입력은 외부입력으로 처리함), T<sub>c</sub> = Cc(1 + Sc/Cc) = 34(1 + 0/34) = 34가 되어 測定을 위한 回路複雜度는 BC = √(9/49) = 0.429(귀환회로가 있는 그림 2), BC = √(10/34) = 0.542(그림 2에서 귀환회로가 없는 경우)로 評價되어 順序回路를 포함한 경우 더욱 測定이 어려움을 뜻한다.

## II-2. 블럭 接近度

接近度란 外部入出力端子로부터 특정점에 情報가 到達할 수 있는 尺度를 나타내며, 블럭 接近度는 주어진 블럭의 I/O점에서 外部I/O端子로부터 얼마나 쉽게 도달할 수 있는가에 따라 決定된다. 따라서 이는 중간에 插入되어 있는 回路의 複雜度에 따라 決定된다.

複雜한 시스템에는 몇 개의 副回路를 갖기 때문에(예를 들면 microprocessor內에는 ALU, 制御回路, 記憶素子등) 外部入出力端子로부터 이들 각 副回路의 接近度는 각각 다르다. 또한 각 副回路는 몇 개의 블럭으로 나누어질 수 있으며, 이들은 機能的區劃으로 分類된다 [6] 그러므로 이러한 블럭의 接近度を 구하기 위하여 接近에 영향을 줄 수 있는 要素를 택하면 다음과 같다.

1. 블럭 팬아웃數
2. 블럭 귀환회로
3. 入出力 경우 블럭의 接近度와 複雜度

여기서 주어진 入力에 대한 특정 블럭의 接近度는 前 端 블럭의 複雜度에 따라 計算된다. 예를 들면 j 블럭의 k번째 입력 IAB<sub>jk</sub>는 前 端 즉 j-1 블럭의 接近도와 複雜度의 함수로 (5)식과 같이 表示할 수 있다.

$$IAB_{jk} = IAB_{j-1} \times BC_{j-1} \quad (5)$$

여기서 IAB<sub>j-1</sub>은 j-1 블럭의 平均入力接近度이고 BC<sub>j-1</sub>은 j-1 블럭의 複雜度이다. j 블럭의 k번째 入力에 대한 接近度(IAB<sub>jk</sub>)란 j 블럭의 k번째 入力 端子에 外部入力端子로부터 情報가 얼마나 쉽게 到達될 수 있는지의 정도를 正規值로 나타내며(즉 1은 外部 入力端子로부터 직접 連結되었음을 뜻하고, 낮은 값일 수록 複雜한 回路블럭을 지나 連結됨을 뜻함), 前 端의 複雜度와 入力接近도에 따라 決定된다.

또한 j 블럭의 k번째 出力에 대한 接近度(OAB<sub>jk</sub>)도 j 블럭의 k번째 出力端子의 情報가 外部端子에 얼마나 쉽게 도달될 수 있는지의 정도로서 통과될 블럭의 出力接近度(OAB<sub>j+1</sub>)와 블럭 複雜度(BC<sub>j+1</sub>)에 따라 決定한다.

$$OAB_{jk} = OAB_{j+1} \times BC_{j+1} \quad (6)$$

따라서 j 블럭의 接近度는 j 블럭의 각 入出力에 대한 平均接近度로서 表示할 수 있다.

$$AB_j = \frac{\sum_{k=1}^{n_j} IAB_{jk} + \sum_{k=1}^{m_j} OAB_{jk}}{n_j + m_j} \quad (7)$$

여기서 n<sub>j</sub>, m<sub>j</sub>는 j 블럭에서의 入力數, 出力數를 나타낸다. 그러나 특정 블럭의 出力에 팬아웃端子를 갖는 경우엔, 이들이 發生된 블럭에서 팬아웃通路에 의한 各 通路의 平均出力接近度로서 (8)식과 같이 修正 되어져야 한다.

$$OAB_{jk} = \frac{\sum_{mi=1}^m (OAB_{mi} \times BC_{mi})}{m} \quad (8)$$

여기서 m은 j 블럭의 k번째 出力에 連結된 팬아웃數이며, m<sub>i</sub>는 팬아웃으로 連結된 블럭을 뜻한다.

## II 3. 시스템 測定度

j 블럭의 測定度는 j 블럭의 接近度(BA<sub>j</sub>)와 複雜度(BC<sub>j</sub>)에 따라 (9)식과 같다.

$$BT_j = BA_j \times BC_j \quad (9)$$

그러나 디지털 시스템에는 이러한 몇 개의 블럭으로 構成되어 있기 때문에 시스템의 測定度(ST)는 이들 블럭의 測定度の 산술평균으로 정의할 수 있다.

$$ST = \frac{\sum_{j=1}^m BT_j}{m} \quad (10)$$

여기서 m은 시스템內에 있는 블럭수이다.

그러나 시스템內에 몇 개의 동일 블럭으로 構成된 경우에는 이들은 測定하기 위한 回路는 간단해지므로 어

면修正을 要한다. 즉 디지털 시스템에  $j$ 블럭과 同一한 블럭이  $n_j$ 개 있다면 이를 위한 測定回路는 1개 블럭을 위한 測定回路로서  $n_j$ 개 블럭을 위한 測定回路로서  $n_j$ 개 블럭을 모두 測定할 수 있어, 測定度가 개선되어지므로 (11)式과 같이 修正된 블럭 測定度 ( $MBT_j$ )를 表示할 수 있다.

$$MBT_j = BT_j + (1 - BT_j) \times (N_j - 1) / N_j \quad (11)$$

즉 同一블럭이 없다면 ( $N_j = 1$ 인 경우), 오른쪽 두 번째 항은 0이 되어  $MBT_j = BT_j$ 가 되고, 同一블럭수가 많을수록 測定度는 개선된다. 여기서도  $MBT_j$ 는 正規值 ( $0 \leq MBT_j < 1$ )로서 1에 접근할수록 誤動作測定이 용이하고, 0에 接近하면 어려움을 뜻한다.

또한 (10)式에 주어진 시스템 評價度도 이들 修正된 블럭 測定度를 사용하여 (12)式으로 修正한다.

$$ST = \frac{\sum_{j=1}^m MBT_j}{m} \quad (12)$$

예로 어느 디지털 시스템은 6개의 블럭으로 構成하며, 블럭 測定度가  $BT_1 = 0.6$ ,  $BT_2 = 0.7$ ,  $BT_3 = 0.8$ 이고,  $BT_2$ 블럭이 4개가 동일하다면 (11)式에 의하여  $MBT_2 = 0.91$ 이 되고 따라서 시스템 測定度  $ST = (0.6 + 0.91 + 0.8) / 3 = 0.77$ 이 된다.

### III. 測定度의 計算

이 章에서는 앞에서 論한 시스템 測定評價方法에 대한 實論理回路의 計算方法을 圖示하기로 한다. 즉 이들 實回路는 여러 形態의 回路複雜性을 갖는 것으로서 4비트 加算機, 演算機 (ALU), 및 일반회로에 對하여 考察한다.

#### III-1. 加算機

그림3(a)는 1비트 全加算回路로서 4비트 加算機를 構成하면 그림3(b)와 같고, 이는 쉽게 기능적으로 나누어진다. 이 回路에 대한 回路構成數  $C_c = 30$ 이며 順序論理回路가 포함되어 있지 않기 때문에  $C_c$ 의 修正은 要하지 않는다. I/O數는  $I+O=5$ 이며, 따라서 (4)式으로부터 블럭 複雜度  $BC_j = \sqrt{5/30} = 0.408$  ( $i=1,4$ )이 된다. 또한 블럭의 平均入力接近度는 (5)式으로부터  $IAB_1 = 1$ ,  $IAB_2 = (2 + 1 \times 0.408) / 3 = 0.803$ ,  $IAB_3 = (2 + 0.803 \times 0.408) / 3 = 0.776$ ,  $IAB_4 = (2 + 0.776 \times 0.408) / 3 = 0.772$ 가 되며, 같은 方式으로 出力平均接近度를 구하면 (6)式으로부터  $OAB_4 = 1$ ,  $OAB_3 = (1 \times 0.408 + 1) / 2 = 0.704$ ,  $OAB_2 = (0.704 \times 0.408 + 1) / 2 = 0.644$ ,  $OAB_1 = (0.644 \times 0.408 + 1) / 2 = 0.631$ 이 된다. 즉  $OAB_4$ 는 출력으로부터 직접 測定되어지며,  $OAB_1$ 은 몇 단을 지나 測定되기 때문에 낮은 값이 됨

을 알 수 있다.

또한 블럭 接近度는 (7)式으로부터  $BA_1 = (3 + 0.631 + 1) / 5 = 0.926$ ,  $BA_2 = (2 + 0.803 + 1 + 0.644) / 5 = 0.889$ ,  $BA_3 = (2 + 0.776 + 1 + 0.704) / 5 = 0.896$ ,  $BA_4 = (2 + 0.772 + 2) / 5 = 0.954$ 이다. 따라서 (9)式으로부터 블럭 測定度를 구하면 다음과 같다.

$$BT_1 = 0.926 \times 0.408 = 0.378$$

$$BT_2 = 0.889 \times 0.408 = 0.363$$

$$BT_3 = 0.896 \times 0.408 = 0.366$$

$$BT_4 = 0.954 \times 0.408 = 0.389$$

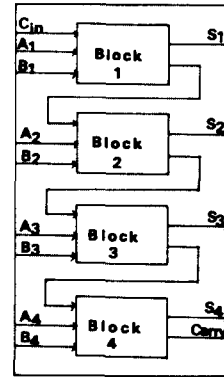
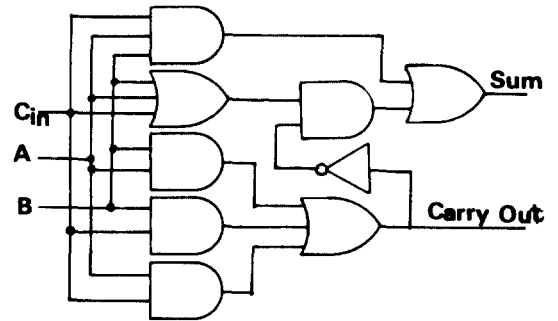


그림 3. 4비트 가산기  
Fig. 3. 4 bit adder.

시스템 測定度는 平均블럭測定度가 0.374이므로 (11)式에 의하여  $ST = MBT = 0.374 + (1 - 0.374) \times \frac{3}{4} = 0.843$  즉  $ST = 0.843$ 이 된다.

#### III-2. ALU (SN 74181)

이 回路는 그림 4에 보여준 것과 같이 나눌 수 있으며<sup>[6]</sup> 각 블럭의 回路構成數는  $C_{c_i} = 27$  ( $i = 1, 4$ )  $C_{c_2} = 121$ 이다. 따라서 블럭 複雜度는  $BC_i = 0.544$

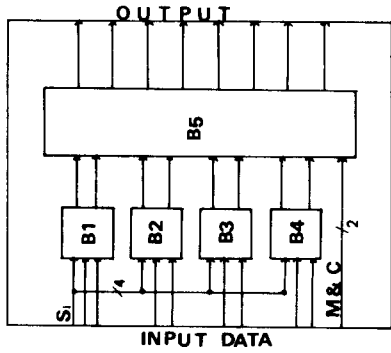


그림 4. 연산기  
Fig. 4. ALU block diagram(SN 74181).

( $i = 1, 4$ ),  $BC_5 = 0.386$  이며, 블록 接近度는  $BA_i = 0.847$  ( $i = 1, 4$ ),  $BA_5 = 0.796$  이 된다. 그러므로 修正된 블록 測定度는  $MBT = 0.856$  (블록 1, 2, 3, 4 는 모두 동일하므로)이며, 따라서 시스템 測定度  $ST = 0.586$  이 된다.

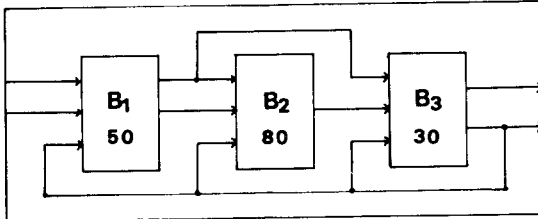


그림 5. 일반적인 시스템블럭  
Fig. 5. General circuit block.

III - 3. 일반회로

이 章에서는 環아웃과 귀환회로를 갖고 있는 그림 5 와 같은 일반회로에 대한 解析을 보여준다. 이 回路에 대한 블록 複雜度 ( $BC_i$ ), 入力接近度 ( $IAB_i$ ), 出力接近度 ( $OAB_i$ )는 각각 다음과 같다.

$$BC_1 = 0.316, BC_2 = 0.224, BC_3 = 0.408$$

$$IAB_1 = 0.684, IAB_2 = 0.483, IAB_3 = 0.125$$

$$OAB_1 = 0.105, OAB_2 = 0.289, OAB_3 = 0.709$$

따라서 블록 接近度는  $BA_1 = 0.395, BA_2 = 0.386, BA_3 = 0.417$  이며, 여기서 블럭 1 ( $B_1$ )에는 1개의 環아웃과 블럭 3에 3개의 귀환회로가 있으므로 (8),(9)式에 주어진 修正式에 의하여 구하면,  $BT_1 = 0.125, BT_2 = 0.087, BT_3 = 0.170$  이 되고, 따라서 시스템 測定度는  $ST = 0.127$  이 된다.

VI. 結論

本 論文에서는 디지털 回路의 誤動作 狀態를 어느 정도로 쉽게 찾아낼 수 있는가에 대한 測定度의 評價方法을 研究하였으며, 4 비트 加算機에 대하여 Step-

heson과 Grason 測定評價方法<sup>[3]</sup>을 本 論文에서 考察한 方法을 比較한 結果값은 표 1에 주어졌다.

표 1에서 보면 절대값은 다르나, 測定度는 비슷한 비율을 갖는다. 그러나 더욱 중요한 비교는 어느 방식이 効果的으로 쉽게 測定度를 計算할 수 있는 가이다.

표 1. 비교 값

	Our Method			StephensonGrason		
	Cc	BA	BT	CTF	OTE	BT
Block 1	0.423	0.928	0.392	0.5	0.143	0.267
2	0.423	0.891	0.377	0.417	0.144	0.245
3	0.423	0.898	0.350	0.375	0.156	0.242
4	0.423	0.955	0.404	0.354	0.249	0.297

Stephenson과 Grason方式에서 CTF(control-ability transfer function)를 구하기 위하여 1개의 入力에 대하여 2<sup>i</sup>에 대한 計算을 하여야하며, 적은 入力에 대하여는 가능하나 많은 入力에 대하여는 어려움이 따른다. 더우기 順序論理回路에 대하여는 論하지 않았다.

그러나 本論文에서는 블럭 構成數에서 順序論理回路를 고려하였으며, 각 블럭의 入出力數가 計算되었고 따라서 쉽게 시스템의 測定度를 評價할 수 있다.

그러므로 回路設計初에서 주어진 論理回路의 測定度를 計算해 본 후, 더 좋은 測定度를 갖도록 再設計한다면, 시스템 維持補修에 매우 경제적이고, 信賴度는 향상될 것이다.

V. 參 考 文 獻

1. E.J. McCluskey, "Design for maintainability and testability" Technical Note, No. 145, CSL, Stanford University, Sept. 1979.
2. W.M. Consolla & F.G. Danner, "An objective printed circuit board testability design guide and rating systems" RADC, Griffss Air Force Base, pp. 1-120, Jan. 1980
3. J.E. Stephenson & J. Grason, "A measure for register transfer level digital circuits" FTCS-6, pp. 101-107, June 1976.
4. I. Goldstein, "Controlability/Observability analysis of digital circuits" IEEE-CS, Vol. cas-26, pp. 685-693, Sept. 1979.
5. T.W. Williams & K.P. Paker, "Testing logic networks and design for testability" Computer, pp. 9-21, Oct. 1979.
6. E.J. McCluskey & S.B. Nesbat, "Structured design for testability to eliminate test pattern generation" FTCS-10, Oct. 1980.