

# MOSFET에서 低周波 雜音의 酸化膜 두께 依存性에 關한 實驗的 研究

## (Experimental Study on Dependency of MOSFET Low-Frequency Noises on Gate Dimensions)

崔 世 崑\*

(Segon Choi)

### 要 約

本實驗에서는 N형 Si基板 内部에 P'소오스, 드레인 領域을 마련하고 게이트電極으로서는 PH<sub>3</sub>를 添加한 構造로서 poly-Si gate MOSFET를 製作하여 이에 對한 雜音 特性에 關해 考察하였다.

實驗結果 게이트 面積이 一定하고 膜두께가 比較的 두꺼울때는 W/L比 1以上에서는 雜音이 低減되는 傾向으로 大體로 理論에 一致하지만 1以下에서는 膜두께에 따른 變化는 완만하다는 것이 實證되었다.

### Abstract

The purpose of this experiment is to evaluate the noise dependency on the gate dimensions of the p-ch MOSFET which is fabricated of p' source, drain, and gate electrode doped with PH<sub>3</sub> gas in type-N Si substrate.

Experimental results indicate that: for the constant gate area and relatively thick films, noise level tends to decrease for the W/L ratio over unity, which generally conforms with theoretical observations, but its variation with the change in the thickness of film is less than the theoretically predicted for the W/L ratio below unity.

### I. 序 論

MOSFET에 있어서 低周波 雜音( $\frac{1}{f}$  雜音)과 게이트의 幾何學的 寸수와와 關係는 Christesson, Ronen, 甲藤 等に 依하면  $V_n^2 \propto \frac{d_0^2}{LW} \cdot \frac{1}{f}$  (L: 채널幅, W: 채널 길이,  $d_0$ : 게이트 酸化膜의 두께)로 나타내고 있다.

이식의 誘導에는 몇 가지 假定과 모델이 사용되므로 실제로 device의 雜音特性을 比較, 推定, 評價하는데는 制約이 따른다.

MOSFET에서 게이트의 幾何學的 寸수를 變化시킨 경우 이에 따른 雜音電圧의 變化를 式을 고려하면서 評價할 목적으로 N형 Si 基板内部에 P'소오스 및 드레인

領域을 마련하고 게이트 電極으로는 phosphine을 添加한 poly-Si를 사용하여 p-channel poly-Si gate MOSFET 구조로 하였다.

이 構造는 게이트에 酸化膜을 形成한 直后에 poly-Si를 CVD方式으로 처리했기 때문에 일반적으로 Al-gate時에 수반되는 汚染에 의한 영향을 감소시킬 뿐 아니라 100Å이하의 gate 酸化膜 두께에서도 높은 收率(yield)의 MOSFET를 제작할 수 있다는 利點이 있고, 또 酸化膜에 대한 磷處理 效果도 기대할 수 있다.

### II. 製 造

原圖(X-400mm, Y-670mm)에 게이트의 크기가 相異한 10種類의 MOSFET pattern을 設計한 다음 표1과 같이  $\frac{1}{200}$  ( $\frac{1}{20} \times \frac{1}{10}$ )로 縮小하는 한천 膜의 두께는 5種類(100, 200, 400, 800, 1200Å)로 하였다.

\* 正會員, 嶺南大學校 工科學科 電子工學科  
(Dept. of Elec. Eng. Young-Nam Univ.)  
接受日字: 1981年 11月 30日

표 1. MOS FET의 규격

Table 1. The dimension of various MOSFET.

MOS NO	길이; L( $\mu$ )	폭; W( $\mu$ )	L×W ( $\mu^2$ )
1	10	500	$5 \times 10^3$
2	20	250	$5 \times 10^3$
3	40	125	$5 \times 10^3$
4	71	71	$5 \times 10^3$
5	125	40	$5 \times 10^3$
6	10	100	$1 \times 10^3$
7	20	200	$4 \times 10^3$
8	50	500	$2.5 \times 10^4$
9	100	1250	$1.25 \times 10^5$
10	200	2000	$4 \times 10^5$

1. Mask 製作

- (1)  $\frac{1}{20}$  Mask : 原圖를  $\frac{1}{20}$ 로 縮小撮影
- (2)  $\frac{1}{200}$  Mask :  $\frac{1}{20}$  마스크를 다시  $\frac{1}{10}$ 로 縮小해서 re-peater로  $15 \times 15$ mm wafer에 原圖 28枚分の 마스크를

표 2. 제조 공정 및 적용 조건

Table 2. Fabrication process and conditions.

공정	방법	식온도( $^{\circ}$ C)	시간(분)	막 두께( $\text{\AA}$ )
1. SiO <sub>2</sub> 막형성	Wet 산화	1100	50	6000
2. Photo etching	-	-	(MASK 1)	
3. 불순물(BBr) 확산	Pre-depo	1000	20	-
4. Drive in (SiO <sub>2</sub> 막형성)	Wet 산화	1000	35	5000
5. Photo etching	-	-	(MASK 2) (Gate)	
6. Gate 막형성	Dry 산화	1100	60	1181 / (1200)
-	Dry 산화	1100	35	818 / (800)
-	Dry 산화	1100	10	443 / (400)
-	Dry 산화	1100	4	228 / (200)
-	Dry 산화	1100	1	144 / (100)
7. Poly Si 형성 (PH <sub>3</sub> doping)	CVD	700	14	-
8. SiO <sub>2</sub> 막형성	CVD	850	10	1000
9. SiO <sub>2</sub> etching	-	-	(MASK 3)	
10. Contact hole	-	-	(MASK 4)	
11. Al 증착	-	-	-	-
12. Sintering	-	500	10	-
13. Al photo etching	-	-	(MASK 5)	

製作하였다.

2. 製造工程 및 適用條件

그림 1은 표 2의 工程 7에 依해 poly-Si CVD 過程에서 添加한 phosphine 濃度에 따른 poly-Si 比抵抗의 變化를 나타낸다.

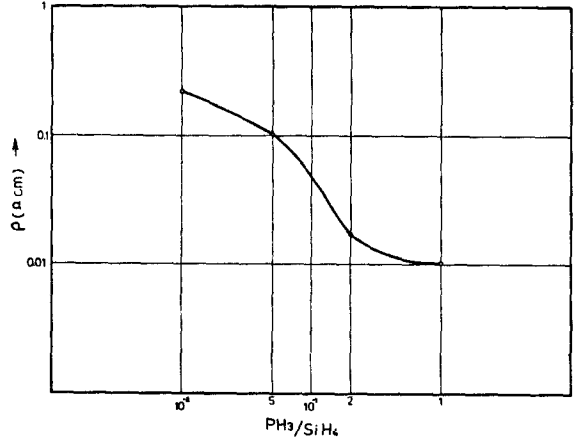


그림 1. 폴리실리콘 비저항의 변화

Fig. 1. The variation of resistivity.

표 3. 측정 값

Table 3. The measured values.

이득:  $R_L = 20K\Omega$ , 전류, 밀도 일정  
전류:  $R_L = 100\Omega$ ,  $V_G = -8(V)$  일때

MOS No. [A] 膜 두께 [ $\mu^2$ ]	W/L	1	2	3	4	5	6	7	8	9	10
		5000	5000	5000	5000	5000	1000	4000	25000	125000	400000
144	K [dB]	17.50	8.23	-1.41	-9.11	-15.39	3.52	6.64	9.54	11.36	13.44
	Id [mA]	-25.62	-6.00	-1.53	-0.47	-0.14	-6.40	-5.65	-5.10	-4.95	-4.85
288	K	15.56	6.23	-3.09	-11.37	-18.4	-2.60	4.60	8.94	9.45	11.24
	Id	-18.37	-4.07	-0.96	-0.29	-0.08	-4.50	-3.80	-3.42	-3.22	-3.11
443	K	14.32	4.86	-6.02	-12.04	-20.00	0.82	3.16	6.44	7.67	9.45
	Id	-14.50	-2.90	-0.65	-0.19	-0.06	-2.90	-2.65	-2.25	-2.25	-2.02
818	K	12.56	2.27	-7.33	-15.39	-21.93	-1.41	0.17	4.13	5.00	6.44
	Id	-7.85	-1.31	-0.27	-0.08	-0.02	-1.71	-1.10	-1.08	-0.92	-0.92
1181	K	11.48	0.98	-8.40	-15.91	-24.43	-3.09	-0.91	-3.16	3.69	4.60
	Id	-7.65	-1.06	-0.19	-0.05	-0.01	-1.38	-0.78	-0.75	-0.68	-0.66

單結晶에 比해 添加量의 增加에 따른 比抵抗의 低下가 적은 것은 主로 Si結晶의 grain size가 작기때문이라고 判단된다. 本實驗에서는  $PH_3/S_2H_6$  比가 0.2인 條件으로 poly-Si을 形成했다.

III. 측 정

1.  $I_d$  측정

$V_G$ 의 sweep 범위는 0 ~ -8 [V] 이고 부하저항은 20 [K $\Omega$ ]로 하였다.

한편 채널전류밀도는 1 [ $\mu A$ ]/10 [ $\mu$ ]으로 일정하게 유지하였다.

표 3은 이 측정결과를 나타낸 것이다.

2. 雜音測定

그림 2는 雜音測定の block diagram이다.

Pre-amp에서 1000배된 雜音이 lock-in-amp에 印加된다.

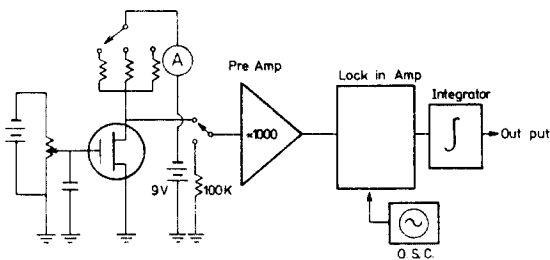


그림 2. 잡음 측정 회로  
Fig. 2. Noise measuring circuit.

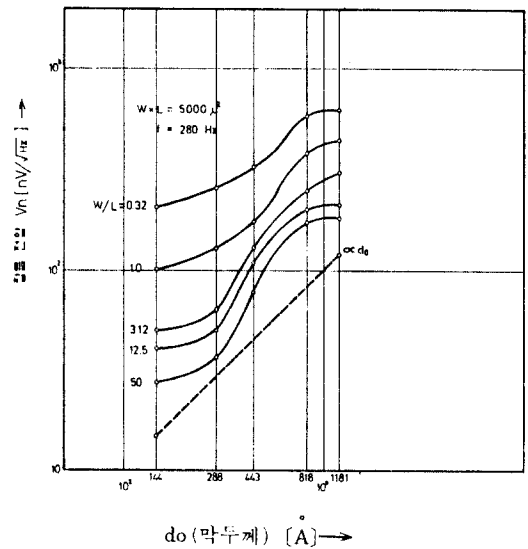


그림 3. 膜 두께와 W/L比의 잡음 전압 특성(1).  
Fig. 3. Relation between film-thickness and W/L ratio (1).

電流密度를 一定하게 유지한 상태에서 負荷抵抗을 變化시키면서 電流變化를 觀測한다.

Lock-in-amp에서 感度를 20 ( $\mu V$ )로 유지할때 100 [k $\Omega$ ]에 대한 雜音電壓은 6.9 (v/sec)였다. 1 [k $\Omega$ ]에 대해 雜音帶域幅 1 [Hz]인때의 雜音電壓은 4 [nV] 이므로 100 [k $\Omega$ ]인 때는 40 (nV/Hz)가 된다.

그림 3 ~ 6은 linear region에서의 雜音電壓 測定值

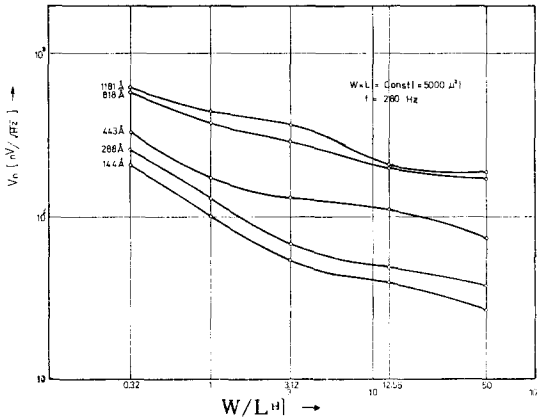


그림4. 膜 두께와 W/L의 잡음 전압 특성(2)  
Fig. 4. Relation between film-thickness and W/L ratio (2).

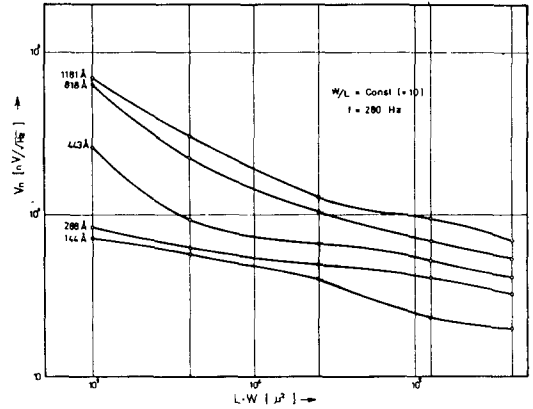


그림6. 膜 두께의 W/L의 잡음 전압 특성(2)  
Fig. 6. Relation between film-thickness and W·L product (2).

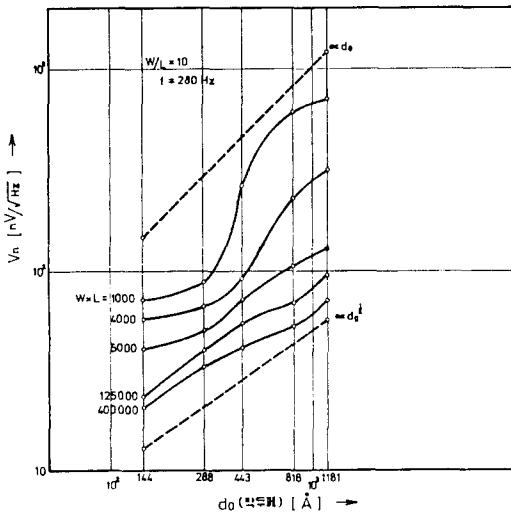


그림5. 膜 두께와 W/L의 잡음 전압 특성(1)  
Fig. 5. Relation between film-thickness and W·L product (1).

를 入力換算해서 對數 그래프로 나타낸 것이다.

#### IV. 結 論

(1) 게이트의 面積이 一定하고 膜의 두께가 두껍고, W/L비가 1 이상일때는 雜音이 작아지는 傾向으로서 대체로 理論에 一致하지만, W/L비가 1 미만일때는 膜의 두께에 대한 변화는 理論值보다 완만하다.

300 (Å) 이하에서는 膜두께에 따른 雜音低下率은 減

小한다.

(2) W/L 비에 따른 雜音低減效果는 膜두께가 커질 수록 크다.

(3) W/L비가 一定할때는 面積이 작고 膜두께가 커짐에 따라 雜音이 增加한다. 膜두께의 減小에 따른 雜音低下率은 L·W積이 작을수록 크다.

(4) 게이트 面積의 增加에 따른 雜音低減效果는 膜두께가 커질수록 크다.

(5) 雜音電壓의 크기를 결정하는 파라메타인  $d_0$ , L, W는 獨立的인 값은 아니고  $d_0$ 의 指數는 L·W積 및 비에 따라 1~4 범위에서 변화한다는 것을 알 수 있다.

따라서 이들 파라메타間의 相互依存性을 고려한 雜音電壓 表現으로 유도할 必要가 있다.

(6) 低雜音化를 위한 파라메타의 決定方法은 膜두께를 減小함과 同時에 W/L비를 크게 (Hi-gm device) 하는것이 바람직하다.

L·W積을 크게 하는것도 效果는 있지만 W/L비를 크게 하는 것 만큼은 期待할 수 없고, 또 device가 커지면 wafer 利用率이 低下하므로 반드시 有效하다고 볼 수는 없다.

#### 後 記

本實驗을 위해 協助해 주신 日本東北大學 工學部 松尾 教授를 비롯하여 松尾研究室 여러 분에게 깊은 謝意를 表한다.

參 考 文 獻

- [1] S. Christensson, "Low frequency noise in MOS transistors (I) & (II)," Solid-State Electronics Pergamon Press, Vol. 11 pp. 797-820, 1968.
- [2] Katto "MOSFET's with reduced low frequency  $1/f$  noise," Supplement to the Journal of the Japan Society of Applied Physics, Vol. 44, pp. 243-248, 1975.
- [3] A. Hiraki, "J. Electrochem. Soc.," Vol. 127, No. 12, 1980.
- [4] T. Ito, T. Nozaiki, "Applied Physics" Lett., 32 (5), March 1978.
- [5] K. M. Busen, W. A. Fitzgibbons, "J. Electrochem. Soc.," Vol. 115, No. 3, 1968.
- [6] K. L. Chopra, "Thin film phenomena," McGraw-Hill, 1969.
- [7] A. Waxman, G. Mark, "Electron mobility studies in surface space charge layers in vapor," J. applied Physics, pp. 168-175, 35(1), 1965.
- [8] Y. Adachi, T. Matsushida, "Low frequency noise in MOS field effect Transistors," Vol. 20 No. 6, pp. 300-302, 1968, 生産研究速報.
- [9] I. Yoshida, T. Masuhara, "Device design of an ion implanted high voltage MOSFET," Supplement to the Journal of the Japan Society of Applied Physics, Vol. 44, pp. 249-251, 1975.
- [10] 齊藤他, "低雜音 回路 設計," 近代科学社, 1977.
- [11] 岩見 "日本 第13回 半導体集積回路, Symposium 1977.
- [12] Y. Tarui, Y. Hayashi "Boron Diffusion into Si using  $BBr_3$ ," 日本電氣試驗所業報, Vol. 33, No. 6, pp. 700-705.
- [13] J. F. Shepard, R. J. Dendall and P. Balk: "Study of a Liquid Source Boron Diffusion for Silicon," Extended Abstracts of Electronics Divisions, Fall Meeting, Electrochemical Society, pp. 9-14, Oct. 1966.