

制御 反轉 素子の 製造 및 그 特性

(Fabrication and Characteristics of the Controlled Inversion Devices)

金 鎮 燮*, 李 宇 一*

(Jin Sup Kim and Wu Il Lee)

要 約

Metal/insulator/n epi-layer/p⁺ 구조의 CID (controlled inversion device)를 제조하였다. I-V 특성 곡선에서 ON 상태와 OFF 상태사이 에 부성저항(negative resistance)영역이 나타났다. CID를 제조하기 위해서 행한 산화층 형성 과정에서 600°C에서 5분간 산화시킨 소자의 스위칭 및 홀딩 전압은 각각 5.0V와 2.5V였다. 그리고 입사된 광에 의해서 스위칭 전압은 감소하였으나 홀딩 전압은 변하지 않았다.

Abstract

The four-layered(metal/insulator/n epi-layer/p⁺) controlled inversion devices have been fabricated. The I-V curve showed two characteristic states - an On state and an OFF state which were separated by a negative resistance region. The switching voltage and the holding voltage were about 5.0V and 2.5V, respectively. The switching voltage of the device was decreased by photo illumination while the holding voltage remained unaffected.

I. 序 論

얇은 절연 산화막의 터널링 현상을 이용한 많은 소자들이 연구, 제조되고 있다. 이 현상을 이용한 MIS (metal-insulator-semiconductor), SIS (semiconductor-insulator-semiconductor) 형태의 다이오드나 태양 전지 등은 이미 보고된 바 있다.^[1,2] 이러한 소자에 또 하나의 반도체층을 첨가함으로써 나타나는 부성저항을 이용한 소자가 MISS (metal-insulator-semiconductor-switch) 또는 CID (controlled inversion device)이다. 이 소자에서의 부성 저항 특성은 1972년 T.

Yamamoto 등^[3]이 처음 보고하였고, 1975년 H. Kroger 등^[4]이 재확인하였다. 위의 두 보고는 2 단자 소자들에 대한 것이었으나, 그 후 H. A. R. Wegener 등^[5]은 3 단자 소자에 대해 보고하였다. 이들 소자에 사용되는 누설 절연층으로는 SiO₂, Si₃N₄, 다결정 Si와 SnO₂ 등이 사용될 수 있으며, 게이트 금속으로써는 Au, Pt, Mo, Al, Ti 등이 사용될 수 있다.^{[6],[7]}

CID의 동작 특성은 n-p⁺ 또는 p-n⁺ 접합의 불순물 농도차에 의해서 핀치스루와 어벨런취 두 가지 형태로 나누어진다.^{[8]~[11]} CID의 순방향 특성은 게이트 G에 가해지는 전압에 따라, 반도체(n epi-layer)에서의 결핍, 깊은 결핍, 반전의 순서로 고 임피던스, 스위칭, 저 임피던스 상태의 세 부분으로 나누어진다. 그림 1은 CID의 I-V 특성 곡선으로 고 임피던스와 저 임피던스 상태사이의 부성 저항 특성을 나타내고 있다.

*正會員, 慶北大學校 工科學科 電子工學科
(Dept. of Electronics Eng., Kyung-pook
National Univ.)

接受日字: 1982年 9月 10日

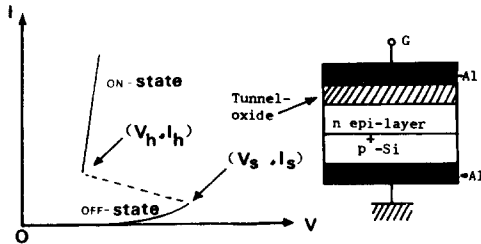


그림 1. CID의 특성 곡선

Fig. 1. I-V characteristic of the CID.

최근에는 이 소자의 ON, OFF의 2 상태, 혹은 ON, OFF, 중간 3 상태 특성을 이용하여 ROM이나 RAM, 弛緩발진기, 그리고 광검지회로 등에서의 응용과 MOS IC 제조 공정 적용에 있어서의 어려움등을 개선하기 위해 많은 노력이 기울어지고 있다.^{[8], [12]}

본 연구에서는 CID의 제조와 스위칭전압, C-V 및 광특성을 조사하였다.

II. 실험

1. CID의 제조

본 실험에서 CID를 제조하기 위하여 사용한 기판은 결정면이 (111), 비저항이 약 0.001Ωcm, 두께가 200~250μm인 p⁺-Si 단결정을 사용하였으며, n 에피택셜층(epitaxial layer)의 두께는 6~20μm이고, 비

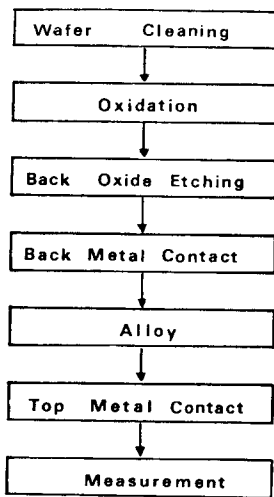


그림 2. CID의 제조 공정도

Fig. 2. Process sequence for the CID fabrication.

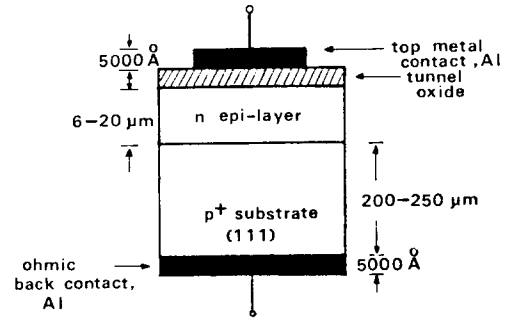


그림 3. CID구조도

Fig. 3. Structure of the CID.

저항은 1~12Ωcm였다.

그림2는 CID제조 공정도이다. 우선 반도체 포준 세척 공정으로 기판을 세척하고 산소 분위기에서 600℃로 5~10분간 기판을 산화시켰다. 이때 산화로의 직경은 1인치였으며, 산소의 양은 분당 500cc였다. 그 다음 기판 뒷면에 생긴 SiO₂ 층을 NH₄F : HF = 7 : 1 용액으로 부식시킨 다음, 약 1 × 10⁻⁵ torr의 진공에서 기판 뒷면에 Al을 약 5000Å 증착하였다. p⁺-Si과 Al과의 접촉 저항을 줄이기 위하여 절소 분위기에서 470℃로 20분간 열처리하였다. 그 다음 SiO₂ 층 위에 Al을 증착하였다.

그림3은 그림2의 과정에 의해서 제조된 CID의 구조도이다.

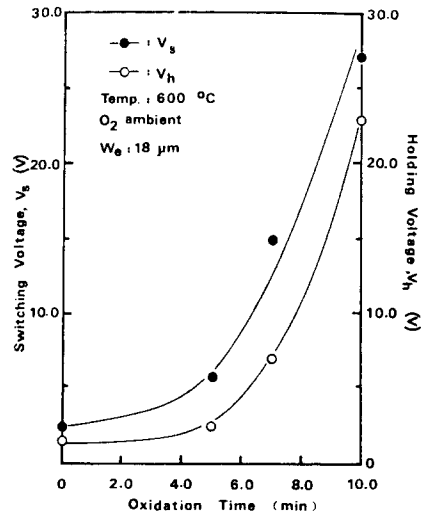


그림 4. 산화 시간에 따른 CID의 스위칭 전압 V_s 및 홀딩 전압 V_h의 변화

Fig. 4. Switching voltage V_s and holding voltage V_h versus oxidation time.

2. 결과 및 고찰

SiO₂ 층의 두께가 CID의 동작 특성에 미치는 영향을 알아 보기 위해, 산화시간을 바꾸어가면서 스위칭 전압 V_s와 홀딩전압 V_h를 측정하였다. 그림 4는 산화시간에 따른 CID의 스위칭 전압과 홀딩 전압의 변화를 나타낸 것이다.

여기서 산화 시간이 0분인 것은 질소분위기에서 470°C로 20분간의 열처리만 한 것이다. 이때 V_s는 약 2.5V였고 V_h는 약 1.5V였다. 산화 시간이 증가함에 따라, 즉 산화층의 두께가 증가함에 따라 스위칭 전압과 홀딩 전압이 증가하여 600°C에서 약 10분간 산화시켰을 때 스위칭 전압은 27V, 홀딩 전압은 23V 정도였다. 여기서 사용한 기판의 n 에피텍셀층의 비저항은 약 12Ωcm 이고 두께는 18μm 이었다.

그림 5는 산화 시간에 따른 CID의 전류-전압 특성을 보인 것이다.

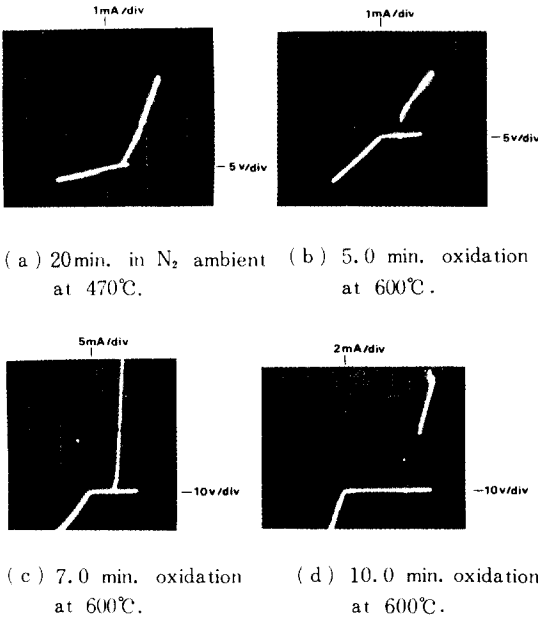


그림 5. 산화 시간에 따른 CID의 전류-전압 특성 곡선

Fig. 5. Effect of the I-V characteristics upon oxidation time.

그림 6은 n 에피텍셀층의 두께가 18μm, 비저항이 12Ωcm 이고 산소 분위기에서 600°C로 5분간 산화시킨 소자에 대한 1/C²-V 관계이다. 그림 6의 기울기로부터 계산한 캐리어 농도는 ~10¹⁵/cm³이고 MIS 접합

에 있어서 내재 전위는 약 0.38V였다.

CID의 용량은 SiO₂ 층의 용량 C_i, 표면 결핍층의 용량 C_s, p⁺-n접합의 용량 C_j의 세가지 성분이 직렬로 된 것이다. 게이트에 양의 전압이 걸리면 그림 7 이

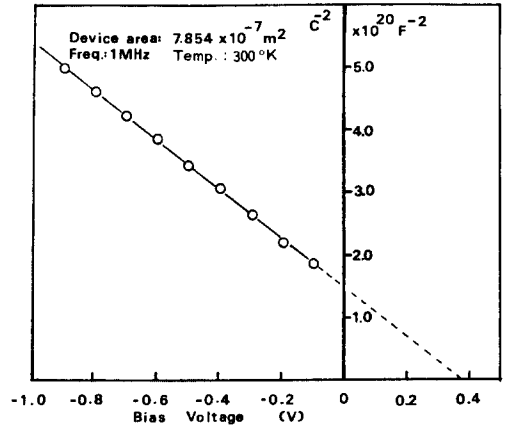


그림 6. CID의 1/C²-V 관계

Fig. 6. 1/C² vs. bias voltage of CID.

보여 주는 바와 같이 p⁺-n 접합이 역방향 바이어스되고 n 에피텍셀층은 축적(accumulation)상태로 된다. 그러나 p⁺ 영역의 도핑농도가 상당히 높기때문에 C_j의 변화는 거의 없어, CID의 용량은 SiO₂ 층의 용량 C_i만으로 일정한 값을 가져야하나 SiO₂ 층의 터너링 현상으로 전압이 증가함에 따라 용량이 감소함을 나타내고 있다. 반면 게이트에 음의 전압이 가해지면 n 에피텍셀층에 결핍층이 생기게 되므로 C_s가 감소하게 된다. 이때는 그림 7 과 같이 MIS 다이오우드의 역방향 C-V 특성을 보여 준다.

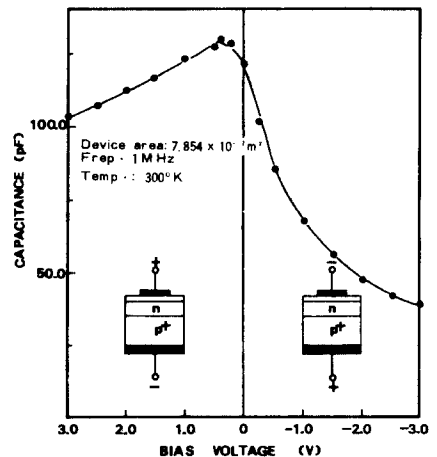


그림 7. CID의 용량(C)-전압(V)

Fig. 7. Capacitance vs. bias voltage of the CID.

그림 8은 n 에피텍셀층의 두께(We)가 $6.3\mu\text{m}$, 비저항이 $1.7\Omega\text{cm}$ 이고 게이트 금속을 T_1 로 제조한 CID의 암전류-전압 및 광전류-전압 특성 곡선이다. 그림 8(a)는 암전류-전압 특성 곡선으로써 스위칭 전압 V_s 가 14V, 홀딩 전압 V_h 는 6V였다. 그림 8(b)는 같은 소자를 $23.2\text{mW}/\text{cm}^2$ 의 조명하에서 측정한

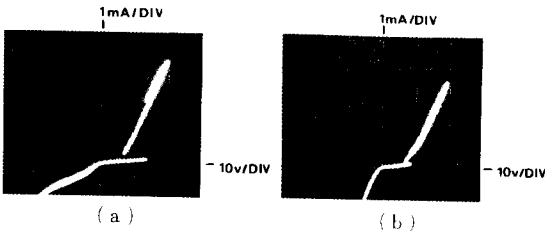


그림 8. T_1 /insulator/n epi-layer/p+ CID의 (a) 암전류-전압 및 (b) 광전류-전압 특성 곡선

Fig. 8. (a) Dark and (b) photo I-V characteristics of Ti/insulator/n epi-layer/p+CID.

전류-전압 특성 곡선으로써 V_s 가 8V로 감소하였으나, 홀딩 전압은 거의 변하지 않았다. 이에 대한 원인은 광여기에 의해 결핍 영역에서의 전자-정공의 생성으로 낮은 바이어스 전압에서도 MIS 접합에 반전(inversion)층을 만들어 주기 때문이다. 그림 9는 게이트 금속이 100\AA 의 T_1 로 제조된 CID의 광에 대한 스위칭 전압 및 홀딩 전압의 변화를 나타낸 것이다. 그림 9가 보여 주는 바와 같이 스위칭 전압은 입사 광에

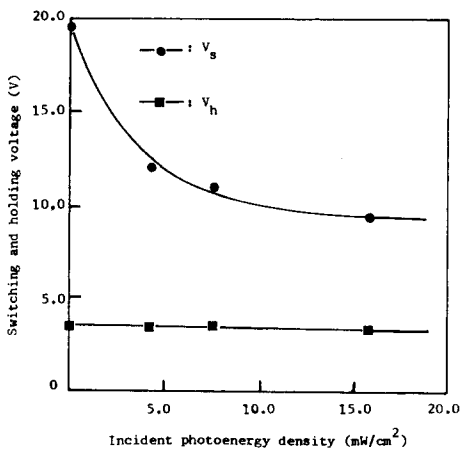


그림 9. T_1 -게이트 CID의 입사 광에너지에 대한 스위칭 전압 및 홀딩 전압의 변화

Fig. 9. Switching and holding voltage dependence of the T_1 -gate CID upon the incident photoenergy density.

너지 증가함에 따라 감소하지만, 홀딩 전압은 거의 변하지 않았다.

그림 10(a)는 n 에피텍셀층의 두께가 $6.3\mu\text{m}$, 비저항이 $1.7\Omega\text{cm}$ 인 CID의 전류-전압 특성 곡선으로써 V_s 가 9V, V_h 가 5V이고 그림 10(b)는 n 에피텍셀층의 두께와 비저항이 각각 $7.6\mu\text{m}$ 및 $1.4\Omega\text{cm}$ 인 소자로서 V_s 가 9V, V_h 가 6V였다.

본 실험에서 제조한 소자의 스위칭 특성을 알아보기 위해 그림 11(a)의 회로를 구성하였다. 그림 11(b)는 입력 구형파(Y_1)와 부하 저항 양단에 나타나는 파형(Y_2)을 나타내고 있다.

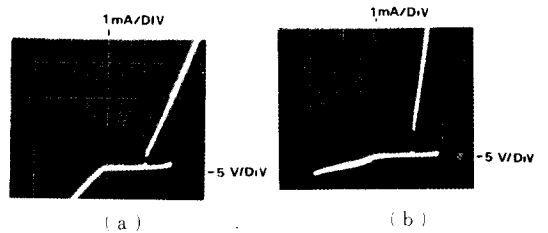


그림 10. CID의 I-V 특성 곡선

Fig. 10. I-V characteristics of the CID.

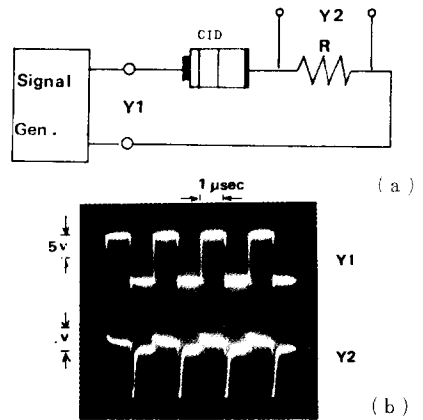


그림 11. CID의 스위칭 파형

Fig. 11. Switching waveforms of the CID.

III. 結 論

CID 특성에 있어서 절연층의 두께가 스위칭 전압 V_s 와 홀딩 전압 V_h 에 큰 영향을 미치며, 본 실험에서는 산소 분위기에서 600°C 로 약 5분간 산화시켰을 때 스위칭 전압이 약 5V이고 홀딩 전압이 약 2.5V인 CID를 제조할 수 있었다. C-V 특성으로부터 게이트에 가해지는 전압이 스위칭 전압 V_s 에 가까워지면, CID의 용량이 일정한 값으로 포화됨을 알 수 있었다. 그리고 이 소자의 스위칭 전압 V_s 는 광에 의해 감소하였으나, 홀딩 전압 V_h 는 변하지 않았다.

参 考 文 献

- [1] Jin-Sup Kim, Duk-Dong Lee and Wu-Il Lee, "Fabrication of semiconductor-insulator-semiconductor solar cells and their characteristics," *KIEE*, vol. 18, no. 4, August 1981.
- [2] Jin-Sup Kim, Wu-Il Lee, Ki-Wan Kim and Ho-Sun Chung, "Efficiency improvement of Al-MIS solar cell using texturization", *KIEE*, vol. 19, no. 5, October 1982.
- [3] T. Yamamoto and H.A.R. Wegener, "Thin-MIS-structure Si negative-resistance diode", *Appl. Phys. Lett.*, vol. 20, no. 8, pp. 269-270, 15 April 1972.
- [4] H. Kroger and H.A.R. Wegener, "Controlled-inversion transistors", *Appl. Phys. Lett.*, vol. 27, no. 5, pp. 303-304, 1 September 1975.
- [5] H. Kroger and H.A.R. Wegener, "Steady-state characteristics of three terminal inversion-controlled switches", *Solid-State Electronics*, vol. 21, pp. 655-661, 1978.
- [6] H. Kroger and H.A.R. Wegener, "Bistable states in MIS structures through controlled inversion", *Appl. Phys. Lett.*, vol. 23, no. 7, pp. 397-399, 1 October 1973.
- [7] K.C. Chik and J.G. Simmons, "Characteristics of three-terminal metal-tunnel oxide-n/p⁺ devices," *Solid-State Electronics*, vol. 22, pp. 589-594, 1979.
- [8] S.E-D. Habib and J.G. Simmons, "Theory of switching in p-n-insulator (tunnel)-metal devices-II: Avalanche mode," *Solid-State Electronics*, vol. 23, pp. 497-505, 1980.
- [9] S.E-D. Habib and J.G. Simmons, "Theory of switching in p-n-insulator (tunnel)-metal devices-I: Punchthrough mode", *Solid-State Electronics*, vol. 22, pp. 181-192, 1979.
- [10] A. El-Badry and J.G. Simmons, "Experimental studies of switching in metal semi-insulating n-p⁺ silicon devices", *Solid-State Electronics*, vol. 20, pp. 963-966, 1977.
- [11] J.G. Simmons and A. El-Badry, "Theory of switching phenomena in metal/semi-insulator/n-p⁺ silicon devices", *Solid-State Electronics*, vol. 20, pp. 955-961, 1977.
- [12] H. Kroger and H.A.R. Wegener, "Steady-state characteristics of two terminal inversion-controlled switches", *Solid-State Electronics*, vol. 21, pp. 643-654, 1978.